

Fachhochschule Dortmund

University of Applied Sciences and Arts

Bachelorarbeit

Fachbereich Elektrotechnik

Studiengang Energiewirtschaft

Entwurf einer DCM-Schaltung für die Verbesserung der Effizienz eines synchronen
Abwärtswandlers bei niedrigen Lastströmen

Design of a DCM circuit for improving the efficiency of a synchronous buck converter
at low load currents

Vorgelegt von

Mohammed Nacer

am 23.12.2022

an der Fachhochschule Dortmund

Erstprüfer: Prof. Dr.-Ing. Michael Karagounis

Zweitprüfer: M. Eng. Jeremias Kampkötter

Kurzzusammenfassung

Bei niedrigen Lastströmen kann sich bei einem synchronen Abwärtswandler ein negativer Spulenstrom einstellen, der zu unnötigen Verlusten im Low-Side Schalter führt, der üblicherweise als NMOS-Transistor realisiert wird. Dieser negative Stromfluss, der bei einem asynchronen Abwärtswandler auftritt, führt in Folge zu einer Verringerung des Wirkungsgrads. In dieser Arbeit geht es um die Implementierung eines DCM (Discontinuous-Conduction-Modus) Kontrollsystems in einem synchronen Tiefsetzsteller, bei dem der Spulenstrom niemals negativ werden darf. Wenn der Spulenstrom den Wert Null annimmt, soll er bei Null bleiben. Dafür wurden zwei zusätzliche Schaltungen eingesetzt. Eine Schaltung stellt fest, wann der Strom durch einen Sense-Widerstand 0A bzw. leicht negativ wird und der Tiefsetzsteller in den DCM-Betrieb wechseln muss. Die andere Schaltung muss so ausgelegt werden, dass sie die Spule nur dann kurzschließt, wenn sowohl der NMOS als auch der PMOS-Leistungsschalter geöffnet sind.

Für den Entwurf und die Simulation der Schaltung des Tiefsetzstellers wird das Programm „Virtuoso 6.1- 64b“ des Softwareherstellers „Cadence Design Systems“ verwendet. Cadence Design Systems Inc. ist einer der weltweit größten Anbieter von Software für die Entwurfsautomatisierung elektronischer Systeme. Diese Software bietet Simulationsmodelle für alle im Abwärtswandler verwendeten Bauteile.

Abstract

At low load currents, a synchronous buck converter can carry a negative coil current causing unnecessary power losses in the low-side switch usually implemented as an NMOS transistor. This negative current flow further reduces efficiency. This work is about implementing a DCM (discontinuous-conduction mode) control system in a synchronous buck converter, i.e., the coil current should never become negative, but when the current becomes zero it should stay at zero. Two circuits were implemented for this purpose. One determines when the current through a sense resistor becomes 0A or when it becomes lightly negative and determines when the buck converter should switch to DCM mode. The other circuit must be designed to shorten the coil only when both the NMOS and PMOS power transistors are open.

For the design and simulation of the circuit of the buck converter, the program „Virtuoso 6.1- 64b“ of the software manufacturer „Cadence Design Systems“ is used. Cadence Design Systems Inc. is one of the world's largest suppliers of design automation of electronic systems. This software provides simulation models for all components used in the buck converter.

Inhaltverzeichnis

Kurzzusammenfassung	II
Abstract	II
Inhaltverzeichnis	III
Abbildungsverzeichnis	V
Tabellenverzeichnis	VI
Abkürzungsverzeichnis	VII
Nomenklatur	VIII
1. Einleitung	1
2 Grundlagen	3
2.1 Aufbau und Funktion des Abwärtswandlers	3
2.1.1 Grundaufbau	3
2.1.2 Asynchron- und Synchronabwärtswandler	4
2.2 Grundlagen der CMOS-Technologie	5
2.2.1 NMOS-Transistors	5
2.2.2 PMOS-Transistor	6
2.3 Unterschied zwischen dem CCM- und dem DCM-Betrieb	6
2.4 Bedingungen für den DCM-Betrieb	7
2.5 Stationärer Betrieb im DCM	9
3 Möglichkeit zur Nullstrom-Detektion	13
3.1 Serien-Sense-Widerstand	13
3.2 SENSEFETs	13
4. Schaltung zur Realisierung des DCM-Betriebs in einem synchronen Tiefsetzsteller	15
4.1 Der Komparator	15
4.2 Logikgatter	16
5 Auslegung des Tiefsetzstellers	19
5.1 Dimensionierung des LC-Glieds	19
5.1.1 Berechnung der Ausgangsspule	19
5.1.2 Berechnung der Ausgangskapazität	19
5.2 Dimensionierung der Regeleinheit	20
5.2.1 Bestimmung der Regelparameter	20
5.3 Transiente Simulationsresultate	24

5.4 Stabilitätsanalyse	25
6 Umsetzung der DCM-Schaltung im synchronen Tiefsetzsteller	26
7 Erweiterung der DCM-Schaltung um einen zusätzlichen Schalter parallel zur Induktivität	28
7.1 Dimensionierung eines NMOS-Transistors als Schalter parallel zur Induktivität	31
7.1.1 DC-Simulation zur Anzeige des Arbeitspunktes	31
7.1.2 OP-Funktion mit Hilfe des Calculators.....	32
7.1.3 Anzeige des Arbeitspunktes	34
7.1.4 Zeitkonstanten-Berechnung	36
8 Stabilität des Regelsystems.....	38
8.1 Modellierung und Analyse von PWM-Wandlern im DCM-Betrieb.....	38
8.1.1 Mittlere Gleichungen für PWM-Schalter in DCM	38
8.1.2 Linearisierung der Mittelwertgleichung und des Kleinsignal-Schaltungsmodells	41
8.1.3 Analyse der DCM-Kleinsignal-Dynamik	44
8.2 Simulationsuntersuchungen des geschlossenen Regelkreises im DCM-Betrieb	48
8.3 PSS / PSTB Analyse	49
8.4 Simulations-Ergebnisse im Bode-Diagramm	52
9. Fazit.....	54
10 Literaturverzeichnis.....	55
Eidesstattliche Versicherung	56

Abbildungsverzeichnis

Abbildung 1: Grundaufbau Abwärtswandler	3
Abbildung 2: Darstellung der Regelung	4
Abbildung 3: PID-Regler	4
Abbildung 4: Grundaufbau des asynchronen und des synchronen Abwärtswandlers	5
Abbildung 5: NMOS-Transistor	6
Abbildung 6: PMOS-Transistor	6
Abbildung 7: a) Continus Conduction Mode b) Continus Conduction Mode mit negativen Spulenstrom c) Discontinuous Current Mode	7
Abbildung 8: Induktivstromverläufe bei unterschiedlichen Lastwiderständen	9
Abbildung 9 Betrieb des Abwärtswandlers in DCM. (a) Drei Teilstromkreise. (b) Spulenstrom i_L und Spulenspannung v_L	10
Abbildung 10: Series-Sense-Widerstand	13
Abbildung 11: SENSEFET	14
Abbildung 12: Schaltungsbeispiel zur Erhöhung der Genauigkeit der SENSEFET-Methode	14
Abbildung 13: DCM-Schaltung	15
Abbildung 14: Spulenstromverlauf nach der Grenzanpassung	23
Abbildung 15: Wichtige Signale des Tiefsetzstellers a) kleiner Lastfall b) großer Lastfall	24
Abbildung 16: Phase (in grün) und Amplitude (in rot)	25
Abbildung 17: Umsetzung der DCM-Schaltung im synchronen Tiefsetzsteller	26
Abbildung 18: Umsetzung des NMOS-Transistors parallel zur Induktivität	28
Abbildung 19: Wichtige Signale des Tiefsetzstellers in DCM-Betrieb mit zwei Phasen	28
Abbildung 20: Umsetzung des NMOS-Transistors und des UND-Gatters im synchronen Tiefsetzsteller	29
Abbildung 21: Wichtige Signale des Tiefsetzstellers im DCM-Betrieb mit drei Phasen	30
Abbildung 22: Hauptansicht des Calculators	32
Abbildung 23: Eingerichtete Simulation im ADE-L-Fenster (a),(b) Kapazität am NMOS bzw. PMOS-Knoten und (c) On-Widerstand des zusätzlichen Kurzschlusstransistors	33
Abbildung 24: Aufruf des Setups zur Einstellung der Annotations	34
Abbildung 25: Anzeigen der Kapazität des Transistors	35
Abbildung 26: Angezeigte Arbeitspunkt a) der On-Widerstand des Kurzschlusstransistors b) die Kapazität an den NMOS-Knoten c) die Kapazität an den PMOS-Knoten	36
Abbildung 27: Spannungsabfall bei der Spule	37
Abbildung 28: Abwärts-/Aufwärtswandler und DCM-Wellenformen des PWM-Schalters, (a) Abwärts-/Aufwärtswandler, (b) Wellenformen des PWM-Schalters in DCM	39
Abbildung 29: Kleinsignalmodell für PWM-Schalter im DCM-Betrieb	43
Abbildung 30: Abwärts-/Aufwärtswandler und DCM-Kleinsignalmodell, (a) Abwärts-/Aufwärtswandler, (b) DCM-Kleinsignalmodell	43
Abbildung 31: Kleinsignalmodell des Buck Converters	44
Abbildung 32: Abwärtswandler mit eingebauter IProbe und Kleinsignalmodell	48
Abbildung 33: Ausgangsspannungssignal des Abwärtswandlers	49
Abbildung 34: Phase (in blau) und Amplitude (in rot)	53

Tabellenverzeichnis

Tabelle 1: Effizienz-Berechnung mit und ohne DCM-Schaltung.....	31
Tabelle 2: Ausdrücke für $G_{vd}(s)$ für drei Basisumwandler in DCM	45

Abkürzungsverzeichnis

CCM	Continuous Current Mode
CMOS	Complementary Metal-Oxide-Semiconductor
DC	Direct Current
DCM	Discontinuous Current Mode
ESR	Equivalent Series Resistance
HSS	High Side Switch
LSS	Low Side Switch LTSpice Linear Technology Spice
PMOS	p-Type Metal-Oxide-Semiconductor
NMOS	n-Type Metal-Oxide-Semiconductor
LC-Glied	Kombination von Induktivität und Kapazität
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
PID-Regler	Regler mit Proportional-, Integral- und Differentialanteilen
PWM	Pulsweitenmodulation
VCVS	Voltage Controlled Voltage Source

Nomenklatur

$U_0 = U_{aus}$	Ausgangsspannung
$U_s = U_{ein}$	Versorgungsspannung
U_L	Spulenspannung
I	Strom
L	Induktivität
I_L	Spulenstrom
L_{crit}	Filterinduktivität Kritische Induktivität
U_q	Ausgangsspannung des PWM-Blocks
V_{ref}	Spannungsrückführkreis
ΔI	Stromdifferenz entlang der Induktivität
$\Delta I(-)$	Stromdifferenz entlang der Induktivität für die Ausschaltdauer
$\Delta I(+)$	Stromdifferenz entlang der Induktivität für die Einschaltdauer
ΔU_c	Spannungsdifferenz aufgrund der Kapazität des Kondensators
D	Tastgrad
T	Periodendauer
T_{ein}	Einschaltzeit
T_{aus}	Ausschaltzeit
f	Schaltfrequenz
C_1	Kapazität für die Regeleinheit
C_2	Kapazität für die Regeleinheit
C_3	Kapazität für die Regeleinheit
R_0	Messwiderstand
R_1	Widerstand für die Regeleinheit
R_2	Widerstand für die Regeleinheit
R_3	Widerstand für die Regeleinheit
R_{esr}	Reihenwiderstand des Kondensators
$G(s)$	Übertragungsfunktion des Reglers
GPID-Regler(s)	PID-Regler-Übertragungsfunktion
K_V	Verstärkungsfaktor
W_{z1}	Erste Nullstelle der Übertragungsfunktion $G(s)$

ω_{z2}	Zweite Nullstelle der Übertragungsfunktion $G(s)$
ω_{p1}	Erste Polstelle der Übertragungsfunktion $G(s)$
ω_{p2}	Zweite Polstelle der Übertragungsfunktion $G(s)$
ω_0	Zeitkonstante des LC-Gliedes
ω_c	Durchtrittsfrequenz des Abwärtswandlers
ω_s	Schaltkreisfrequenz des Abwärtswandlers
f_{esr}	Frequenz der Nullstelle des ESR der Kapazität
f_{p1}	Frequenz des ersten Polstelle
f_{p2}	Frequenz des zweiten Polstelle
f_{z1}	Frequenz der ersten Nullstelle
f_{z2}	Frequenz der zweiten Nullstelle
I_D	Drain-Source Strom
dB	Dezibel
deg	Grad

1. Einleitung

In verschiedenen elektrischen Anwendungen ist es notwendig, eine variable Ausgangsspannung durch Absenkung einer konstanten Eingangsgleichspannung zu erzeugen. Beispielsweise wird die Drehzahl eines Gleichstrommotors durch die Ankerspannung gesteuert. Wenn eine Straßenbahn abfährt, muss die Motorspannung kontinuierlich erhöht und die Maschine mit Strom versorgt werden, um die erforderliche Beschleunigung zu erreichen. Aus diesem Grund besteht Bedarf an Schaltungen, die aus einer kontinuierlichen Kontaktleitungsspannung eine niedrigere einstellbare Motorspannung mit sehr geringem Verlust erzeugen können. Ein Abwärtswandler kann verwendet werden, um diese Anforderungen zu erfüllen. Es handelt sich um einen selbstgeführten Wandler, der mit Hilfe von Hochfrequenzschaltvorgängen eine variable Ausgangsspannung liefern kann. Im allgemeinen ist ein Abwärtswandler eine leistungselektronische Schaltung, die verwendet wird, um einen Verbraucher mit einer niedrigen Betriebsspannung durch eine Quelle mit einer höheren Gleichspannung zu versorgen. Weitere Anwendungsbeispiele sind akkubetriebene Geräte wie Smartphones und Laptops.

In dieser Arbeit wird ein synchroner Abwärtswandler erweitert, der eine Eingangsspannung von 3,3 V in eine Ausgangsspannung von 1,2 V umwandelt. Er wurde in einer 180 nm CMOS-Technologie entworfen und soll von der United Microelectronics Corporation (UMC) produziert werden.

Bei niedrigen Lastströmen kann ein synchroner Abwärtswandler einen negativen Spulenstrom annehmen. Dieser negative Stromfluss, führt zu unnötigen Verlusten im NMOS Transistor der als Low-Side Switch verwendet wird, welche eine weitere Verringerung des Wirkungsgrads zur Folge haben. Aus den genannten Gründen wird in dieser Bachelorarbeit eine DCM-Schaltung für einen synchronen Abwärtswandler entwickelt und implementiert, die nicht überschneidende Schaltsignale für das PMOS- und NMOS-Schaltransistorpaar erzeugt, um Kurzschlüsse zu vermeiden, und die es auch ermöglicht, beide Schaltransistoren abzuschalten, um negative Ströme durch den NMOS zu vermeiden.

Die Aufgabenstellung, welche im Rahmen dieser Arbeit gelöst werden soll, beinhaltet:

1. den Aufbau und die Untersuchung einer Schaltung, die den DCM-Betrieb bei Detektion über einen Sense-Widerstand ermöglichen soll.
2. den Einbau eines Transistors parallel zur Spule, um sicherzustellen, dass der Spulenstrom tatsächlich auf 0A bleibt.
3. die Stabilitätsuntersuchung der Schaltung mit Hilfe der PSS-Analyse sowie der PSTB-Analyse.

In der folgenden Tabelle werden die wichtigsten Größen der Entwurfsspezifikation zusammengefasst.

Name der Größe	Wert
U_{in}	3,3 V
U_{aus}	1,2 V
ΔU_c	1,2 mV
I_{Last}	0,2 A
ΔI	60 mA
f	10 MHz

2 Grundlagen

2.1 Aufbau und Funktion des Abwärtswandlers

Der Abwärtswandler wandelt eine Eingangsspannung in eine niedrigere Ausgangsspannung. Diese Funktion kann auch mit einem Linearregler erzeugt werden, jedoch haben Schaltwandler einen höheren Wirkungsgrad und damit niedrigere Wärmeverluste.

Der Abwärtswandler wird auch Tiefsetzsteller, Abwärtsregler oder auf Englisch Buck Converter oder Step-Down-Converter genannt.

Es gibt zwei Aufbauarten des Abwärtswandlers. Eine ist der synchrone Abwärtswandler und die andere der asynchrone Abwärtswandler. In dieser Arbeit wird der synchrone Abwärtswandler eingesetzt.

2.1.1 Grundaufbau

Der Grundaufbau des synchronen Abwärtswandlers besteht aus zwei Leistungs-MOS-FETs, einem n-Typ (NMOS) und einem p-Typ (PMOS), einer Ausgangsspule und einem Ausgangskondensator sowie einem Regler für die Ansteuerung der beiden Halbleiterschalter. Der PMOS wird als HSS (High Side Switch) bezeichnet, während der NMOS als LSS (Low Side Switch) bezeichnet wird. [5]

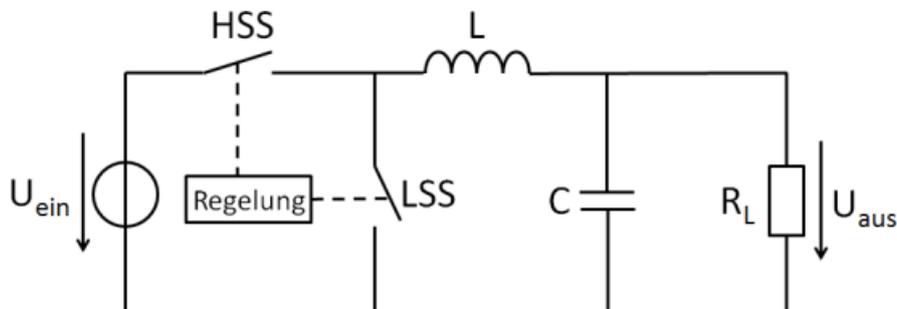


Abbildung 1: Grundaufbau Abwärtswandler [5]

Der PMOS ist direkt mit der Eingangsspannung der Schaltung verbunden. Sobald der PMOS schließt, wird die Eingangsspannung auf die Spule geschaltet. Während dieser Zeit schaltet sich der NMOS aus und der durch die Spule fließende Strom steigt an. Dadurch wird das LC-Glied aufgeladen. Wenn der PMOS ausgeschaltet ist, wird der NMOS eingeschaltet, wodurch die Spule mit Masse verbunden wird. In diesem Schaltzustand wird der Strom durch die Spule reduziert und das LC-Glied entladen. [5]

Das LC-Glied entspricht einem Tiefpass zweiter Ordnung. Es besteht aus einer Induktivität und einem Kondensator. Es speichert und liefert Energie an die Last und glättet die Ausgangsspannung.

Für die Regelung des Abwärtswandlers werden ein PID-Regler, ein Komparator und ein Sägezahngenerator benötigt.

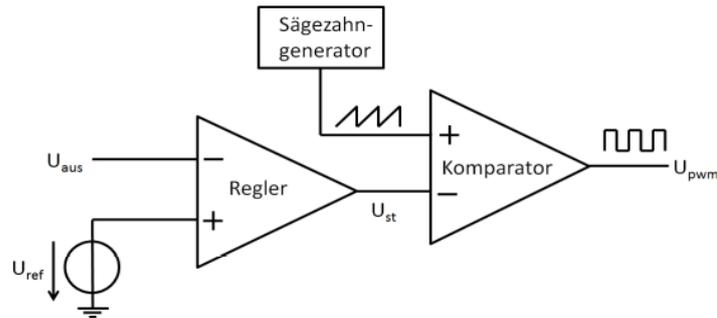


Abbildung 2: Darstellung der Regelung [2]

Der Zweck der Regeleinheit besteht darin, ein Steuersignal zu generieren, das verwendet werden kann, um die Eingangsspannung von 3,3V in eine Ausgangsspannung von 1,2V umzuwandeln. Zu diesem Zweck wird die Ausgangsspannung an den in Abbildung 15 dargestellten PID-Regler zurückgeführt und mit einer Referenzspannung verglichen. Im eingeschwungenen Zustand entspricht die zurückgeführte Spannung der Referenzspannung. [2]

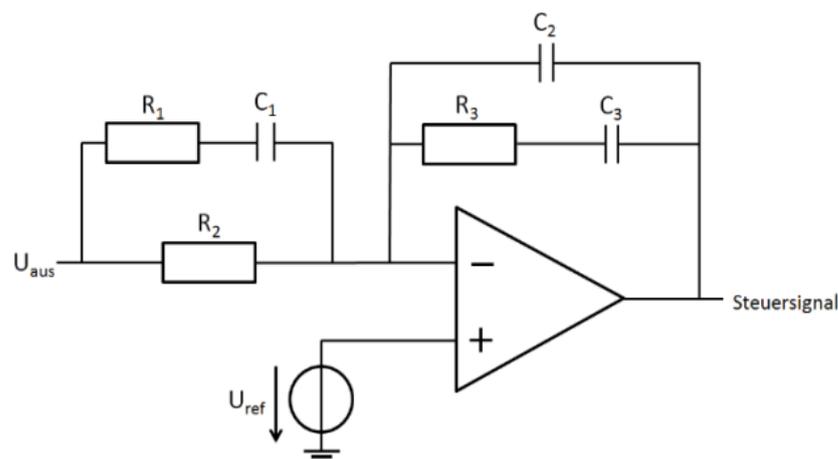


Abbildung 3: PID-Regler [2]

Der PID-Regler besteht aus einem Operationsverstärker, der als invertierender Verstärker beschaltet ist. Es werden drei Kondensatoren und drei Widerstände im Eingangs- und Rückführungskreis des Verstärkers verwendet, um die proportionalen, derivativen und integralen Funktionen des Reglers zu realisieren. Die Ausgangsspannung des Reglers wird über einen Komparator mit der Sägezahnspannung verglichen. Der Vergleich erzeugt ein pulswidenmoduliertes Signal am Ausgang des Komparators, das für die Ansteuerung der Leistungstransistoren verwendet wird.

2.1.2 Asynchron- und Synchronabwärtswandler

Der asynchrone Abwärtswandler ist etwas einfacher zu implementieren. Die Schaltung besteht hier aus einer Diode anstelle eines Transistors als LSS. Beide Schaltungen haben ihre Vor- und Nachteile. [5]

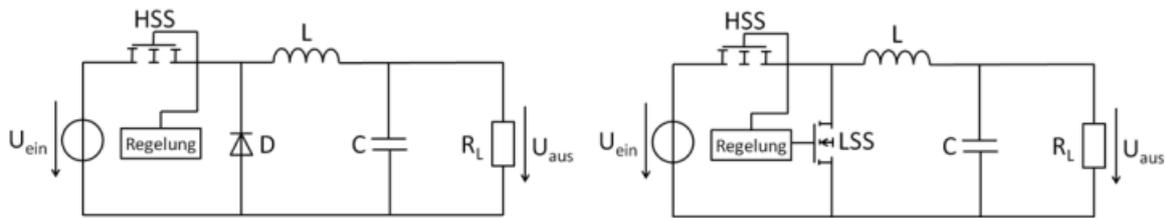


Abbildung 4: Grundaufbau des asynchronen und des synchronen Abwärtswandlers [5]

In Bezug auf die Steuerung ist der synchrone Tiefsetzsteller komplexer, da beim Schalten ein Kurzschluss auftreten kann, der vom Steuerungssystem verhindert werden muss. Ein weiterer Nachteil besteht darin, dass beim Auftreten eines negativen Spulenstroms die Verluste zunehmen. Mit einem asynchronen Tiefsetzsteller wird der negative Spulenstrom durch die Diode eliminiert, da die Diode den Stromfluss nur in eine Richtung zulässt. Der größte Vorteil der Verwendung eines synchronen Tiefsetzstellers ist die geringere Verlustleistung im Dauerstrommodus (CCM), da der Innenwiderstand von CMOS-Transistoren niedriger ist als der von Dioden. Um einem DCM-Betrieb mit einem synchronen Tiefsetzsteller umsetzen zu können und so zu vermeiden, dass der Spulenstrom negativ wird, ist eine zusätzliche Schaltung notwendig, die den Low-Side Schalter ausschaltet, sobald der Spulenstrom gegen 0A geht.[5]

2.2 Grundlagen der CMOS-Technologie

Die Bezeichnung CMOS bedeutet Complementary-Metal-Oxide-Semiconductor. Die CMOS-Technologie ist die am weitesten verbreitete Technologie in der Computerchipbranche. Sie wird vor allem für hochintegrierte Schaltkreise wie Speicher, Mikrocontroller-Chips und Mikroprozessoren verwendet. Sie wird auch in anwendungsspezifischen integrierten Schaltungen (ASICs) sowie in vielen weiteren Anwendungen verwendet. Mit dieser Technologie stehen zwei MOSFETs zur Verfügung, einer vom n-Typ (NMOS) und einer vom p-Typ (PMOS). [2]

Ein MOSFET (Metall Oxide Semiconductor Field Effekt Transistor) ist die wichtigste aktive Komponente in der modernen Elektronik. Er hat drei Anschlüsse bzw. Elektroden, die als Gate (G), Source (S) und Drain (D) bezeichnet werden. [2]

2.2.1 NMOS-Transistors

Der NMOS-Transistor basiert auf einem Substrat vom p-Typ mit zwei Implantationsgebiete vom n-Typ, welche die Source- und Drain-Elektroden bilden. Die Elektronen entsprechen beim NMOS-Transistor den vorherrschenden Ladungsträgern. Wenn an das Gate eine positive Spannung angelegt wird, invertiert der Halbleiterbereich unterhalb des Gates, und der NMOS-Transistor leitet. Im Gegensatz dazu leitet der NMOS-Transistor nicht, wenn an das Gate eine niedrige Spannung angelegt wird. Ein NMOS-Transistor ist schneller als ein PMOS-Transistor, weil die Ladungsträger in NMOS-Elektronen eine zwei- bis dreimal höhere Ladungsträgerbeweglichkeit als Löcher besitzen. [2]

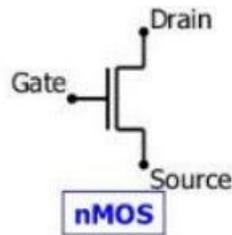


Abbildung 5: NMOS-Transistor [2]

Das Schaltsymbol des NMOS-Transistors ist in Abbildung 5 dargestellt und zeigt an, dass die Gate-Elektrode durch ein Oxid vom Transistorkanal getrennt ist.

2.2.2 PMOS-Transistor

Die Implementierung eines p-Kanal-MOSFET im selben Substrat wie für NMOS-Transistoren erfordert zunächst eine tiefe N-Wannen-Implantation. In diese Wanne werden zwei Implantationsgebiete vom p-Typ als Source- und Drain -Elektroden eingebracht. Wenn an das Gate eine hohe Spannung angelegt wird, ist der PMOS nichtleitend. Wenn an das Gate eine niedrige Spannung angelegt wird, invertiert der Halbleiterbereich unterhalb des Gates vom n- zum p-Typ, und der PMOS leitet. PMOS-Transistoren sind wegen der N-Wanne durch einen in Sperrrichtung vorgespannten pn-Übergang vom globalen Substrat isoliert und daher weniger störanfällig als NMOS-Transistoren. [2]

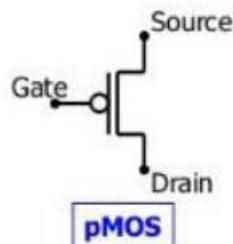


Abbildung 6: PMOS-Transistor [2]

Abbildung 6 zeigt das Schaltsymbol für einen PMOS-Transistor. Die Gate-Elektrode des PMOS-Transistors ist ebenfalls durch ein Oxid vom Kanal des Transistors isoliert, was durch das Schaltsymbol ausgedrückt wird. Außerdem ist die umgekehrte Steuerung zu NMOS durch einen kleinen Kreis am Gate dargestellt. [2]

2.3 Unterschied zwischen dem CCM- und dem DCM-Betrieb

Der Tiefsetzsteller kann in verschiedenen Modis arbeiten. Dazu gehören der lückende Betrieb (engl. Discontinuous Current Mode, DCM) bei niedrigem Strom und der nicht-lückende Betrieb (engl. Continuous Current Mode, CCM) bei hohem Strom. [8]

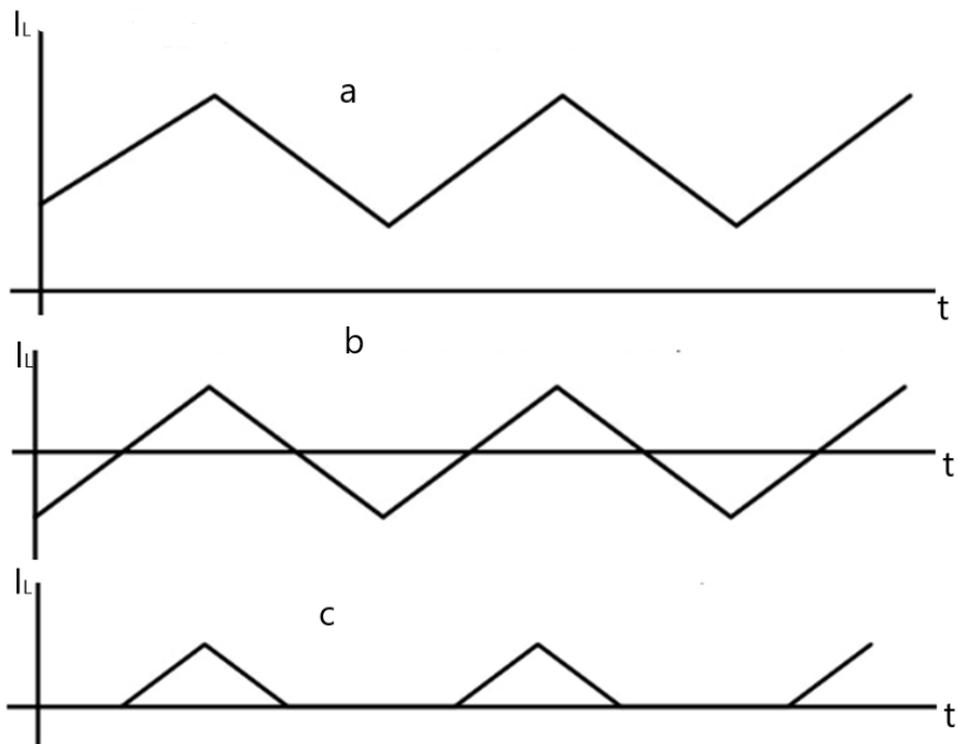


Abbildung 7: a) Continus Conduction Mode b) Continus Conduction Mode mit negativen Spulenstrom c) Discontinuous Current Mode

Im nichtlückenden Betrieb (CCM) kann der Spulenstrom i_L negativ werden, was einem unerwünschten Betriebszustand entspricht. Dieser Betriebsmodus ermöglicht es dem Wandler, schnell auf Lastsprünge zu reagieren, sogar bis auf null, um die Welligkeit der Ausgangsspannung zu minimieren. [8]

Im lückenden Betrieb (DCM) ist der Wirkungsgrad bei niedrigen Lasten höher, weil der Spulenstrom i_L kein negatives Vorzeichen annimmt. Da negative Spulenströme vermieden werden, hat dieses Verfahren Ähnlichkeit zum asynchronen Wandler. [8]

2.4 Bedingungen für den DCM-Betrieb

Aus Abbildung 7 ist ersichtlich, dass die Betriebsart des Wandlers, wie folgt bestimmt wird. [1]

$$I_L > \frac{1}{2} \Delta i_L : CCM$$

$$I_L = \frac{1}{2} \Delta i_L : \text{Grenze zwischen CCM und DCM (1)}$$

$$I_L < \frac{1}{2} \Delta i_L : DCM$$

Hierbei gelten für den durchschnittlichen Spulenstrom bzw. den Laststrom und die Stromänderung durch die Spule die folgenden Zusammenhänge:

$$\bar{i}_L(t) = I_L = \frac{V_0}{R} \quad (2)$$

$$\Delta i_L = \frac{V_L}{L} \Delta t = \frac{V-V_0}{L} D * T_s = \frac{V_0}{L} (1-D) T_s \quad (3)$$

Hierbei bezeichnet V_0 die Ausgangsspannung und R den Lastwiderstand. D entspricht dem Wandlungsfaktor d.h. dem Verhältnis zwischen Ausgangsspannung und Eingangsspannung und T_s steht für die Schaltperiode. Unter Berücksichtigung von Gleichung (2) und (3) wird die Bedingung für den Übergang zwischen CCM- und DCM-Betrieb folgendermaßen ermittelt: [1]

$$I_L = \frac{1}{2} \Delta i_L \rightarrow \frac{V_0}{R} = \frac{1}{2} \frac{V_0}{L} (1-D) T_s \quad (4)$$

Gleichung (4) wird verwendet, um den kritischen Wert des Lastwiderstands oder der Induktivität des Filters zu ermitteln, der den Wandler an die CCM/DCM-Grenze bringt. [1]

$$L_{\text{crit}} = \frac{(1-D)RT_s}{2} \quad (5)$$

$$R_{\text{crit}} = \frac{2L}{(1-D)T_s} \quad (6)$$

Die Gleichungen (5) und (6) ermöglichen es, die Betriebsart anhand der Werte der spezifischen Schaltungskomponenten zu bestimmen. Wenn der Lastwiderstand größer als R_{crit} ist, geht der Wandler in den DCM-Betrieb über. Ebenso geht der Wandler in den DCM-Betrieb über, wenn die Induktivität auf einen Wert kleiner als L_{crit} reduziert wird. [1]

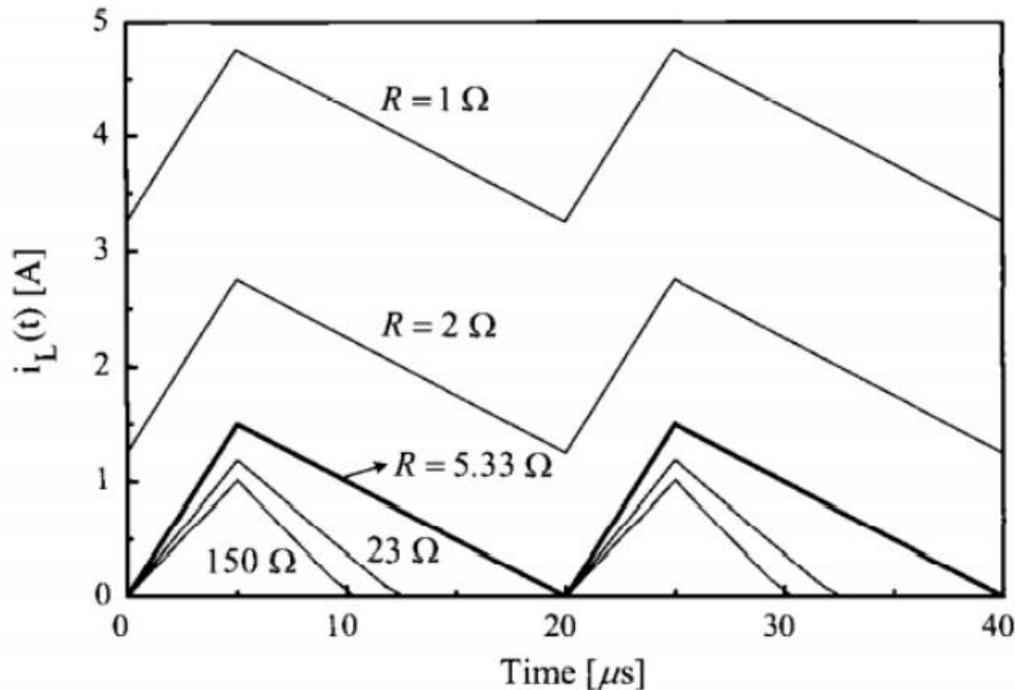


Abbildung 8: Induktivstromverläufe bei unterschiedlichen Lastwiderständen [1]

2.5 Stationärer Betrieb im DCM

Wie in Abbildung 9 dargestellt, existieren im DCM-Betrieb drei topologische Modi innerhalb einer Schaltperiode. Zusätzlich zu den Einschalt- und Ausschalt-Teilkreisen des CCM-Betriebs tritt ein neuer Teilkreis auf, wenn der Spulenstrom während einer Ausschaltperiode verschwindet. Dieser dritte Teilstromkreis wird in Abbildung 9(a) als DCM-Teilstromkreis bezeichnet. [1]

In Abbildung 9(b) sind typische DCM-Wellenformen für den Spulenstrom und die Spulenspannung dargestellt. Die in Abbildung 9(b) verwendete Notation D_1 ist definiert als [1]

$$D_1 = \frac{\text{Teil der Ausschaltzeit, in der der Spulenstrom existiert}}{\text{Schaltzeit}}$$

Wenn der Wandler auf die DCM-Teilschaltung reduziert wird, wird wie in Abbildung 9(b) gezeigt, sowohl die Spulenspannung als auch der Spulenstrom null, $i_L = 0 \Rightarrow \Delta i_L = 0 \Rightarrow v_L = L(\Delta i_L / \Delta t) = 0$. Durch die Anwendung der Volt-Sekunden-Bilanzbedingung auf die Induktivität folgt die Formel: [1]

$$(V_s - V_0)DT_s = V_0D_1T_s \quad (7)$$

Daraus folgt

$$\frac{V_0}{V_s} = \frac{D}{D + D_1} \quad (8)$$

Die unbekannte Variable D_1 muss aus (8) eliminiert werden, um die vollständige DCM-Spannungsverstärkung zu erhalten. Die zusätzliche Gleichung, die zur Eliminierung von D_1 benötigt wird, kann wie folgt formuliert werden. Der Mittelwert des Spulenstroms ist gleich dem Laststrom, da der durchschnittliche Kondensatorstrom aufgrund der Ladungsausgleichsbedingung Null ist. Aus der Geometrie des Spulenstromverlaufs ergibt sich der Mittelwert. [1]

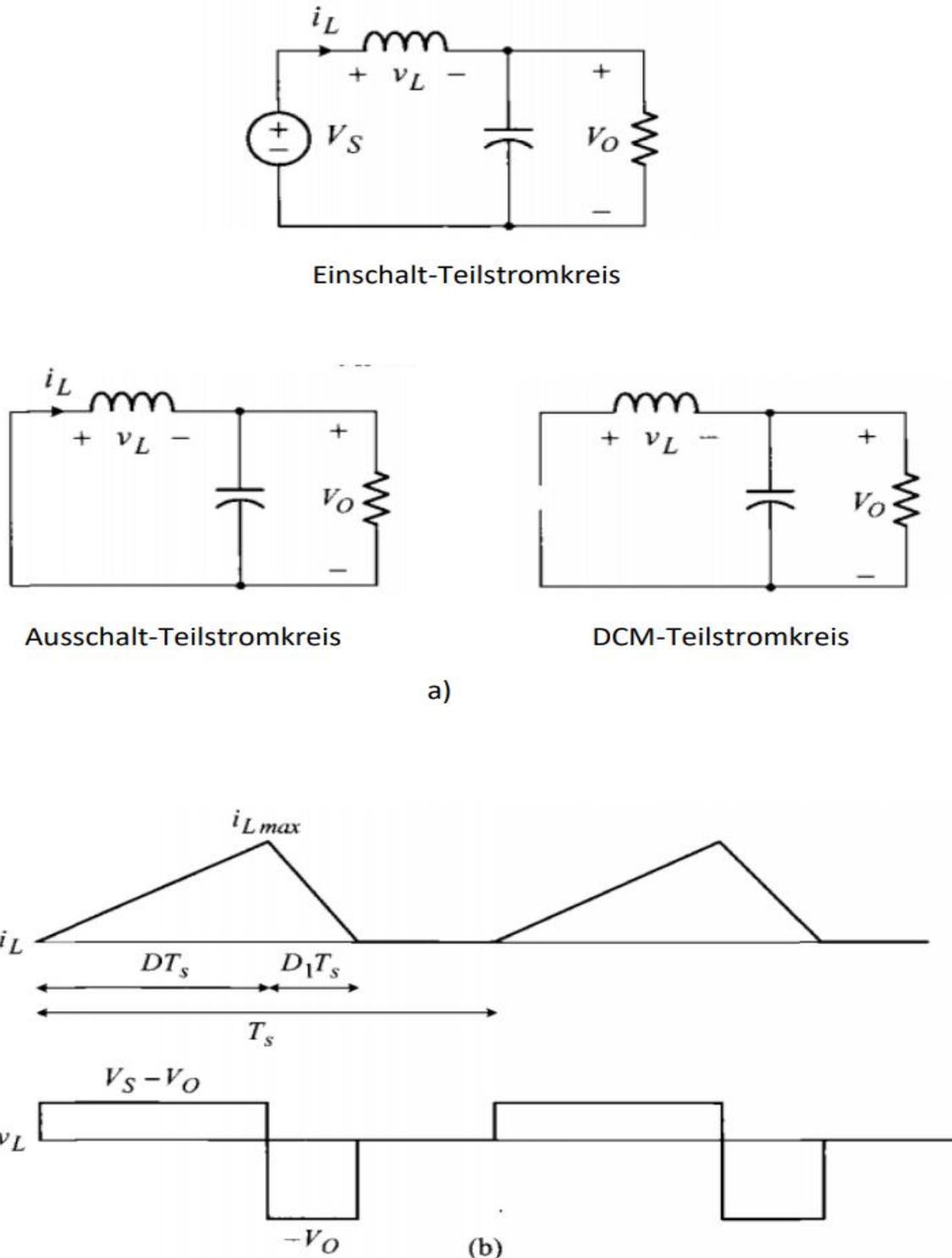


Abbildung 9 Betrieb des Abwärtswandlers in DCM. (a) Drei Teilstromkreise. (b) Spulenstrom i_L und Spulenspannung v_L [1]

Der Spulenstrom ist gegeben durch:

$$I_L = \frac{\frac{1}{2} i_{Lmax} (D + D_1) T_s}{T_s} \quad (9)$$

Basierend auf den gegebenen Zusammenhängen wie:

$$I_L = I_0 = \frac{V_0}{R} \quad (10)$$

und

$$I_{Lmax} = \frac{V_0}{L} D_1 * T_s \quad (11)$$

wird der Ausdruck (9) umgeschrieben zu:

$$\frac{V_0}{R} = \frac{1}{2} \frac{V_0}{L} D_1 * T_s (D + D_1) \quad (12)$$

Welcher für die Auflösung nach D_1 umgestellt wird zu:

$$D_1^2 + D * D_1 - \frac{2L}{RT_s} = 0 \quad (13)$$

Durch Lösen von Gleichung (13) nach D_1 ergibt sich

$$D_1 = \frac{1}{2} \left(-D + \sqrt{D^2 + \frac{8L}{RT_s}} \right) \quad (14)$$

und schließlich ergibt sich durch Einsetzen von Gleichung (8) in die DCM-Spannungsverstärkung:

$$\frac{V_0}{V_s} = \frac{2D}{D + \sqrt{D^2 + \frac{8L}{RT_s}}} \quad (15)$$

Die Spannungsverstärkung ist eine nichtlineare Funktion der Schaltungsparameter und der Betriebsbedingungen. Aus der vorangegangenen Analyse können drei aufschlussreiche Beobachtungen gemacht werden. Aus (15) ist ersichtlich, dass die Spannungsverstärkung zunimmt, wenn der Lastwiderstand größer wird. Wenn die durch Gleichung (4) gegebene Grenzwertbedingung in (14) aufgenommen wird, folgt daraus, dass $D_1 = 1 - D$, was darauf hinweist, dass sich der Wandler tatsächlich an der

Grenze zwischen CCM und DCM befindet. Schließlich gilt für die meisten Wandler Parameter die folgende Formel. [1]

$$\frac{2D}{D + \sqrt{D^2 + \frac{8L}{RT_s}}} > D \quad (16)$$

Dies weist darauf hin, dass die DCM-Spannungsverstärkung größer ist als das CCM-Gegenstück, wenn das gleiche Tastverhältnis angenommen wird. [1]

3 Möglichkeit zur Nullstrom-Detektion

Es gibt mehrere Möglichkeiten, um die Nullstromdetektion zu implementieren. In dieser Arbeit werden zwei Methoden erläutert.

3.1 Serien-Sense-Widerstand

Bei dieser Methode der Stromerfassung wird ein Messwiderstand mit der Spule in Reihe geschaltet. Durch Messung des Spannungsabfalls am Widerstand wird an Hand des ohmschen Gesetzes der fließende Strom ermittelt, wenn der Wert des Widerstands bekannt ist. [3]

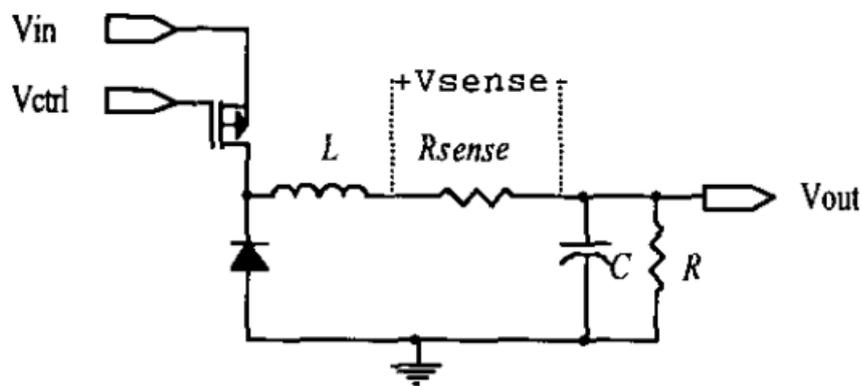


Abbildung 10: Series-Sense-Widerstand [3]

Der Wirkungsgrad des DC-DC-Wandlers wird durch diese Methode verringert und führt zu einem Leistungsverlust in R_{sense} . Wegen der eingangsbedingten Abweichungen und anderer praktischer Einschränkungen sollte zur Erreichung einer angemessenen Präzision die Spannung über dem Messwiderstand bei Vollast mehr als 37mV betragen. Im Messwiderstand entsteht dadurch eine Verlustleistung von 7,27mW, wenn der Laststrom 0,2A beträgt. Der Sense-Widerstand verringert den Systemwirkungsgrad um 3,3% wenn die Ausgangsspannung 1,2V und die Ausgangsleistung bei Vollast 0,24W betragen. Der Wirkungsgrad wird bei niedrigeren Ausgangsspannungen, bei denen der prozentuale Anteil der Verlustleistung im Sense-Widerstand steigt, weiter verschlechtert. [3]

3.2 SENSEFETs

Diese Technik wird zur Strommessung in vielen neuen Leistungs-MOSFETs angewendet. Zur Erfassung des Stroms wird ein strommessender FET parallel zum Leistungs-MOSFET integriert, um dessen „Messfähigkeiten“ zu nutzen. In Abbildung 11 wird das am Beispiel eines PMOS-Transistors demonstriert, auch wenn im Kontext des Abwärtswandlers, der Strom durch den NMOS Transistor zur Nullstromdetektion gemessen werden muss. [3]

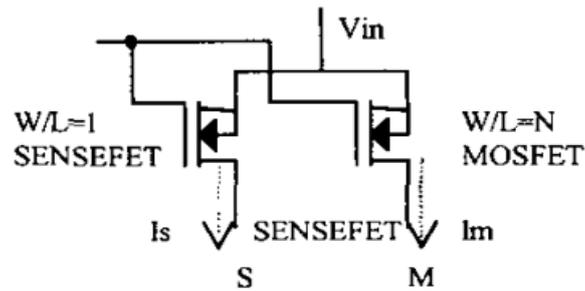


Abbildung 11: SENSEFET [3]

Im Vergleich zum Leistungs-MOSFET ist die effektive Breite (W) des Sense-MOSFET (SENSEFET) deutlich kleiner. Um zu ermöglichen, dass die Leistungsaufnahme im SENSEFET niedrig und quasi verlustfrei ist, sollte die Breite des Leistungs-MOSFET mindestens die 100-fache Breite des SENSEFET betragen. Bei Schaltwandlern ist der Spannungsabfall auf der Drain-Source Strecke der Leistungsschalter bewusst sehr klein gewählt, um die Schaltverluste zu begrenzen. Aus diesem Grund befinden sich die Transistoren im linearen Bereich und der Stromfluss durch die Transistoren ist von der Drain-Source Spannung abhängig. Damit daraus keine Stromspiegelstörungen resultieren, sollten die Spannungen der Knoten M und S gleich sein. In Abbildung 12 ist eine vollständige Schaltung zur Strommessung mit einem PMOS SENSEFET dargestellt, mit M1 als Leistungs-MOSFET und M2 als SENSEFET. Um die Drain-Spannungen von M1 und M2 gleich zu halten, wird ein Operationsverstärker verwendet. [3] Im Falle der Nullstromdetektion müsste die in Abbildung 12 dargestellte Schaltung auf die Strommessung durch einen NMOS statt einen PMOS angepasst werden.

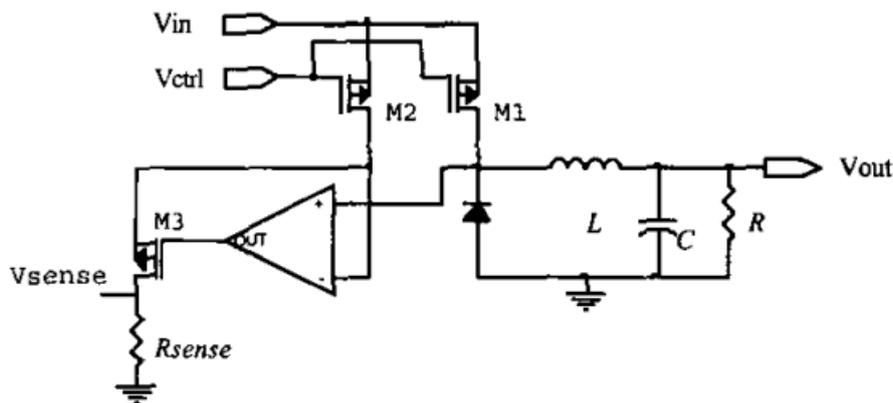


Abbildung 12: Schaltungsbeispiel zur Erhöhung der Genauigkeit der SENSEFET-Methode [3]

In dieser Arbeit wurden die Series-Sense-Widerstand-Methode angewendet, um die Nullstelle zu detektieren.

4. Schaltung zur Realisierung des DCM-Betriebs in einem synchronen Tiefsetzsteller

Im Rahmen dieser Arbeit wurde zuerst ein Stromsensor in den Tiefsetzsteller integriert, um den negativen Spulenstrom zu detektieren, sobald der Spulstrom unter 0A geht. Anschließend wurde zusätzlich eine DCM-Logik aufgebaut, um in den DCM-Betrieb zu wechseln. Wie in Abbildung 13 zu sehen ist, besteht der Stromsensor aus einem Sense-Widerstand, einer spannungsgesteuerten Spannungsquelle (engl. Voltage Controlled Voltage Source, VCVS) und einem Komparator. Die DCM-Logik besteht aus einem UND-Gatter, zwei Invertern und einem D-Flipflop.

Eine VCVS wird verwendet, um die über dem Widerstand abfallende Spannung zu verstärken. Der D-Eingang des Flipflops muss mit der Versorgungsspannung (3.3V) verbunden werden.

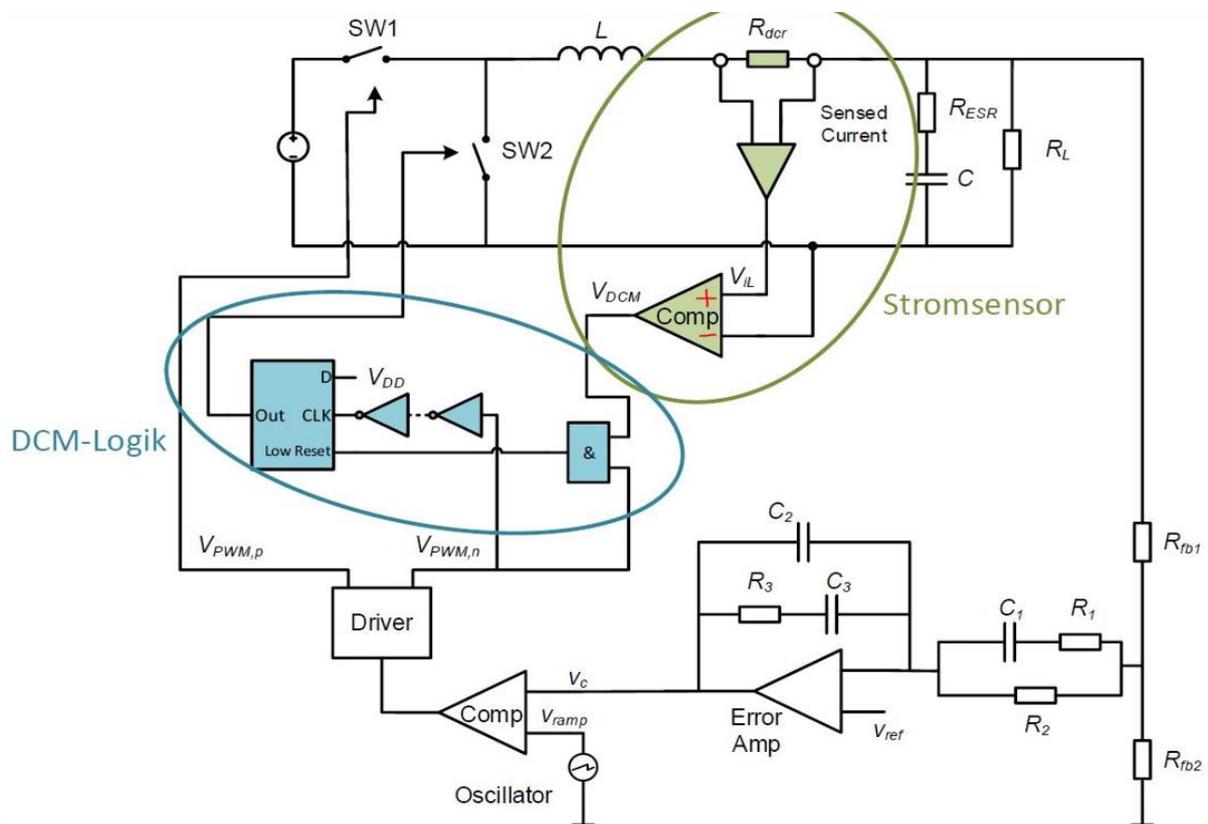
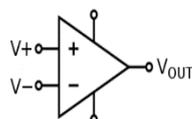


Abbildung 13: DCM-Schaltung

4.1 Der Komparator

Das Schaltsymbol eines analogen Komparators sieht wie folgt aus:



Der Komparator hat zwei Eingänge, einen positiven Eingang V_+ und einen negativen Eingang V_- . Wenn das Potential am negativen Eingang größer als am positiven Eingang ist, liegt am Ausgang des Komparators V_{aus} eine logische 0, also eine Spannung von 0V an. Wenn das Potential am positiven Eingang größer als am negativen Eingang ist, liegt am Ausgang des Komparators eine logische 1 und somit die Versorgungsspannung VDD an. [7]

4.2 Logikgatter

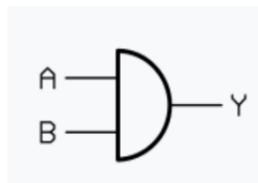
Logikgatter sind elektronische Schaltungen. Sie werden verwendet, um Boolesche Funktionen zu implementieren, welche die Grundlage von elektronischen Logikschaltungen darstellen. [7]

Die Gatter erzeugen mit Hilfe eines oder mehrerer binärer Eingangssignale ein binäres Ausgangssignal, entweder 0 oder 1. In der Elektrotechnik wird 0 und 1 auch als Low und High bzw. als L und H bezeichnet. [7]

Darüberhinaus können mehrere Logikgatter zu Baugruppen wie z.B. Flip-Flops, Datenspeichern und Zählern zusammengebaut werden. [7]

➤ UND-Gatter

Das Schaltsymbol für das UND-Gatter sieht wie folgt aus:



In obiger Darstellung besitzt das UND-Gatter zwei Eingänge, wobei UND-Gatter im Allgemeinen auch über mehr als zwei Eingänge verfügen können. Bei zwei Eingängen besitzt die Wahrheitstabelle das folgende Aussehen. [7]

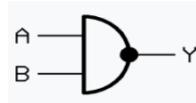
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Alle möglichen Kombinationen der Eingangszustände A und B werden tabellarisch behandelt und mögliche Ausgangszustände dargestellt. Bei der logischen Verknüpfung „und“ wird der Ausgang 1, wenn alle Eingänge ebenfalls 1 sind. [7]

Der zugehörige Boolesche Ausdruck lautet: $Y = A \wedge B$

➤ **NAND-Gatter**

Das Schaltsymbol für das NAND-Gatter sieht wie folgt aus:



Der Punkt am rechten Rand des Gatters impliziert die invertierte Funktion des UND-Gatters im Vergleich zum UND-Gatter. In dieser Arbeit wird ein NAND-Gatter mit zwei Eingängen und einem Ausgang verwendet. [7]

Die zugehörige Wahrheitstabelle sieht wie folgt aus.

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Auf der linken Seite befinden sich alle möglichen Kombinationen der Eingänge. A und B. Auf der rechten Seite ist zu erkennen, dass das Ergebnis Y immer 1 ist, außer wenn alle Eingänge 1 sind. [7]

Der Boolesche Ausdruck für die NAND-Funktion lautet:

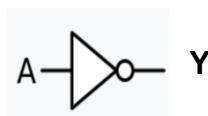
$$Y = \overline{A \wedge B}$$

Da in diesem Projekt eine UND-Funktion benötigt wird aber nur ein NAND-Gatter vorhanden ist, wird das Ausgangssignal des NAND Gatters an einen Inverter geführt.

➤ **Inverter**

Der Inverter wird auch als Komplement-Gatter oder Nicht-Gatter bezeichnet. Im Gegensatz zu allen anderen logischen Gattern hat es nur einen Eingang und einen Ausgang und ist daher das einfachste der logischen Gatter. [7]

Das Schaltsymbol des Inverters sieht wie folgt aus:



Die zugehörige Wahrheitstabelle sieht wie folgt aus.

A	Y
0	1
1	0

Links sind beide Möglichkeiten für den Eingang A aufgelistet. Wenn das NAND-Gatter an den Invertereingang eine 1 liefert, dann invertiert das Nicht-Gatter das Eingangssignal so dass aus der 1 eine 0 und andersherum wird. [7]

Der Boolesche Ausdruck dafür lautet:

$$Y = \bar{A}$$

Das NAND-Gatter und der Inverter können zu einem UND-Gatter zusammengefasst werden.

Wie in Abbildung 11 dargestellt, treibt der Ausgang des Inverters den Reset-Eingang eines D-Flipflops mit High-aktiver Reset-Funktion.

➤ D-Flipflop

Das D-Flip-Flop ist auch als Daten- oder Verzögerungs-Flip-Flop bekannt und gehört zu den taktgesteuerten Flipflops. Es dient der zu einem Taktsignal synchronen Speicherung eines Bits. Im Allgemeinen existieren zwei Arten von Bitspeichern und zwar taktzustandsgesteuerte D-Latches und taktflankengesteuerte D-Flipflops. [7]

Am häufigsten werden taktzustandsgesteuerte D-Flipflops verwendet. In diesem Projekt speichert das D-FlipFlop den Schaltzustand des Abwärtswandlers.

5 Auslegung des Tiefsetzstellers

Als nächstes werden alle Parameter der Schaltung für eine Schaltfrequenz von 10 MHz dimensioniert. Die Eingangsspannung beträgt 3,3V, und der Tiefsetzsteller soll auf eine Ausgangsspannung von 1,2V geregelt werden.

5.1 Dimensionierung des LC-Glieds

Das LC-Glied wird verwendet, um das pulsbreitenmodulierte Rechtecksignal zu glätten. Die Verwendung des LC-Glieds führt zu einer Gleichspannung mit überlagertem Dreieckssignal kleiner Amplitude. Die Energie wird in der Spule und im Kondensator gespeichert, wenn der PMOS geschlossen ist. Diese Energie wird entladen, während der PMOS öffnet und der NMOS schließt. Das LC-Glied wird auch LC-Tiefpass genannt. Die hohen Frequenzen werden gedämpft und die niedrigen Frequenzen werden durchgelassen. Hierdurch wird das Ausgangssignal gleichmäßiger.

Die Periodendauer T wird wie folgt berechnet:

$$T = \frac{1}{f} = \frac{1}{10\text{MHz}} = 100 \text{ ns} \quad (17)$$

Die Ein- und Ausschaltzeiten werden durch die folgende Formel bestimmt:

$$T_{\text{on}} = D * T = 0,363 * 100 \text{ ns} = 36,3 \text{ ns} \quad (18)$$

$$T_{\text{out}} = (1 - D) * T = (1 - 0,363) * 100 \text{ ns} = 63,7 \text{ ns} \quad (19)$$

Die Differenz ΔI zwischen Maximal- und Minimalwert des Spulenstroms wird mit einem gängigen Wert von 30 % des durchschnittlichen Laststromes angesetzt.

$$\Delta I = I_{\text{Last}} * 0,3 \text{ A} = 0,2 \text{ A} * 0,3 = 60 \text{ mA} \quad (20)$$

5.1.1 Berechnung der Ausgangsspule

Die Induktivität L wird wie folgt berechnet:

$$L = \frac{(U_{\text{in}} - U_{\text{out}}) * D}{f * \Delta I} = \frac{(3,3 \text{ V} - 1,2 \text{ V}) * 0,363}{10\text{MHz} * 60 \text{ mA}} = 1,27 \text{ } \mu\text{H} \quad (21)$$

Die Spannungswelligkeit ΔU_C wird mit 0,1% der Ausgangsspannung bestimmt:

$$\Delta U_C = U_{\text{out}} * 0,001 = 1,2 \text{ V} * 0,001 = 1,2 \text{ mV} \quad (22)$$

5.1.2 Berechnung der Ausgangskapazität

Die Kapazität C wird wie folgt berechnet:

$$C = \frac{\Delta I}{\Delta U_C * 8 * f} = \frac{60 \text{ mA}}{1,2 \text{ mA} * 8 * 10 \text{ MHz}} = 0,625 \text{ } \mu\text{F} \quad (23)$$

Für die Spule wird ein Bauteil mit einer Induktivität von 1,27 μH und einem Gleichspannungsreihenwiderstand von 30 $\text{m}\Omega$ gewählt und für den Kondensator eine Kapazität von $C_{\text{out}} = 625 \text{ nF}$ und einem Gleichspannungsreihenwiderstand von 20 $\text{m}\Omega$.

5.2 Dimensionierung der Regeleinheit

Für einen spannungsgesteuerten Abwärtswandler im CCM-Modus wird empfohlen, einen PID-Regler zu verwenden, der in Abbildung 3 als Operationsverstärkerschaltung dargestellt ist. Die Übertragungsfunktion des PID-Reglers besitzt zwei Nullstellen, deren Phasenerhöhungseffekt zur Stabilisierung des Regelkreises verwendet werden kann.

5.2.1 Bestimmung der Regelparameter

Um die Komponenten des PID-Reglers zu bestimmen, wurde eine Methode aus dem Buch „Pulsewidth Modulated DC-to-DC Power Conversion“ verwendet. [1]

Die PID-Regler-Übertragungsfunktion wird wie folgt berechnet:

$$G_{PID-Regler}(S) = \frac{K_v}{S} * \frac{\left(1 + \frac{S}{\omega_{z1}}\right) * \left(1 + \frac{S}{\omega_{z2}}\right)}{\left(1 + \frac{S}{\omega_{p1}}\right) * \left(1 + \frac{S}{\omega_{p2}}\right)} \quad (24)$$

Um die Steuerungsparameter zu bestimmen, werden die zuvor berechneten Werte des LC-Glieds verwendet und ein Wert für den Widerstand R_1 im Eingangsnetzwerk des Operationsverstärkers willkürlich gewählt.

$$C_{\text{out}} = 625 \text{ nF} ; R_{\text{esr}} = 20 \text{ m}\Omega ; L = 1,27 \mu\text{H} ; R_1 = 1,12 \text{ K}\Omega \quad (25)$$

5.2.1.1 Erste Polstelle

Zuerst wird die erste Polstelle $\omega_{p1} = \omega_{\text{esr}}$ gewählt.

ω_{esr} entspricht der Nullstellenkreisfrequenz des Ausgangskondensators (C_{out}).

$$\begin{aligned} \omega_{p1} &= \omega_{\text{esr}} \\ \omega_{\text{esr}} &= \frac{1}{R_{\text{esr}} * C_{\text{out}}} = \frac{1}{20 \text{ m}\Omega * 625 \text{ nF}} = 80 \text{ Ms}^{-1} \end{aligned} \quad (26)$$

$$\omega_{\text{esr}} = 2 * \pi * f_{\text{esr}} \quad (27)$$

$$f_{\text{esr}} = \frac{\omega_{\text{esr}}}{2 * \pi}$$

$$f_{\text{esr}} = \frac{80 \text{ Ms}^{-1}}{2 * \pi} = 12,73 \text{ Ms}^{-1}$$

5.2.1.2 Erste Nullstelle

Als nächstes wird die erste Nullstelle auf einen Wert im Bereich $\omega_{Z1} = (0,6 - 0,8)\omega_0$ gesetzt der leicht unterhalb der Grenzfrequenz des LC-Filters liegt.

ω_0 entspricht der Zeitkonstante des LC-Glieds.

$$\omega_{Z1} = 0,6 * \omega_0$$
$$\omega_0 = \frac{1}{\sqrt{L * C_{out}}} = 1,12 \text{ Ms}^{-1} \quad (28)$$

$$\omega_{Z1} = 0,6 * \omega_0 = 2 * \pi * f_{Z1} \quad (29)$$

$$\omega_{Z1} = 0,6 * 1,12 \text{ Ms}^{-1} = 0,67 \text{ Ms}^{-1}$$

$$f_{Z1} = \frac{0,6 * \omega_0}{2 * \pi} = \frac{0,6 * 1,12 \text{ Ms}^{-1}}{2 * \pi} = 107,18 \text{ KHz}$$

5.2.1.3 Zweite Nullstelle

Dann wird die zweite Nullstelle auf einen Wert im Bereich $\omega_{Z2} = (1,5 - 3)\omega_0$ gelegt, der leicht oberhalb der Grenzfrequenz des LC-Filters liegt.

$$\omega_{Z2} = 1,5 * \omega_0 = 2 * \pi * f_{Z2} \quad (30)$$

$$\omega_{Z2} = 1,5 * 1,12 \text{ Ms}^{-1} = 1,68 \text{ Ms}^{-1}$$

$$f_{Z2} = \frac{1,5 * \omega_0}{2 * \pi} = \frac{1,5 * 1,12 \text{ Ms}^{-1}}{2 * \pi} = 267,95 \text{ KHz}$$

5.2.1.4 Zweite Polstelle

Nun wird die zweite Polstelle mit $\omega_{p2} = (0,5 - 0,8)\omega_s$ bestimmt. ω_s entspricht der Schaltkreisfrequenz und f_s der Schaltfrequenz des Tiefsetzstellers.

$$\omega_{p1} = \omega_{esr}$$

$$f_{p1} = f_{esr} = 12,17 \text{ MHz}$$

$$\omega_{p2} = 0,5 * \omega_s = 2 * \pi * f_{p2} \quad (31)$$

$$\omega_s = 2 * \pi * f = 2 * \pi * 10 \text{ MHz} = 62,83 \text{ Ms}^{-1}$$

$$\omega_{p2} = 5 * 62,83 \text{ Ms}^{-1} = 31,41 \text{ Ms}^{-1}$$

$$f_{p2} = \frac{0,5 * \omega_s}{2 * \pi} = \frac{0,5 * 62,83 \text{ Ms}^{-1}}{2 * \pi} = 5 \text{ MHz} \quad (32)$$

5.2.1.5 Bestimmung der Komponenten

Als letztes können die Werte der Komponenten des Reglers C_1 , C_2 , C_3 , R_1 , R_2 , R_3 und die Durchtrittsfrequenz ω_c des Abwärtswandlers wie folgt bestimmt werden.

$$R_1 = 1,12 \text{ K}\Omega$$

$$C_1 = \frac{1}{R_1 * f_{p1} * 2 * \pi} = \frac{1}{1,12 \text{ K}\Omega * 12,73 \text{ MHz} * 2 * \pi} \quad (33)$$

$$C_1 = 1,16 \text{ pF}$$

$$\omega_{z2} = \frac{1}{(R_1 + R_2) * C_1} = 2 * \pi * f_{z2} \quad (34)$$

R₂ wird wie folgt berechnet:

$$R_2 = \frac{1}{\omega_{z2} * C_1} - R_1 \quad (35)$$

$$R_2 = \frac{1}{1,68 \text{ Ms}^{-1} * 1,16 \text{ pF}} - 1,12 \text{ K}\Omega = 52,1 \text{ K}\Omega$$

$$\omega_c = 0,1 * \omega_s = 0,1 * 62,83 \text{ Ms}^{-1} = 6,28 \text{ Ms}^{-1} \quad (36)$$

$$K_V = \frac{V_m}{V_s} \frac{\omega_{z1} \omega_{z2} \omega_c}{\omega^2_0} \quad (37)$$

mit dem Verstärkungsfaktor K_v

$$K_v = \frac{\frac{3,3 \text{ V}}{3,3 \text{ V}} * 0,653 \text{ Ms}^{-1} * 1,68 \text{ Ms}^{-1} * 6,28 \text{ Ms}^{-1}}{1,12 \text{ Ms}^{-1}} = 5,65 \text{ Ms}^{-1}$$

$$K_v = \frac{1}{R_2 (C_2 + C_3)} \quad (38)$$

$$(C_2 + C_3) = \frac{1}{52,10 \text{ K}\Omega * 5,65 \text{ Ms}^{-1}} = 3,39 \text{ pF}$$

$$\omega_{p2} = \frac{1}{R_3 \left(\frac{C_2 * C_3}{C_2 + C_3} \right)} \quad (39)$$

Umstellen nach R₃

$$R_3 = \frac{1}{\omega_{p2} * \left(\frac{C_2 * C_3}{C_2 + C_3} \right)} \quad (40)$$

$$\omega_{z1} = \frac{1}{R_3 * C_3} \quad (41)$$

R₃ einsetzen in ω_{z1}

$$\omega_{z1} = \frac{1}{\frac{1}{\omega_{p2} * \left(\frac{C_2 * C_3}{C_2 + C_3} \right)} * C_3} \quad (42)$$

$$\omega_{z1} = \frac{\omega_{p2} * C_2}{(C_2 + C_3)}$$

ω_{z1} wird nach C_2 umgeformt

$$C_2 = \frac{\omega_{z1} * (C_2 + C_3)}{\omega_{p2}} \quad (43)$$

$$C_2 = \frac{0,67 \text{ Ms}^{-1} * 3,39 \text{ pF}}{31,41 \text{ Ms}^{-1}} = 72,76 \text{ FF}$$

$$C_3 = (C_2 + C_3) - C_2 = 3,39 \text{ pF} - 72,67 \text{ FF} = 3,31 \text{ pF}$$

$$R_3 = \frac{1}{\omega_{z1} * C_3} = \frac{1}{0,67 \text{ Ms}^{-1} * 3,31 \text{ pF}} = 448,60 \text{ K}\Omega$$

Die folgende Formel wird verwendet, um die Grenze zwischen DCM-CCM-Modus zu erreichen.

$$R_{\text{crit}} = \frac{2L}{(1-D)T_s} \quad (44)$$

$$R_{\text{crit}} = \frac{2 * 1,27 \mu\text{H}}{(1-0,363) * 100 \text{ ns}} = 39,87 \Omega$$

Die Grenze wird erreicht, wenn für den Lastwiderstand $R_L = R_{\text{crit}}$ gilt.

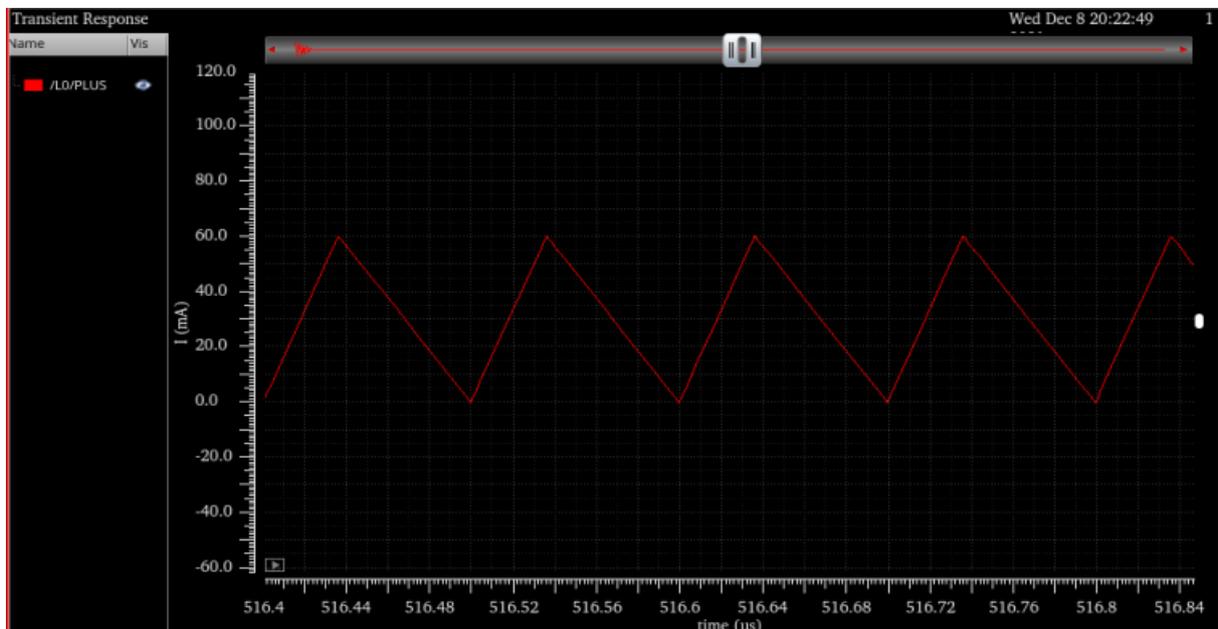
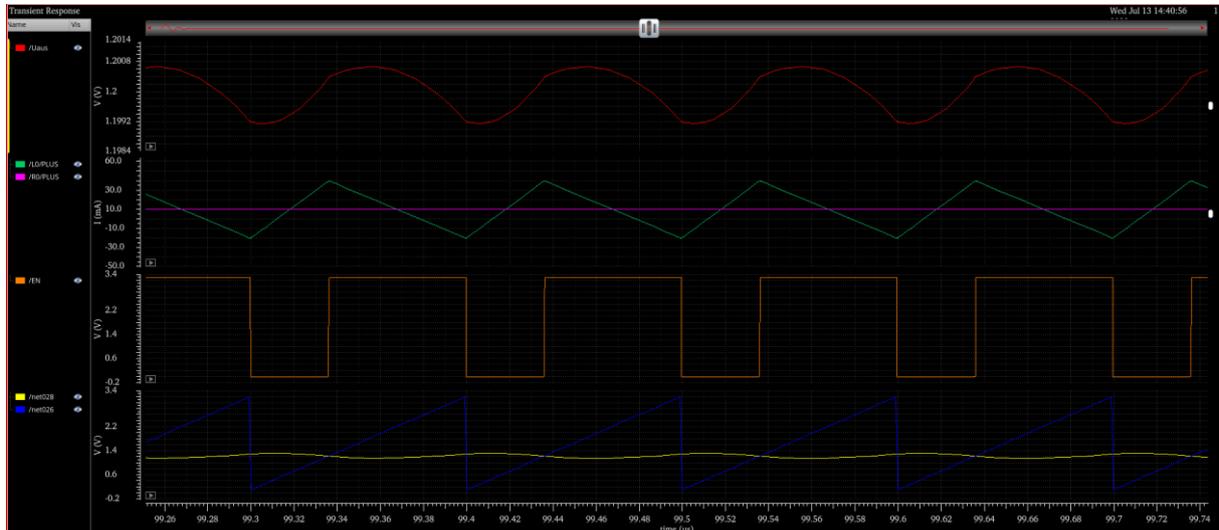


Abbildung 14: Spulenstromverlauf nach der Grenzanpassung

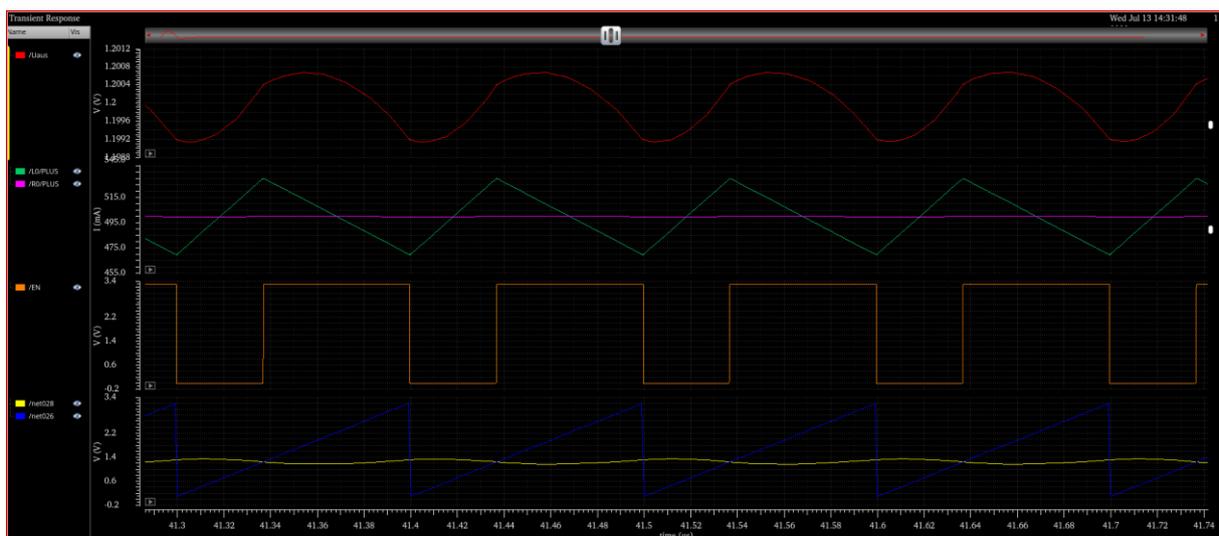
Wie in Abbildung 14 zu sehen ist, befindet sich der Wandler nach der Wahl eines Lastwiderstands von $R_L = R_{\text{crit}} = 39,87 \Omega$ an der Grenze zwischen dem CCM- und dem DCM-Betrieb. Dies ist daran zu erkennen, dass der Spulenstrom den Wert Null erreicht. Das bedeutet, dass die Vorhersage von Formel 44 für den kritischen Widerstand zutrifft.

5.3 Transiente Simulationsresultate

Die Schaltung wurde, wie oben beschrieben, an die Schaltfrequenz von 10 MHz und die weiteren Spezifikationen aus der Tabelle auf Seite 2 angepasst und anschließend simuliert.



a)



b)

Abbildung 15: Wichtige Signale des Tiefsetzstellers a) kleiner Lastfall b) großer Lastfall

In Abbildung 15 sind in rot die Ausgangsspannung, in lila der Ausgangsstrom, in grün der Spulenstrom, in gelb die Ausgangsspannung des Operationsverstärkers, in blau das Rampensignal und in orange das PWM-Signal zu sehen. Die Ausgangsspannung des Operationsverstärkers wird über einen Komparator mit dem Rampensignal verglichen. Der Vergleich erzeugt ein pulswidenmoduliertes Signal am Komparator-Ausgang.

- Wenn die Ausgangsspannung des Operationsverstärkers größer als das Rampensignal wird, gibt der Komparator eine logische „0“ aus. In diesem Fall schaltet sich der PMOS ein, und der NMOS schaltet sich aus.

- Wenn die Ausgangsspannung des Operationsverstärkers kleiner als das Rampsignal wird, gibt der Komparator eine logische „1“ aus. In diesem Fall schaltet sich der NMOS ein, und der PMOS schaltet sich aus.

Wie in Abbildung 15 a) und b) zu sehen ist, hat die angeschlossene Last einen Einfluss auf die absoluten Werte des Spulenstroms, während die relative Stromänderung unverändert bleibt. Die ist darin begründet, dass der Mittelwert des Spulenstroms dem Laststrom entspricht.

5.4 Stabilitätsanalyse

Für die Stabilitätsuntersuchungen kann die PSS-Analyse in Kombination mit der PSTB-Analyse verwendet werden, um nun zu überprüfen, ob die berechneten Parameter auch tatsächlich passen und dafür sorgen, dass der Wandler stabil ist.

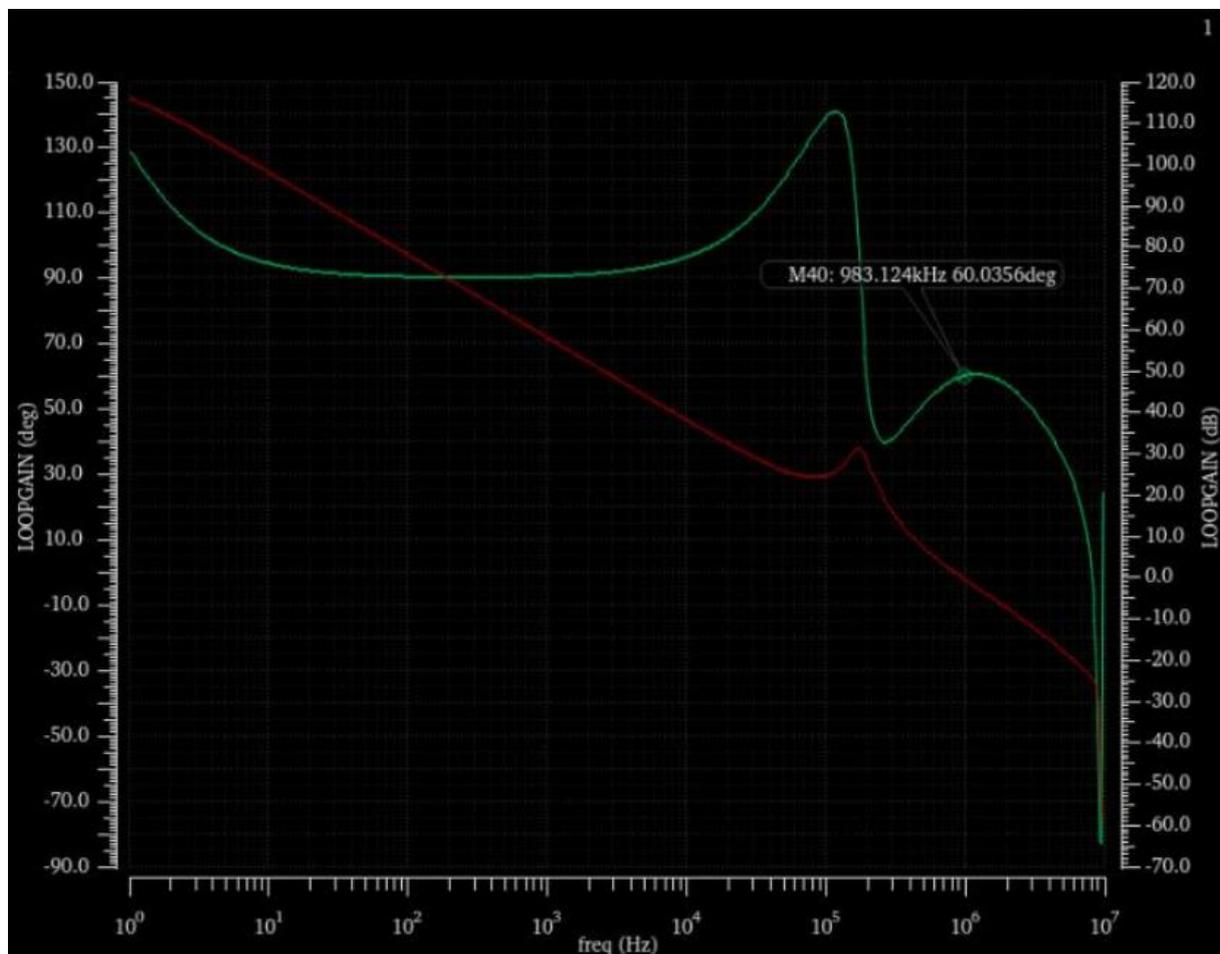


Abbildung 16: Phase (in grün) und Amplitude (in rot)

Im Bode-Diagramm ist die Phase in Grad (in grün) und die Amplitude in Dezibel (in rot) dargestellt. Die X-Achse ist logarithmisch von 1 Hz bis 10 MHz skaliert. Die Phasenreserve liegt bei ca. 60,035 Grad, und die Amplitudenreserve beträgt ca. 22,78 dB.

Mit einer Phasenreserve von $60,035^\circ$ ist der Wandler stabil und hat auch eine hohe stationäre Genauigkeit. Das bedeutet, dass die berechneten Parameter tatsächlich passen und dafür sorgen, dass der Wandler stabil ist.

6 Umsetzung der DCM-Schaltung im synchronen Tiefsetzsteller

Das Komparatorsignal, welches den PMOS Transistor treibt, wird zusätzlich noch auf ein UND-Gatter geführt, dass in diesem Projekt, wie bereits erwähnt, aus einer Reihenschaltung aus einem NAND-Gatter und einem Inverter zusammen gesetzt wird. Der zweite Eingang des AND-Gatters wird von der Nullstromdetektionsschaltung getrieben. Hierfür greift ein Verstärker, der in diesem Projekt durch eine spannungsgesteuerten Spannungsquelle idealisiert wird, die Spannung am Sense-Widerstand ab. Solange diese Spannung positiv ist, liefert auch die spannungsgesteuerten Spannungsquelle einen positiven Wert andernfalls einen negativen Wert. Die Spannung der spannungsgesteuerten Spannungsquelle wird über einen weiteren Komparator mit 0V verglichen. Sobald die Spannung am Sense-Widerstand negativ wird, ergibt dieser Vergleich eine logische Null und das UND-Gatter gibt ebenfalls eine logische Null aus. Dies führt zur Aktivierung des low-aktiven Resets des D-FlipFlops, wodurch das Ausgangssignal zurückgesetzt wird und der NMOS Transistor sich wieder öffnet. Der Schaltprozess beginnt von Neuem, sobald das Rampensignal wieder oberhalb der Ausgangsspannung liegt und das Komparatorausgangssignal den PMOS Transistor wieder schließt.

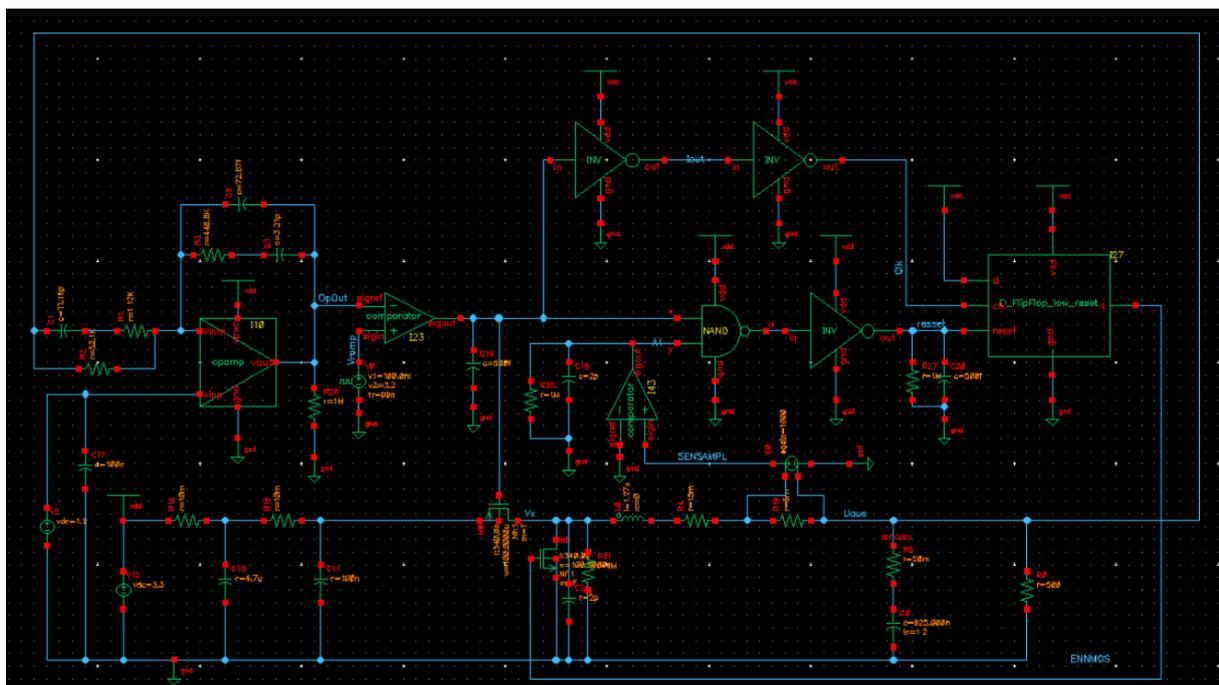


Abbildung 17: Umsetzung der DCM-Schaltung im synchronen Tiefsetzsteller

Eine typische Schaltperiode bei DCM Betrieb nimmt dann den folgenden Verlauf. Wenn die Ausgangsspannung des Operationsverstärkers größer als das Rampensignal wird, gibt der Komparator eine logische „0“ aus. In diesem Fall schaltet der PMOS sich ein. Als Folge wird die Eingangsspannung an die Spule durchgeschaltet. Während dieser Zeit ist der NMOS ausgeschaltet und der Strom durch die Spule steigt an, wodurch das LC-Glied aufgeladen wird.

Wenn die Ausgangsspannung des Operationsverstärkers kleiner als das Rampensignal wird, gibt der Komparator eine logische „1“ aus. Dadurch öffnet sich der PMOS Transistor. Das Komparatorsignal wird zwei mal invertiert und damit leicht verzögert an den Takteingang eines D-FlipFlops geführt, dessen Eingang fest auf eine logische

Eins gesetzt ist. Durch die steigende Flanke beim Übergang des Komparatorausgangssignal von Null auf Eins wird die logische Eins am Eingang des D-FlipFlops gespeichert und auf den Ausgang gegeben. Das FlipFlop Ausgangssignal steuert schließlich den NMOS Transistor, der sich daraufhin schließt. In diesem Schaltzustand nimmt der Strom durch die Spule ab, wodurch das LC-Glied entladen wird.

Die Spannungsdifferenz zwischen U_x und U_{aus} hat eine große Auswirkung auf die Richtung des Stromflusses durch die Spule. Wenn U_x kleiner als U_{aus} ist, fällt der Strom durch die Spule ab, wodurch sich das LC-Glied entlädt. Bleibt die Spannung U_x kleiner als U_{aus} , wenn die Spule vollständig entladen worden ist, nimmt der Spulenstrom negative Werte an.

7 Erweiterung der DCM-Schaltung um einen zusätzlichen Schalter parallel zur Induktivität

Simulationen haben gezeigt, dass es nicht ausreichend ist, den NMOS Transistor zu öffnen, sobald der Spulenstrom negativ wird. Grund hierfür ist, dass der negative Spulenstrom den Schaltpunkt U_x so weit entlädt bis dieser negativ wird. In Folge tauschen Drain und Source des NMOS Transistors ihre Rollen und es bildet sich eine positive Gate-Source Spannung aus, obwohl die Gate-Spannung auf Masse gehalten wird und der negative Spulenstrom fließt weiter. Um dies zu verhindern, wird ein NMOS-Transistor parallel zur Spule und zum Sense-Widerstand geschaltet.

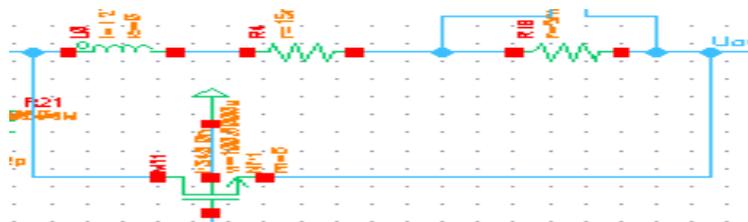


Abbildung 18: Umsetzung des NMOS-Transistors parallel zur Induktivität

Für den korrekten Betrieb muss ein Signal verwendet werden, das diesen zusätzlichen Transistor zum richtigen Zeitraum öffnet und schließt. Um ein passendes Signal auffindig zu machen, wurden alle wichtigen Spannungssignale simuliert und geschaut, wie sie verlaufen.

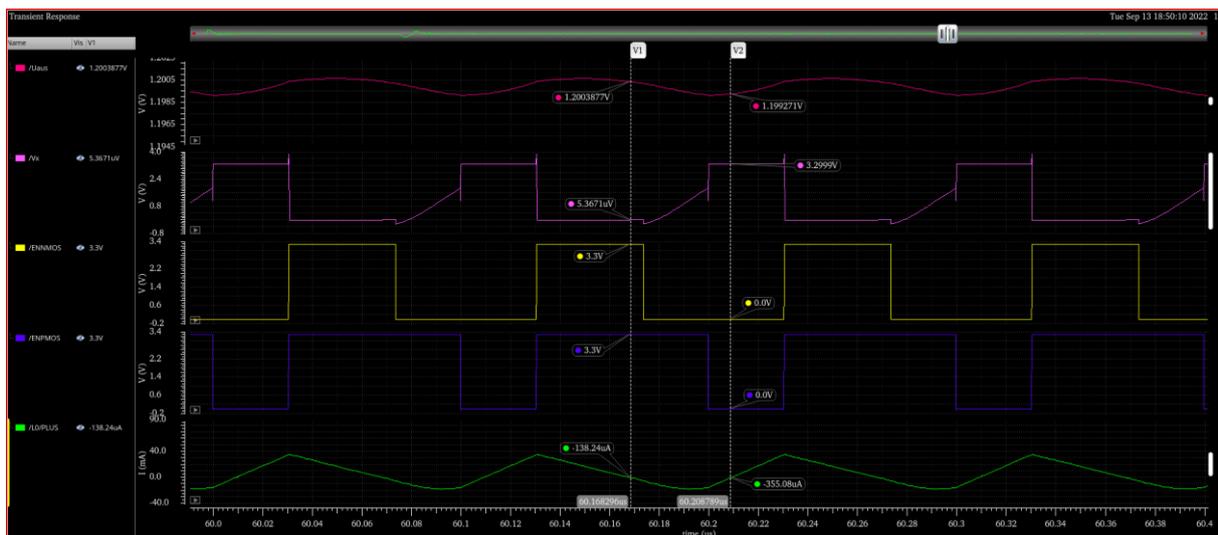


Abbildung 19: Wichtige Signale des Tiefsetzstellers in DCM-Betrieb mit zwei Phasen

Nach der Durchführung der Simulation wurde festgestellt, dass der Schalter schließen soll, wenn das NMOS-Steuersignal auf 0V und das PMOS-Steuersignal auf 3,3V liegt. Um beide Bedingungen zu erfüllen, müssen beide Signale durch ein logisches Gatter miteinander verknüpft werden, d.h., wenn das NMOS-Steuersignal auf 0 und das PMOS-Steuersignal auf 1 liegt, muss das logische Gatter eine 1 ausgeben.

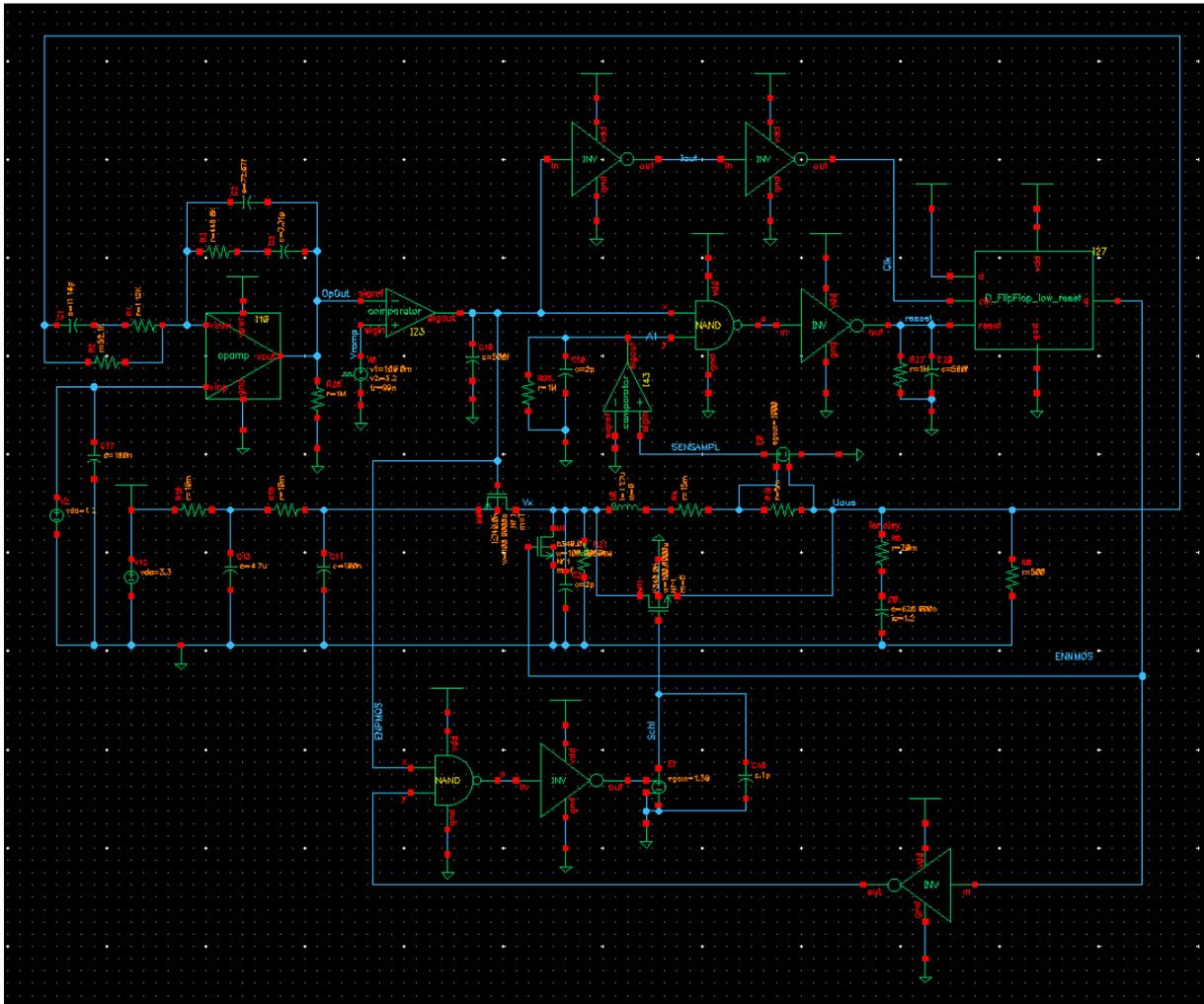


Abbildung 20: Umsetzung des NMOS-Transistors und des UND-Gatters im synchronen Tiefsetzsteller

Hierfür wurde das NMOS-Steuersignal invertiert und mit dem PMOS-Steuersignals über ein UND-Gatter verknüpft. Dadurch entsteht ein drittes Signal, welches den NMOS-Transistor einschaltet bzw. ausschaltet. Der NMOS-Transistor kann mit einer Gate-Source Spannung von bis zu 3,3V angesteuert werden. Hier wurde die Source auf den Ausgang gelegt und das Gate an das Steuersignal angeschlossen. Wenn die Source-Spannung auf 1,2V und das Gate-Signal auf 3,3V liegt, dann nimmt die Gate-Source-Spannung einen Wert von 2,1V an. Um den Transistor voll auszusteuern, muss das Steuersignal um 1,2V von 3,3V auf 4,5V angehoben werden, wodurch die Gate-Source-Spannung einen Wert von 3,3V erreicht. Deshalb wurde eine VCVS-Quelle verwendet, die als Level-Shifter fungiert und den Signalpegel anhebt.

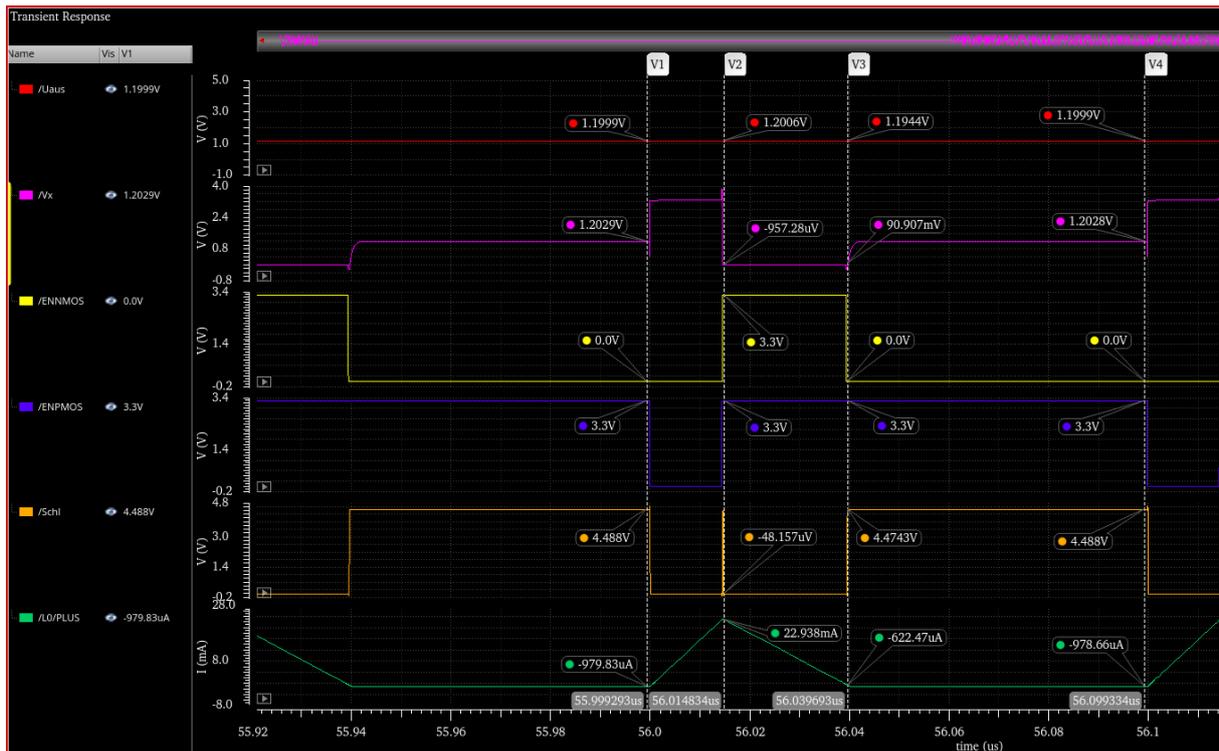


Abbildung 21: Wichtige Signale des Tiefsetzstellers im DCM-Betrieb mit drei Phasen

In Abbildung 21 ist ein Schaltzyklus unter Einbeziehung des Kurzschlusstransistors parallel zur Spule dargestellt. Die Schaltperiode beginnt bei einer Simulationszeit von $56\mu\text{s}$ wenn der PMOS-Steuersignal ENPMOS den Wert Null annimmt und der PMOS Transistor schließt. U_x nimmt dadurch den Wert der Eingangsspannung an. Über der Spule fällt eine positive Spannung ab und der Spulenstrom steigt linear an. Nach etwa 15ns nimmt das PMOS-Steuersignal ENPMOS und das NMOS-Steuersignal den Wert eins an. Dadurch öffnet sich der PMOS und der NMOS schließt. Die Spannung U_x wird auf Masse gezogen. Über der Spule fällt jetzt eine negative Spannung ab und der Spulenstrom sinkt. Wenn der Spulenstrom nahezu 0A geworden ist, wird das Steuersignal des Kurzschlusstransistors auf Eins gesetzt. Dadurch schließt sich der Kurzschlusstransistor und U_x nimmt den Wert von U_{out} an. Die Spannung über der Spule entspricht damit 0V und der Spulenstrom bleibt unverändert bei nahezu 0A . Die Schaltperiode beginnt von Neuem, sobald der PMOS Transistor schließt.

Effizienz-Berechnung der DCM-Schaltung

Mehrere Simulationen wurden mit einem Tiefsetzsteller mit DCM-Schaltung und ohne DCM-Schaltung mit unterschiedlichen Lastwiderstandswerten durchgeführt. Gleichzeitig wurden in den Simulationen die Eingangsleistung, die Ausgangsleistung sowie die Effizienz mit Hilfe des Cadence-Calculators berechnet, um zu überprüfen, ob die Schaltung ein verbessertes Verhalten zeigt.

Tabelle 1: Effizienz-Berechnung mit und ohne DCM-Schaltung

		P_{in}	P_{out}	Effizienz (P_{out}/P_{in})
Tiefsetzsteller mit DCM-Schaltung	50 Ω	54,81 mW	28,8 mW	52,55%
	100 Ω	36,78 mW	14,4 mW	39,15%
	200 Ω	29,62 mW	7,2 mW	24,31%
	500 Ω	25,31 mW	2,88 mW	11,37%
Tiefsetzsteller ohne DCM-Schaltung	50 Ω	56,19 mW	28,8 mW	51,25%
	100 Ω	41,82 mW	14,4 mW	34,44%
	200 Ω	34,62 mW	7,2 mW	20,08%
	500 Ω	30,30 mW	2,88 mW	9,5%

In der oberen Tabelle sind die berechneten Ein- und Ausgangsleistungen sowie die mit Hilfe des Cadence-Calculators berechnete Effizienz dargestellt. Der Tiefsetzsteller mit DCM-Schaltung wird bei Verwendung eines niedrigen Widerstands eine hohe Effizienz erreichen. Im Gegensatz dazu ist die Effizienz sehr gering, wenn ein hoher Widerstand eingesetzt wird. Gleiches gilt für den Tiefsetzsteller ohne DCM-Schaltung. Beim Vergleich der beiden Schaltungen ist jedoch zu sehen, dass die Effizienz des Tiefsetzstellers mit DCM-Schaltung bei niedrigen Widerständen höher ist.

7.1 Dimensionierung eines NMOS-Transistors als Schalter parallel zur Induktivität

Bei der Dimensionierung des Kurzschlusstransistors ist es das Ziel das Potenzial U_x sehr schnell auf die Ausgangsspannung aufzuladen. Diese Zeit, die benötigt wird, um den Knoten U_x umzuladen, hängt von zwei Größen ab nämlich dem On-Widerstand des Kurzschlusstransistors und der parasitären Kapazität am Knoten U_x .

7.1.1 DC-Simulation zur Anzeige des Arbeitspunktes

Zur Extraktion des On-Widerstandes des Kurzschlusstransistors und der parasitären Kapazitäten aus DC-Simulationen wurde eine spezielle Testbench verwendet. Im Prinzip müssen drei Schaltungen aufgebaut werden (Abbildung 26). Hierbei wurden DC-Spannungsquellen eingesetzt, um die passenden Potenziale an die Source, das Drain und das Gate der Transistoren anzulegen wie sie in der tatsächlichen Schaltung zu erwarten sind.

Beim NMOS-Transistor, der parallel zur Spule liegt, wird das Gate auf 4,47V, die Source auf 1,2V und der Drain auf 0V gelegt. Beim PMOS sind das Gate und die Source kurzgeschlossen und liegen auf 3,3V während der Drain ein Spannung von 0V annimmt. Beim NMOS sind das Gate, die Source und der Drain auf 0V. Bei diesen Spannungsverhältnissen wurden DC-Analyse-Simulationen durchgeführt.

7.1.2 OP-Funktion mit Hilfe des Calculators

Der Calculator im Cadence Virtuoso Entwurfswerkzeug verfügt über umfangreiche Möglichkeiten zur numerischen Analyse und Bewertung von Simulationsergebnissen unter Verwendung von besonderen Funktionen und einfachen mathematischen Ausdrucksformen. Der Calculator speichert die Ergebnisse in einem sogenannten Stapel nach dem Prinzip last-in-first-out. [6]

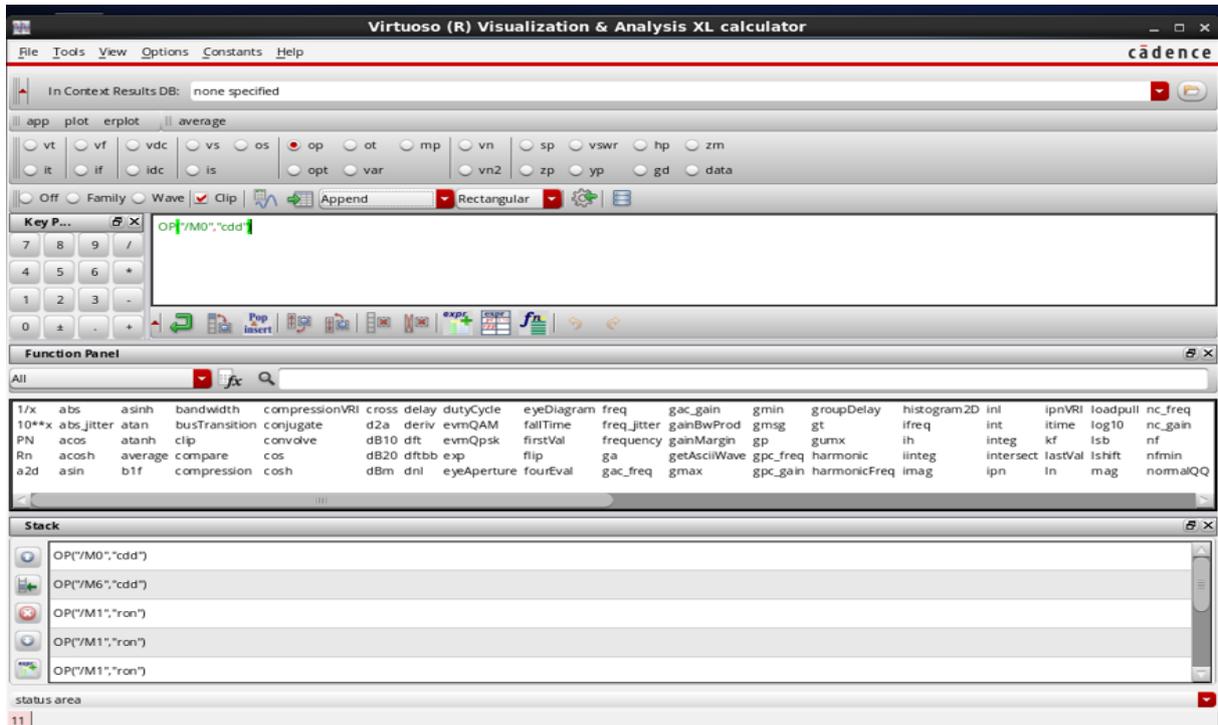
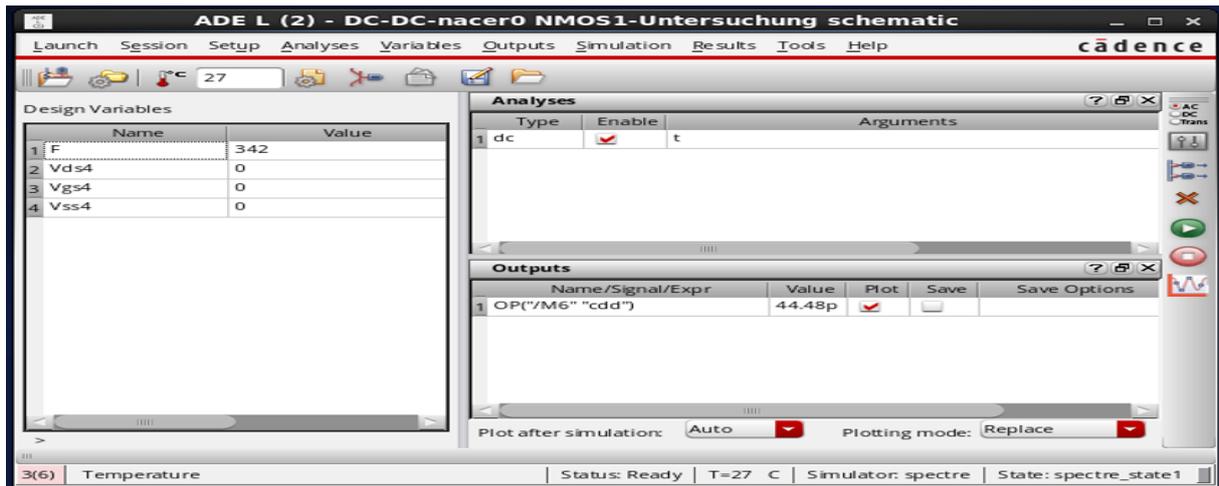


Abbildung 22: Hauptansicht des Calculators

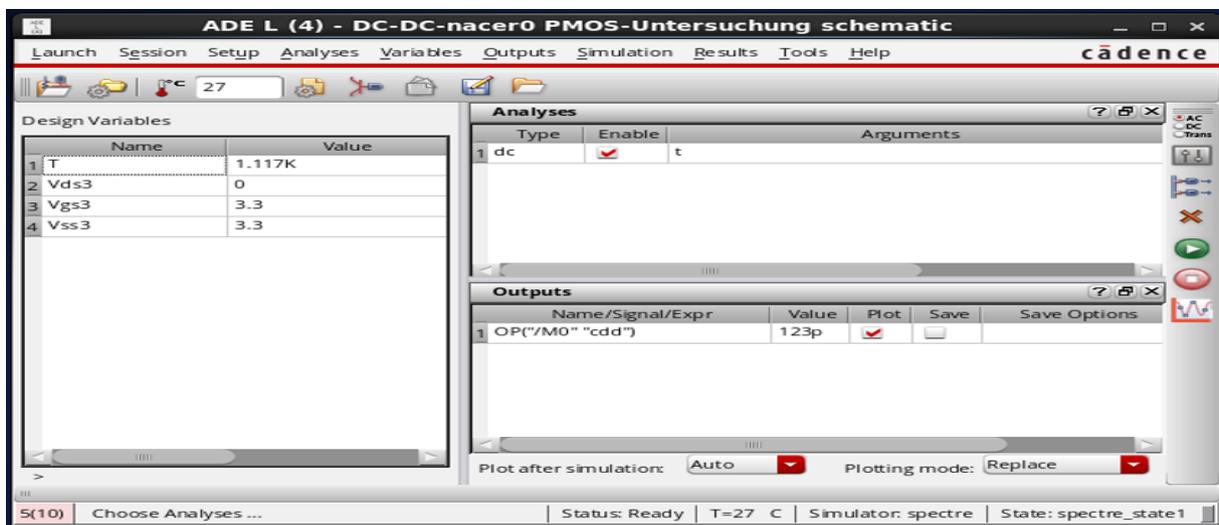
Die Schaltflächen im oberen Drittel des Calculators ermöglichen mit einem Klick die Auswahl von Arbeitspunkt -, Großsignal - oder beliebigen Signalgleichungen aller gängigen Simulationsarten (DC, AC, Trans) aus dem Schematic. [6]

Ein Klick auf die Schaltfläche op öffnet ein Fenster, in dem man eine Instanz aus dem Schaltplan auswählen kann. Durch einen Click auf den Transistor im Schaltplan öffnet sich eine Auswahlliste mit den für den gewählten Transistor verfügbaren Arbeitspunktgrößen. In diesem Fall wurde die Kapazität cdd ausgewählt und mit OK bestätigt. [6]

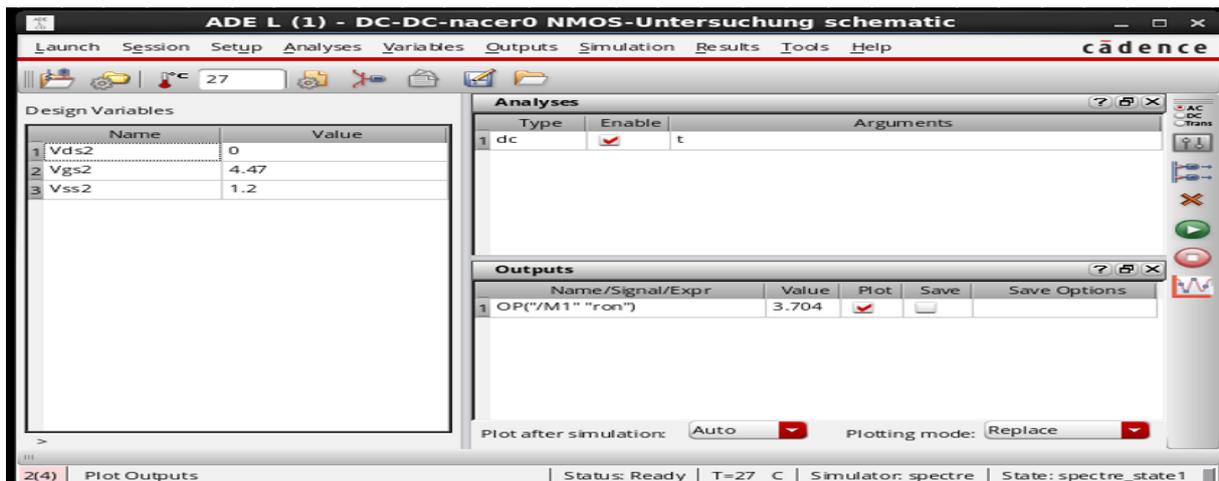
Um den Simulationsausdruck als Ausgabe zu verwenden, muss dieser in das ADE-L-Fenster übertragen werden. [6]



(a)



(b)



(c)

Abbildung 23: Eingerichtete Simulation im ADE-L-Fenster (a),(b) Kapazität am NMOS bzw. PMOS-Knoten und (c) On-Widerstand des zusätzlichen Kurzschluss-transistors

7.1.3 Anzeige des Arbeitspunktes

Nach erfolgreicher Ausführung dieser DC-Simulation lassen sich alle Spannungen an den Knoten der Schaltung und der Arbeitspunkt aller benutzten Komponenten anzeigen. Die Arbeitspunkte können auch in der Menü-Ansicht oder im Kontextmenü angezeigt werden, welches sich mit einem Rechtsklick auf den Transistor öffnet. Über Annotations > Setup gelangt man in das Annotation- Setup-Fenster(siehe Abbildung 24). [6]

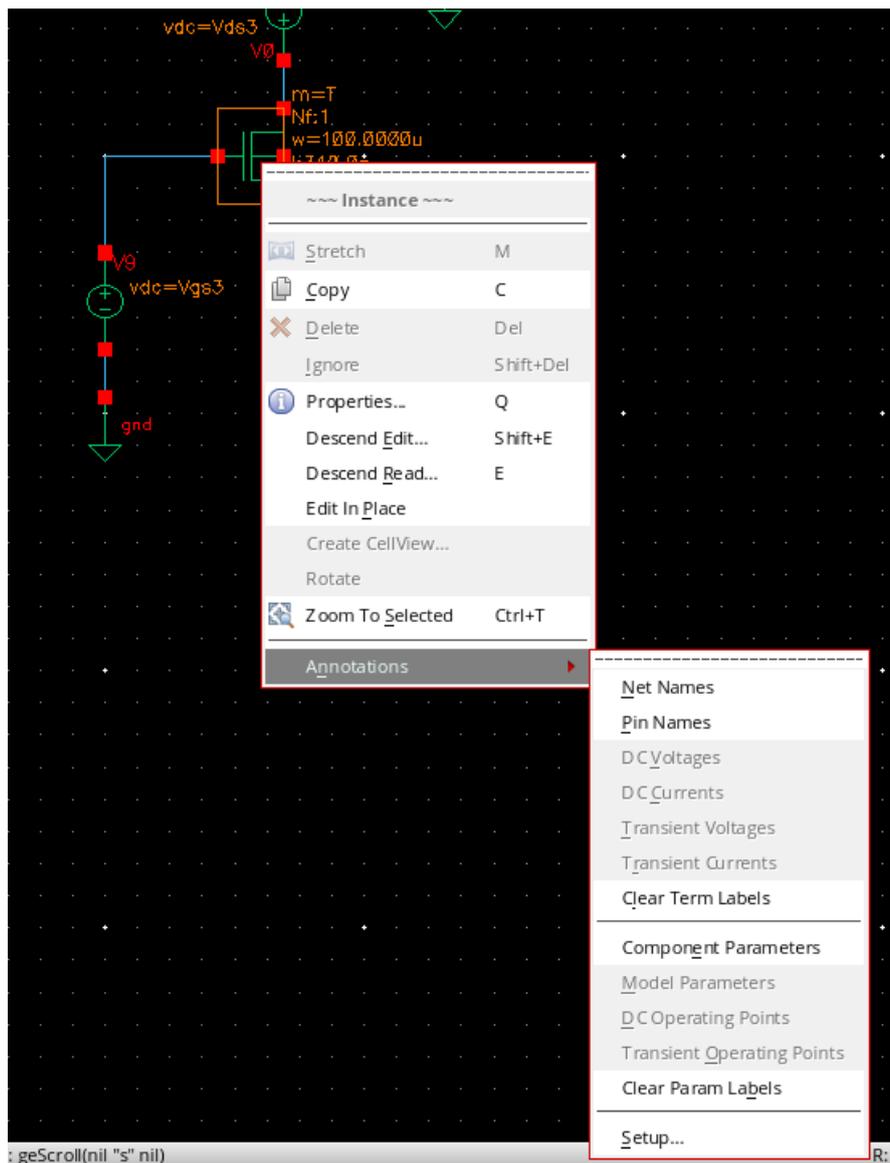


Abbildung 24: Aufruf des Setups zur Einstellung der Annotations

Im Annotation-Setup-Fenster im Bereich Cell wird das erwünschte Bauteil ausgewählt. Wie in Abbildung 25 zu sehen ist, kann eine zusätzliche Arbeitspunktinformation in einem der freien Expression-Felder ausgewählt werden. In diesem Fall werden der On-Widerstand (R_{on}) des zusätzlichen NMOS-Transistors und die Kapazität (cdd) des NMOS-PMOS-Transistors ausgewählt. [6]

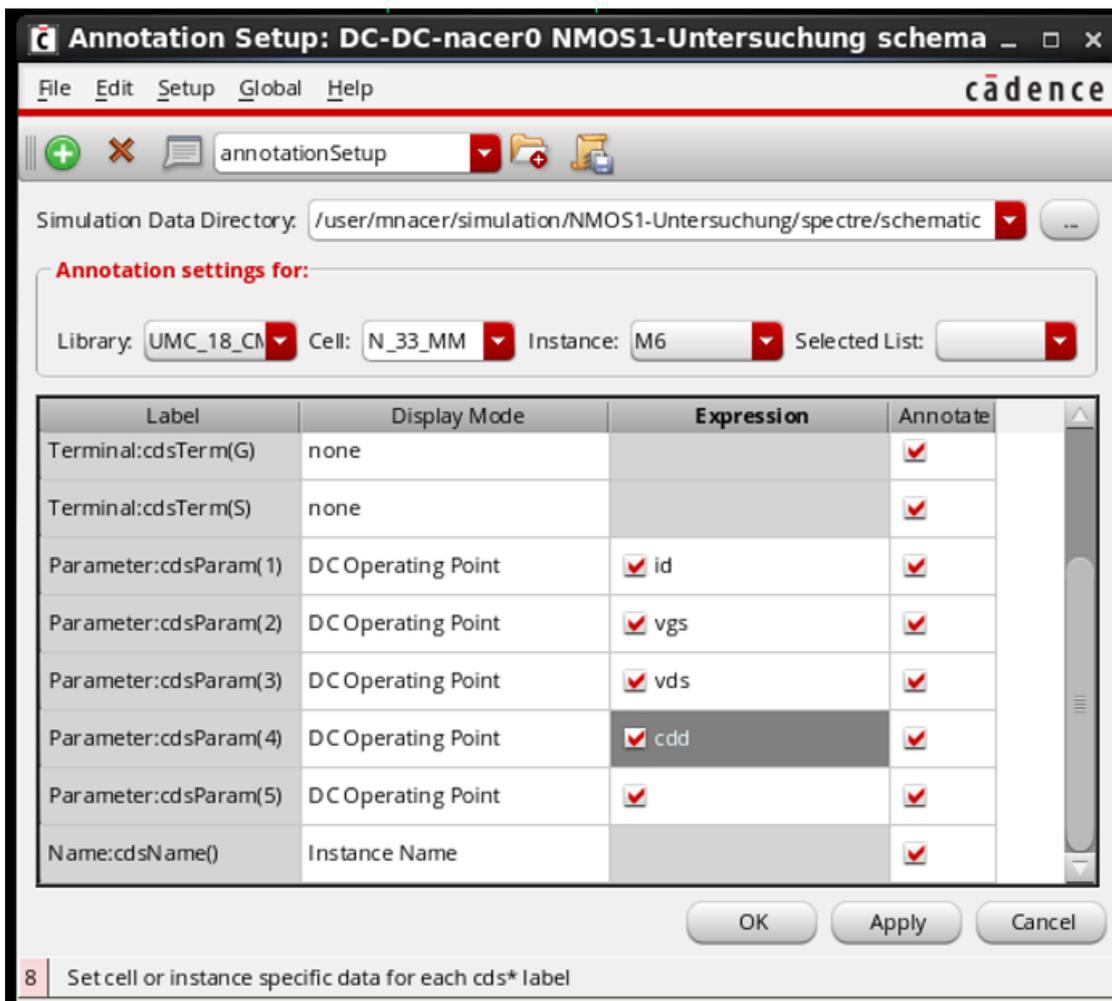
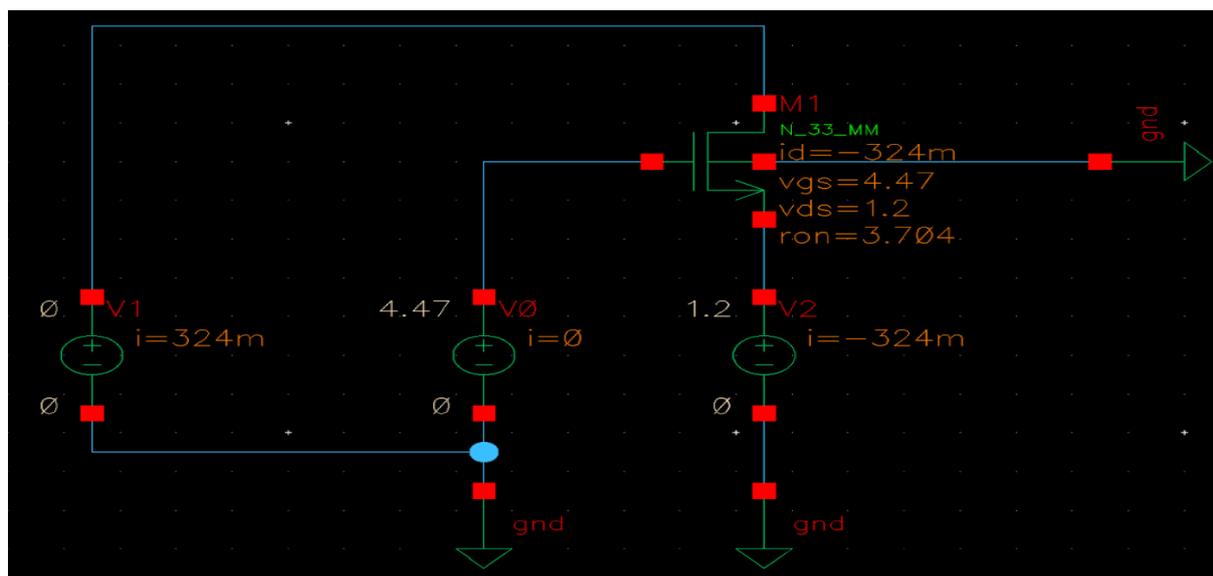


Abbildung 25: Anzeigen der Kapazität des Transistors

Anschließend wird das Fenster mit einem Klick auf OK geschlossen. Damit wird die Kapazität an den NMOS und PMOS-Knoten und der On-Widerstand des Kurzschluss-transistors im Arbeitspunkt angezeigt.



a)

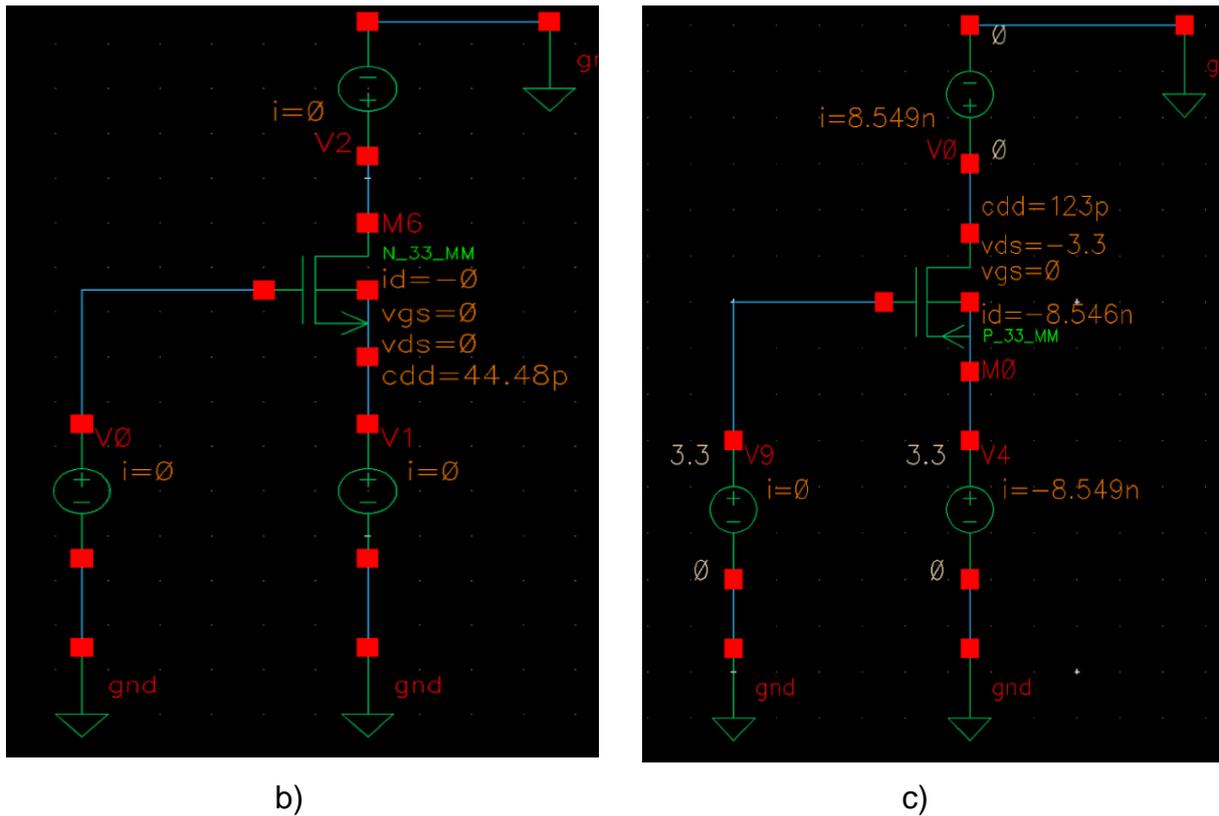


Abbildung 26: Angezeigte Arbeitspunkt a) der On-Widerstand des Kurzschlusstransistors b) die Kapazität an den NMOS-Knoten c) die Kapazität an den PMOS-Knoten

7.1.4 Zeitkonstanten-Berechnung

Der Transistor kann den Punkt U_x nicht innerhalb von $0s$ umladen, sondern erst nach einer gewisse Zeit. Diese Einschaltdauer hängt von der Kapazität an den Elektroden der NMOS und PMOS- Transistoren und vom On-Widerstand des Kurzschlusstransistors ab.

Die Zeitkonstante lässt sich mit der folgenden Formel berechnen.

$$\tau = R * C \quad (45)$$

$$\tau = 3,704\Omega * (44,48pF + 123pF)$$

$$\tau = 620,3ps$$

Die Anstiegszeit t_{rise} des U_x Signals beträgt ungefähr 2,2mal der berechneten Zeitkonstante. Dadurch ergibt sich:

$$t_{rise} = 2,2 * 620,3ps = 1,36ns \quad (46)$$

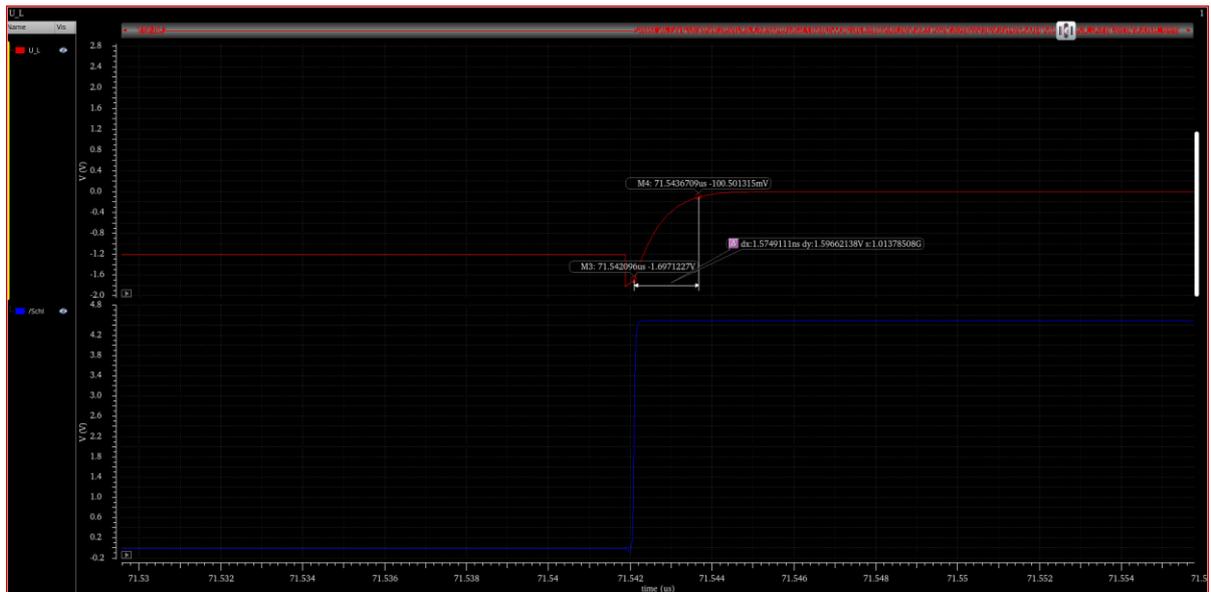


Abbildung 27: Spannungsabfall bei der Spule

Wie in Abbildung 27 zu sehen ist, beträgt die Anstiegszeit 1,57ns. Die berechnete Anstiegszeit t_{rise} stimmt fast mit der simulierten überein. Das bedeutet, dass U_x sehr schnell auf die Ausgangsspannung aufgeladen wird.

8 Stabilität des Regelsystems

8.1 Modellierung und Analyse von PWM-Wandlern im DCM-Betrieb

Reale DC/DC-Wandler werden sowohl im CCM- wie auch im DCM-Bereich betrieben. Wenn DC/DC-Wandler vom CCM- in den DCM-Betrieb wechseln, ändert sich die Kleinsignaldynamik. Deswegen werden ein neues Kleinsignalmodell und eine neue Stabilitätsanalyse notwendig. [1] Da DC/DC-Wandler nichtlineare zeitvariante Systeme sind, werden Gleichungen hergeleitet, mit denen die Kleinsignaldynamik der Wandler beschrieben werden kann. Zur Eliminierung der zeitvarianz werden gemittelte Gleichungen aufgestellt, die linearisiert werden.

8.1.1 Mittlere Gleichungen für PWM-Schalter in DCM

Zur Erklärung der Modellierung der DCM-Dynamik wird ein Abwärts-/Aufwärtswandler zu Grunde gelegt. Die Modellierungsergebnisse können aber auf alle drei grundlegenden DC/DC-Wandler (Abwärtswandler, Aufwärtswandler, Abwärts/Aufwärtswandler) übertragen werden, da sie nicht von der gewählten Wandler-Topologie abhängig sind. In Abb. 28 (a) sind in der Abwärts-/Aufwärtswandler-Schaltung die folgenden Beziehungen beschrieben: [1]

$$\begin{aligned}\bar{v}_{ac}(t) &= V_s \\ \bar{v}_{cp}(t) &= V_0\end{aligned}\tag{47}$$

Auf der Grundlage der Volt-Sekunden-Balance-Bedingung ist der errechnete Durchschnittswert der Induktionsspannung gleich null, $\bar{v}_L = 0$. [1] Für die Kleinsignalmodellierung ersetzt der PWM Schalter in Abbildung 28a die Leistungstransistoren und repräsentiert so die Gleichstrom und Kleinsignaleigenschaften des nichtlinearen Teils des Wandlers.

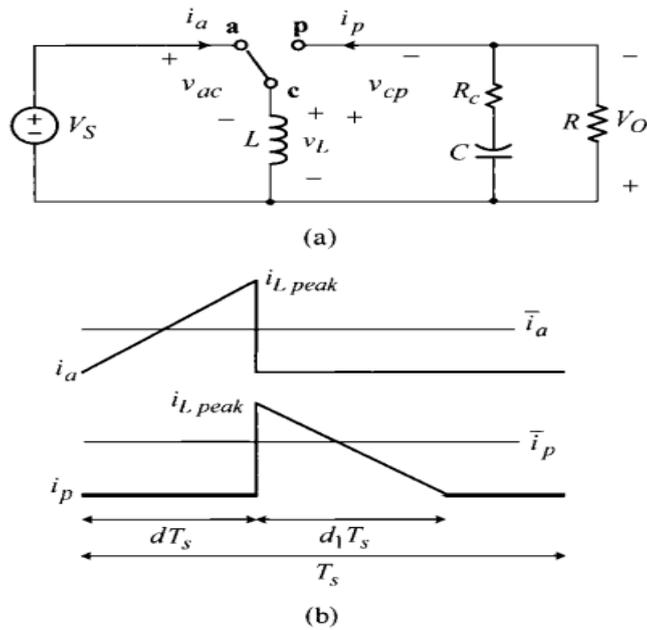


Abbildung 28: Abwärts-/Aufwärtswandler und DCM-Wellenformen des PWM-Schalters, (a) Abwärts-/Aufwärtswandler, (b) Wellenformen des PWM-Schalters in DCM [1]

Abb. 28 (b) zeigt die Stromkurven des PWM-Schalters der ersten beiden Schaltphasen. Für die Mittelwerte dieser Ströme gilt:

$$\hat{i}_a = \frac{1}{T} \int i(t) dt$$

mit $T = T_s$

$$\hat{i}_a = \frac{1}{T} \frac{1}{2} i_{Lpeak} * dT_s = \frac{i_{Lpeak}}{2} d$$

und

$$\hat{i}_p = \frac{1}{T} \int i(t) dt$$

$$\hat{i}_p = \frac{1}{T} \frac{1}{2} i_{Lpeak} * d_1 T_s = \frac{i_{Lpeak}}{2} d_1$$

$$\hat{i}_p = \frac{i_{Lpeak}}{2} d_1 \quad ; \quad \hat{i}_a = \frac{i_{Lpeak}}{2} d \quad (48)$$

Daraus folgt:

$$i_{Lpeak} = \frac{2 * \hat{i}_p(t)}{d_1} = \frac{2 * \hat{i}_a(t)}{d} \quad (49)$$

Dabei ist i_{Lpeak} der Spitzenwert des Spulenstroms. Die Gleichung (49) ergibt einen Zusammenhang zwischen den gemittelten Strömen i_a und i_p des PWM Schalters. [1]

$$\hat{i}_a(t) = \frac{d}{d_1} * \hat{i}_p(t) \quad (50)$$

Aus Abb. 28 können zwei verschiedene Ausdrücke für i_{Lpeak} abgeleitet werden.[1]

$$\begin{aligned} i_{Lpeak} &= \frac{V_s}{L} dT_s = \frac{\bar{v}_{ac}(t)}{L} dT_s \\ i_{Lpeak} &= \frac{V_0}{L} dT_s = \frac{\bar{v}_{cp}(t)}{L} d_1 T_s \end{aligned} \quad (51)$$

$$i_{Lpeak} = \frac{\bar{v}_{ac}(t)}{L} dT_s = \frac{\bar{v}_{cp}(t)}{L} d_1 T_s \quad (52)$$

Mit Hilfe dieser Ausdrücke kann der folgende Zusammenhang zwischen den Mittelwerten der Spannungen am PWM-Schalter ermittelt werden.

$$\bar{v}_{ac}(t) = \frac{d_1}{d} * \bar{v}_{cp}(t)$$

und

$$\bar{v}_{cp}(t) = \frac{d}{d_1} * \bar{v}_{ac}(t) \quad (53)$$

Der Parameter d und d_1 für die durchschnittlichen Schaltungsvariablen und die zugrunde liegenden Betriebsbedingungen werden unter Verwendung der Gleichungen (48) und (51) wie folgt ausgedrückt: [3]

$$i_{Lpeak} = \frac{\bar{i}_a(t)}{d} * 2 = \frac{\bar{v}_{cp}(t)}{L} * d_1 T_s$$

$$\frac{\bar{i}_a(t)}{d} * 2 = \frac{\bar{v}_{cp}(t)}{L} * d_1 T_s$$

und für die Auflösung nach d_1 umgestellt zu:

$$d_1 = \frac{2Lf_s \bar{i}_a(t)}{d \bar{v}_{cp}(t)} = \frac{2Lf_s \bar{i}_p(t)}{d \bar{v}_{ac}(t)} \quad (53)$$

Wobei $f_s = \frac{1}{T_s}$ der Schaltfrequenz entspricht. Zur Beschreibung der gemittelten Dynamik des PWM-Schalters im DCM-Betrieb werden die Gleichungen (50), (51) und (53) wie folgt kombiniert: [1]

$$\bar{i}_a(t) = \mu \bar{i}_p(t) \quad ; \quad \bar{v}_{cp}(t) = \mu \bar{v}_{ac}(t) \quad (54)$$

$$\text{mit } \mu = \frac{d}{d_1} = \frac{d^2 \bar{v}_{cp}(t)}{2Lf_s \bar{i}_a(t)} = \frac{d^2 \bar{v}_{ac}(t)}{2Lf_s \bar{i}_p(t)} \quad (55)$$

8.1.2 Linearisierung der Mittelwertgleichung und des Kleinsignal-Schaltungsmodells

Durch die Linearisierung der resultierenden Gleichungen mit Hilfe der Taylorreihe und die Kombination der Gleichungen (54) und (55) ergibt sich ein Satz von Kleinsignalgleichungen. [1]

Durch Kombination von (54) und (55) ergibt sich:

$$\bar{i}_a(t) = \mu \bar{i}_p(t) = \frac{d^2 \bar{v}_{ac}(t)}{2L f_s \bar{i}_p(t)} \bar{i}_p(t) = \frac{d^2 \bar{v}_{ac}(t)}{2L f_s}$$

Es gilt $I_a = \frac{D^2 V_{ac}}{2L f_s}$

$$i_a = \frac{df(D, V_{ac})}{dD} \hat{d} + \frac{df(D, V_{ac})}{dV_{ac}} \hat{V}_{ac}$$

$$\hat{i}_a = \frac{V_{ac} D}{L f_s} \hat{d} + \frac{D^2}{2L f_s} \hat{V}_{ac}$$

Danach werden die resultierenden Gleichungen linearisiert:

$$\hat{i}_a(t) = \frac{I_a}{V_{ac}} \hat{V}_{ac}(t) + \frac{2I_a}{D} \hat{d}(t)$$

I_a wird nach \hat{i}_a umgeformt:

$$\hat{i}_a(t) = \frac{D^2 V_{ac}}{2L f_s V_{ac}} \hat{V}_{ac}(t) + \frac{2D^2 V_{ac}}{2L f_s D} \hat{d}(t)$$

$$\hat{i}_a(t) = \frac{D^2}{2L f_s} \hat{V}_{ac}(t) + \frac{D V_{ac}}{L f_s} \hat{d}(t)$$

mit $r_i = \frac{V_{ac}}{I_a}$ und $k_i = \frac{I_a}{D}$

$$\hat{i}_a(t) = \frac{1}{r_i} \hat{V}_{ac}(t) + K_i \hat{d}(t) \tag{56}$$

Durch Kombination von (55) und (56) ergibt sich:

$$\bar{i}_p(t) = \bar{v}_{ac}(t) \frac{d^2 \bar{v}_{ac}(t)}{2L f_s \bar{v}_{cp}(t)} = \frac{d^2 \bar{v}_{ac}^2(t)}{2L f_s \bar{v}_{cp}(t)}$$

Es gilt $I_p = \frac{D^2 V_{ac}^2}{2L f_s V_{cp}}$

$$i_p = \frac{df(D, V_{ac}, V_{cp})}{dD} \hat{d} + \frac{df(D, V_{ac}, V_{cp})}{dV_{ac}} \hat{V}_{ac} + \frac{df(D, V_{ac}, V_{cp})}{dV_{cp}} \hat{V}_{cp}$$

$$\hat{i}_p = \frac{D V_{ac}^2}{L f_s V_{cp}} \hat{d} + \frac{D^2 V_{ac}}{L f_s V_{cp}} \hat{V}_{ac} + \frac{D^2 V_{ac}^2}{2L f_s V_{cp}} \hat{V}_{cp}$$

Danach werden die resultierenden Gleichungen linearisiert:

$$\hat{i}_p(t) = \frac{2I_p}{V_{ac}} \hat{V}_{ac}(t) + \frac{2I_p}{D} \hat{d}(t) + \frac{2I_p}{V_{cp}} \hat{V}_{pc}(t)$$

I_p wird nach \hat{i}_p umgeformt

$$\hat{i}_p(t) = \frac{2D^2 V_{ac}^2}{2L f_s V_{ac} V_{cp}} \hat{V}_{ac}(t) + \frac{2D^2 V_{ac}^2}{2L f_s D V_{cp}} \hat{d}(t) + \frac{D^2 V_{ac}^2}{2L f_s V_{cp} V_{cp}} \hat{V}_{pc}(t)$$

$$\hat{i}_p(t) = \frac{D^2 V_{ac}}{L f_s V_{cp}} \hat{V}_{ac}(t) + \frac{D V_{ac}^2}{L f_s V_{cp}} \hat{d}(t) + \frac{D^2 V_{ac}^2}{2L f_s V_{cp}^2} \hat{V}_{pc}(t)$$

mit $g_f = \frac{2I_p}{V_{ac}}$ $k_0 = \frac{2I_p}{D}$ und $r_0 = \frac{V_{cp}}{I_p}$

$$\hat{i}_p(t) = g_f \hat{V}_{ac}(t) + k_0 \hat{d}(t) + \frac{1}{r_0} \hat{V}_{pc}(t) \quad (57)$$

Aus den obigen Gleichungen (56) und (57) setzen sich die Kleinsignalgleichungen für den PWM-Schalter im DCM-Betrieb zusammen. [1]

In Abb. 29 wird ein einfaches Schaltungsmodell der Kleinsignalgleichungen (57) gezeigt. Es wird DCM-PWM-Schaltermmodell genannt und umfasst die Widerstandsparameter r_i und r_o . Die Kleinsignaldynamik des Modells wird durch die Widerstandsparameter bestimmt. Man erhält DCM-Kleinsignalmodelle für die drei grundlegenden Wandler, indem man den PWM-Schalter durch das DCM-PWM-Schaltermmodell ersetzt. In Abb. 30 wird ein Abwärts-/Aufwärtswandler und sein DCM-Kleinsignalmodell dargestellt. [1] Die Kleinsignalwiderstände dämpfen den Tiefpassfilter. Sie treten auf, da sie die Lastabhängigkeit des Tastverhältnisses im DCM-Betrieb repräsentieren. [9]

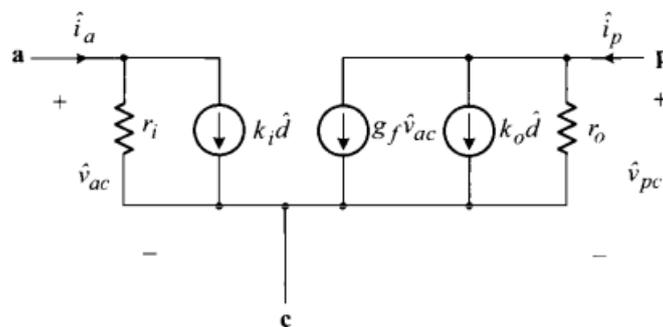


Abbildung 29: Kleinsignalmodell für PWM-Schalter im DCM-Betrieb [1]

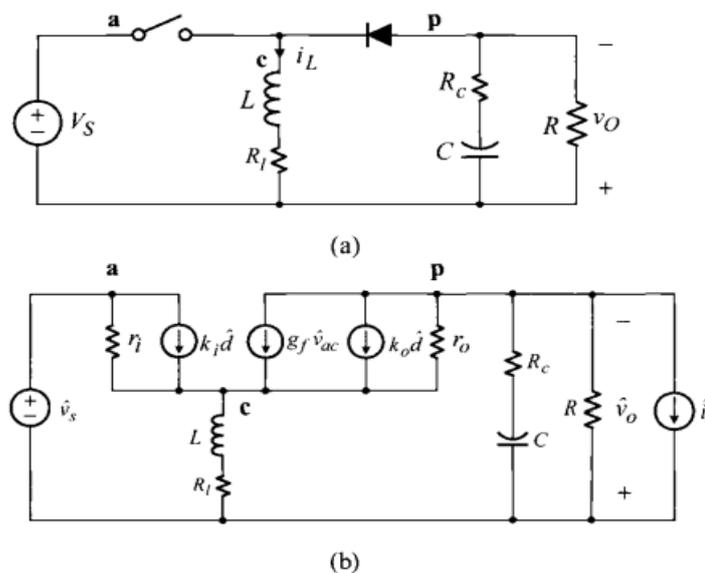


Abbildung 30: Abwärts/Aufwärtswandler und DCM-Kleinsignalmodell, (a) Abwärts/Aufwärtswandler, (b) DCM-Kleinsignalmodell [1]

Für das Kleinsignalmodell des Tiefsetzstellers müssen die Positionen p und c des PWM Schalters im Vergleich zum Aufbau im Buck/Boost-Wandler vertauscht werden. Die hergeleiteten Gleichungen bleiben weiterhin gültig. Das resultierende Ergebnis ist in der nachfolgenden Abbildung zu sehen. [9]

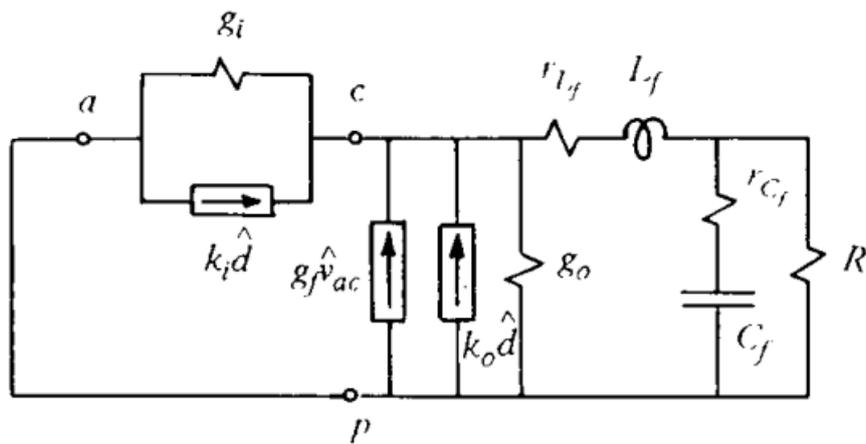


Abbildung 31: Kleinsignalmodell des Buck Converters [9]

8.1.3 Analyse der DCM-Kleinsignal-Dynamik

Das in Abb. 29 gezeigte DCM-PWM-Schaltermmodell ist gut für die Simulationen im Frequenzbereich geeignet. Dennoch ist eine Analyse des DCM-PWM-Schaltermodells zum Erhalt von Ausdrücken für die Übertragungsfunktionen notwendig. Die Ergebnisse der Analyse sind in Tabelle 2 zusammengefasst. Demnach hat die Übertragungsfunktion vom Tastverhältnis zur Ausgangsspannung $G_{vd}(s)$ für alle drei PWM-Basiswandler die folgenden Werte ergeben: [1]

Tabelle 2: Ausdrücke für $G_{vd}(s)$ für drei Basisumwandler in DCM [1]

$$G_{vd}(s) = K_d \frac{\left(1 - \frac{s}{\omega_{rhp}}\right) \left(1 + \frac{s}{\omega_{esr}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)}$$

Buck converter

$$K_d = \frac{2V_O}{D} \frac{1-M}{2-M} \quad \text{with} \quad M = \frac{2D}{D + \sqrt{D^2 + \frac{8L}{RT_s}}}$$

$$\omega_{p1} = \frac{1}{CR} \frac{2-M}{1-M} \qquad \omega_{p2} = 2f_s \left(\frac{M}{D}\right)^2$$

$$\omega_{rhp} = \infty \qquad \omega_{esr} = \frac{1}{CR_c}$$

Boost converter

$$K_d = \frac{2V_O}{D} \frac{M-1}{2M-1} \quad \text{with} \quad M = \frac{1}{2} \left(1 + \sqrt{1 + \frac{2D^2 RT_s}{L}}\right)$$

$$\omega_{p1} = \frac{1}{CR} \frac{2M-1}{M-1} \qquad \omega_{p2} = 2f_s \left(\frac{1-1/M}{D}\right)^2$$

$$\omega_{rhp} = \frac{R}{M^2 L} \qquad \omega_{esr} = \frac{1}{CR_c}$$

Buck/boost converter

$$K_d = \frac{V_O}{D} \qquad M = D \sqrt{\frac{RT_s}{2L}}$$

$$\omega_{p1} = \frac{2}{CR} \qquad \omega_{p2} = 2f_s \left(\frac{1/D}{1+1/M}\right)^2$$

$$\omega_{rhp} = \frac{R}{M(1+M)L} \qquad \omega_{esr} = \frac{1}{CR_c}$$

Hier wird nur die Übertragungsfunktion der Leistungsstufe des Tiefsetzstellers weiter betrachtet.

$$G_{vd}(s) = K_d \frac{\left(1 + \frac{s}{\omega_{esr}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \tag{58}$$

Aufgrund der Kleinsignalwiderstände im DCM-Betrieb wird der Tiefpassfilter gedämpft, so dass sich zwei reelle Polstellen bilden. Im Gegensatz zum CCM-Betrieb, bei dem der LC-Filter einen komplexen Doppelpol formt, ergeben sich unterschiedliche dynamische Verläufe der Leistungsstufe $G_{vd}(s)$ im Frequenzbereich. Im weiteren Verlauf werden die beiden Polstellen der Leistungsstufe im DCM-Betrieb für die gegebene Spezifikation berechnet.

Bestimmung der ersten Polstelle:

Ein Hilfsparameter K für die Bestimmung des Wandlungsverhältnis berechnet sich wie folgt:

$$K = \frac{2Lf_s}{R} \quad (59)$$

$$K = \frac{2 \cdot 1,27 \mu H \cdot 10 MHz}{140 \Omega} = 0,181$$

Beispielhaft wird hier ein Lastwiderstand von 140Ω angenommen.

Das Umwandlungsverhältnis M wird wie folgt berechnet:

$$M = \frac{2}{1 + \sqrt{1 + \frac{4K}{D^2}}} \quad (60)$$

$$M = \frac{2}{1 + \sqrt{1 + \frac{4 \cdot 0,1814}{(0,363)^2}}} = 0,563$$

$$\omega_{p1} = \frac{1}{RC} * \frac{2 - M}{1 - M} \quad (61)$$

$$\omega_{p1} = \frac{1}{140 \Omega * 625 nF} * \frac{1 - 0,563}{2 - 0,563} = 37,59 ks^{-1}$$

$$f_{p1} = \frac{\omega_{p1}}{2\pi} = \frac{37,59 ks^{-1}}{2\pi} = 5,98 kHz$$

Bestimmung der zweiten Polstelle:

$$\omega_{p2} = 2 * f_s \left(\frac{M}{D}\right)^2 \quad (62)$$

$$\omega_{p2} = 2 * 10 MHz \left(\frac{0,563}{0,363}\right)^2 = 48,14 Ms^{-1}$$

Nach dieser Rechnung konnte festgestellt werden, dass ein Pol zu niedrigen Frequenzen und der zweite Pol zu hohen Frequenzen verschoben wird.

Bestimmung der Frequenz der zweiten Polstelle:

Durch die Gleichung (61) wird der dominante Pol der Leistungsstufe ermittelt. Ein zweiter Pol wird mit Hilfe der folgenden Gleichung bestimmt: [1]

$$f_{p2} = \frac{\omega_{p2}}{2\pi} \quad (63)$$

$$f_{p2} = \frac{48,14\text{MHz}}{2\pi} = 7,66\text{MHz}$$

$$f_{p2} = \frac{S_{p2}}{2\pi} > \frac{f_s}{\pi} = 7,66\text{MHz} > 3,18\text{MHz}$$

In der Gleichung ist deutlich zu erkennen, dass die Frequenz der zweiten Polstelle des LC-Filters größer als die Schaltfrequenz durch π ist und über 3 MHz liegt.

Das Umwandlungsverhältnis M im DCM Betrieb ist stets größer als das Umwandlungsverhältnis im CCM Betrieb.

Um nun zu überprüfen, ob die berechneten Parameter auch tatsächlich passen und dafür sorgen, dass der Wandler stabil ist, müssen die Untersuchungen im Frequenzbereich mit Hilfe der Simulationssoftware durchgeführt werden. Für die Stabilitätsuntersuchungen kann die PSS-Analyse in Kombination mit der PSTB-Analyse verwendet werden. Die Periodic Steady State (PSS)-Analyse ist eine Methode aus dem Hochfrequenz (RF)-Schaltungsentwurf. Hierbei wird eine Kleinsignal-Analyse in einem periodischen Arbeitspunkt durchgeführt. Berechnet wird das periodische stationäre Verhalten einer Schaltung für eine gegebene Frequenz. Für die Untersuchung der Stabilität erfolgt eine Linearisierung um den Arbeitspunkt.

In der Stabilitätsanalyse muss eine Probe-Einheit eingefügt werden, die bestimmt, an welcher Stelle der Regelkreis während der Analyse geöffnet wird. Es gibt zwei verschiedene Arten von Probes, die für Single-Ended-Messungen verwendet werden können, und zwar eine iprobe oder eine Gleichspannungsquelle vdc. Die Probes werden in die zu messende Rückkopplungsschleife gelegt. Die Polarität der Probe ist beliebig, aber die Position ist wichtig. Die Probe sollte so platziert werden, dass die Schleife vollständig unterbrochen wird. In dieser Arbeit wird eine probe verwendet und am Ausgang platziert.

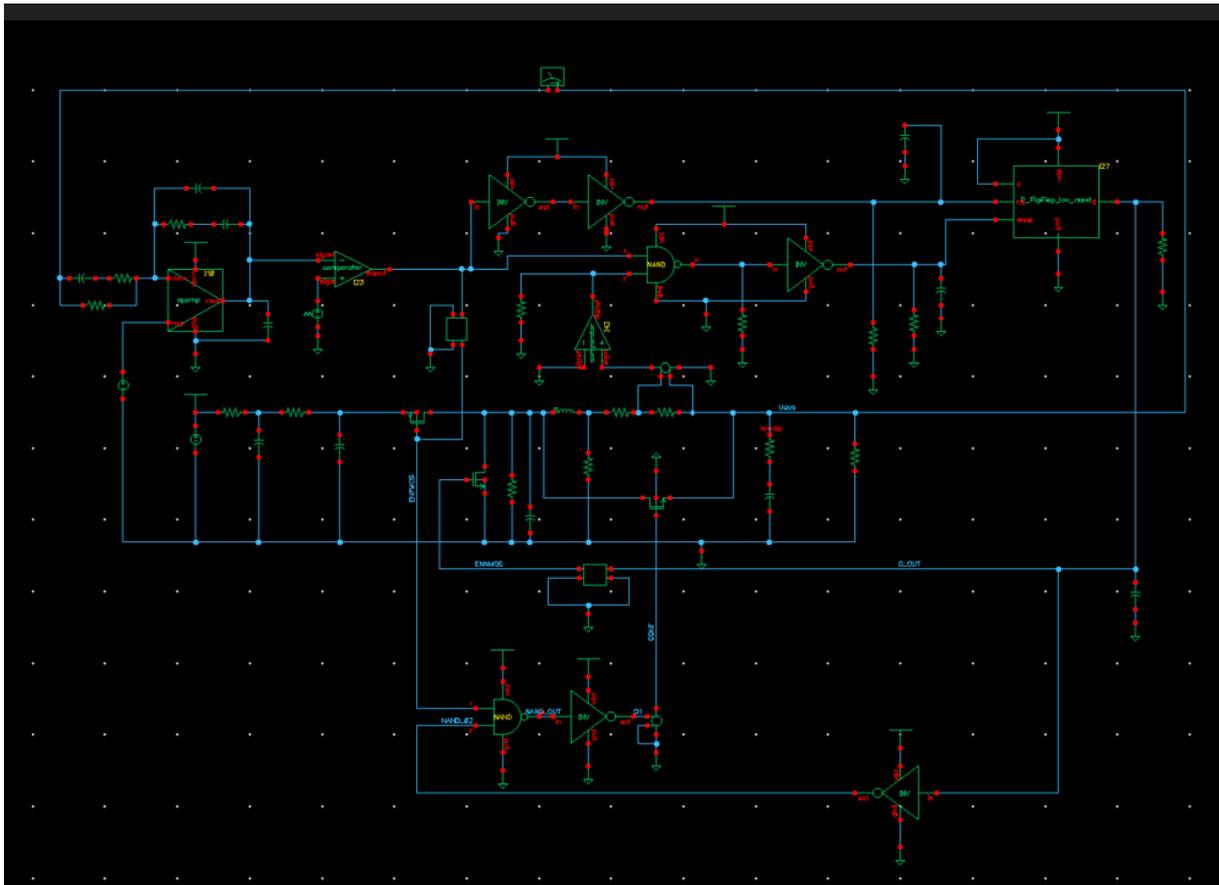


Abbildung 32: Abwärtswandler mit eingebauter IProbe und Kleinsignalmodell

8.2 Simulationsuntersuchungen des geschlossenen Regelkreises im DCM-Betrieb

Beim Entwurf der gesamten Regelstrecke muss die Übertragungsfunktion vom Tastverhältnis zur Ausgangsspannung $G_{vd}(s)$ sowohl im CCM- als auch im DCM-Betrieb betrachtet werden, um auszuschließen, dass sich die dynamischen Eigenschaften des Regelkreises beim Übergang vom CCM-Betrieb in den DCM-Betrieb verschlechtern. Im CCM- Betrieb verursacht der Doppelpol in der Übertragungsfunktionen der Leistungsstufe einen Phasenabfall von 180° , was einer großen Phasenverzögerung in der gesamten Regelstrecke entspricht, die destabilisierend wirkt. Im DCM-Betrieb führt der dominante Pol lediglich zu einem Phasenabfall von 90° . [1]

Zur Stabilisierung der Regelstrecke ist es erforderlich, ein Kompensationsnetzwerk zu entwerfen, welches durch gezieltes platzieren von Null- und Polstellen die Eigenschaften des Systems im Frequenzbereich verbessern und für eine ausreichende Phasenreserve sorgen. Da für den CCM-Betrieb jedoch ein Doppelpol kompensiert werden muss, und im DCM-Betrieb nur ein dominanter Pol, ist die Auslegung eines geeigneten Kompensationsschemas für den CCM-Betrieb anspruchsvoller und sollte auch im DCM-Betrieb eine ausreichende Stabilität gewährleisten. Aus diesem Grund wird empfohlen, die Kompensation im CCM-Betrieb auszulegen und für beide Betriebsarten an-

zuwenden. Hierfür werden die im vorherigen Kapitel berechneten Kompensationsparameter in das Simulationsmodell implementiert und das System zusätzlich im DCM-Betrieb auf Stabilität überprüft.

Im Allgemeinen stellt die Übertragungsfunktion die Verknüpfung zwischen Ein- und Ausgang eines Übertragungssystems dar. Im Kontext des Abwärtswandlers werden die Übertragungsfunktionen des PID-Reglers mit der Übertragungsfunktion der Leistungsstufe und der Übertragungsfunktion des PWM-Modules kombiniert. Daraus ergibt sich die Übertragungsfunktion des gesamten Systems wie folgt:

$$F_v(s) = \frac{K_d K_v}{s} * \frac{\left(1 + \frac{s}{\omega_{esr}}\right) \left(1 + \frac{s}{\omega_{z1}}\right) * \left(1 + \frac{s}{\omega_{z2}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right)^2 \left(1 + \frac{s}{\omega_{p2}}\right)^2} \quad (64)$$

8.3 PSS / PSTB Analyse

Um eine erfolgreiche PSS-Simulation durchzuführen, müssen die folgenden Schritte erfüllt werden.

Schritt 1: Ausführen einer transienten Simulation, um den Zeitpunkt zu ermitteln, ab dem das System den eingeschwungenen Zustand erreicht hat und die Ausgangsspannung stabil wird.

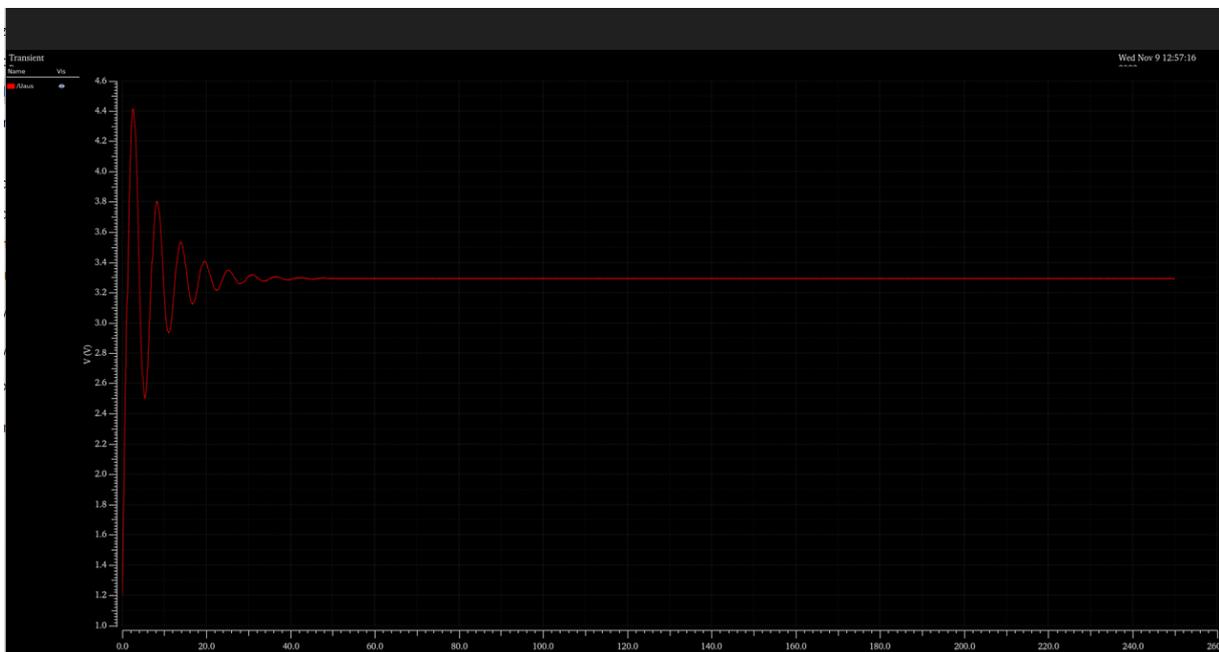
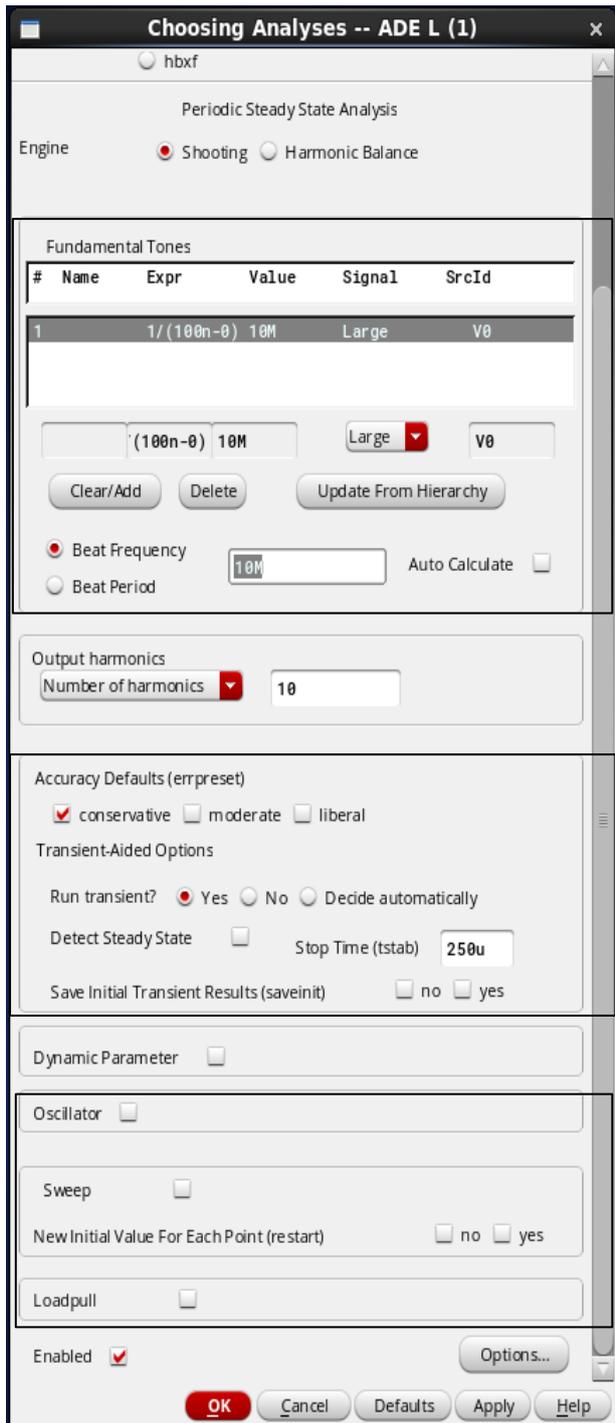


Abbildung 33: Ausgangsspannungssignal des Abwärtswandlers

Schritt 2: Konfiguration der PSS-Simulation



- ✓ Die Beat-Frequenz entspricht der Frequenz des Rampen-Generators mit 10MHz.
- ✓ Die Schaltfrequenz kann entweder manuell eingetragen oder über Auto Calculate aus dem Schematic ermittelt werden.

- ✓ Output harmonics ist uninteressant für Schaltwandler + Shooting-Methode (Beispiel: Änderung von 0 auf 8 hat keine Auswirkung auf das Ergebnis).

- ✓ Hier wird conservative ausgewählt, (conservative erzielt die höchste Genauigkeit)
- ✓ Stop Time (tstab): Hier wird der zuvor ermittelte Wert übernommen, bei welchem der Ausgang stabil ist.
- ✓ Detect Steady State (automatische Detektion möglich)

- ✓ Der Schaltungsblock der PWM bzw. des Taktgebers kann gewählt werden, um die Oszillatorfrequenz zu berechnen (muss aber nicht zwingend ausgewählt werden).

Als nächster Schritt muss eine PSS-Analyse erfolgreich durchgeführt werden. Danach kann die PSTB-Analyse angewandt werden.

Schritt 3: Konfiguration der PSTB-Analyse

Choosing Analyses -- ADE L (1)

Analysis

tran dc ac noise

xf sens dmatch acmatch

stb pz sp envlp

pss pac pstb pnoise

pxf psp qpss qpac

qpnoise qpxf qpasp hb

hbac hbstb hbnoise hbasp

hbxf

Periodic Stability Analysis

PSS Beat Frequency (Hz)

Periodic Stability Analysis Notification

Start-Stop Start Stop

Sweep Type

Add Specific Points

Probe Instance

Enabled

✓ Frequenz wird automatisch aus den PSS-Einstellungen übernommen.

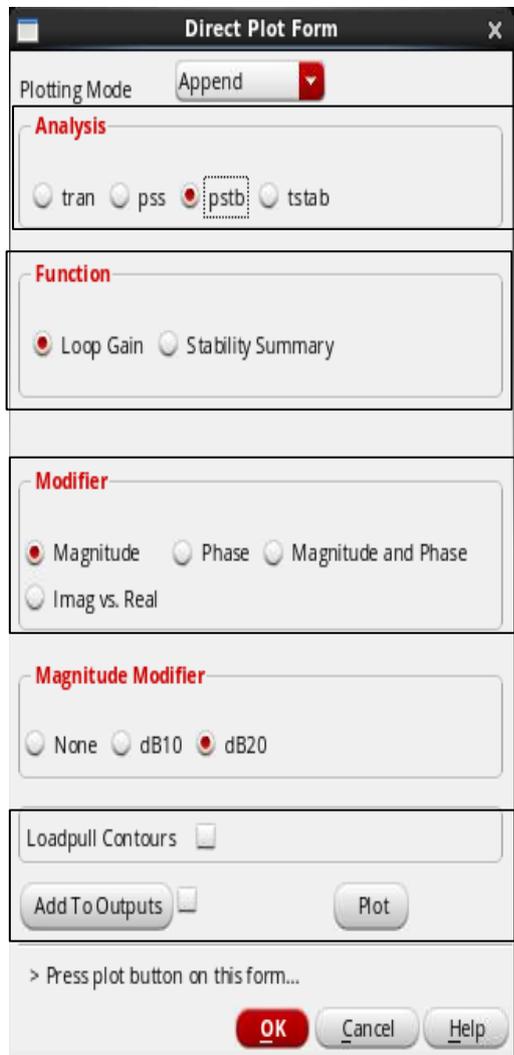
✓ Einstellungen für den Bode Plot (Sweep Type: Automatic; Frequenzbereich auswählen)

✓ Hier wird die Probe im Schematic ausgewählt.

8.4 Simulations-Ergebnisse im Bode-Diagramm

Nach den erfüllten Schritten wird zunächst ein Bode-Diagramm erstellt.

➤ Über Results → Direct Plot → Main Form



The screenshot shows the 'Direct Plot Form' dialog box with the following settings and annotations:

- Plotting Mode:** Append
- Analysis:** pstb, tran, pss, tstab. Annotation: ✓ PSTB Analyse wird ausgewählt, um die Bode-Plots darstellen zu können.
- Function:** Loop Gain, Stability Summary. Annotation: ✓ Loop Gain: Bode-Diagramme
✓ Stability Summary: Ausgabe der Amplituden & Phasenreserve
- Modifier:** Magnitude, Phase, Magnitude and Phase, Imag vs. Real. Annotation: ✓ Magnitude und Phase auswählen für die Ausgabe des Amplituden- & Phasengangs.
- Magnitude Modifier:** None, dB10, dB20
- Loadpull Contours:**
- Add To Outputs:** (Annotation: ✓ Add to Outputs: Bietet die Möglichkeit, die Plots in den Outputs zu übernehmen.)
- Plot:** (Annotation: ✓ Plot: Wird zum Erstellen der Bode-Diagramme ausgewählt.)
- Buttons:** OK, Cancel, Help

Wenn die vorherigen Schritte erfolgreich abgeschlossen und die obigen Fenster (Direct Plot Form) vollständig ausgefüllt worden sind, werden die folgenden Kurven des Bode-Diagramms angezeigt.

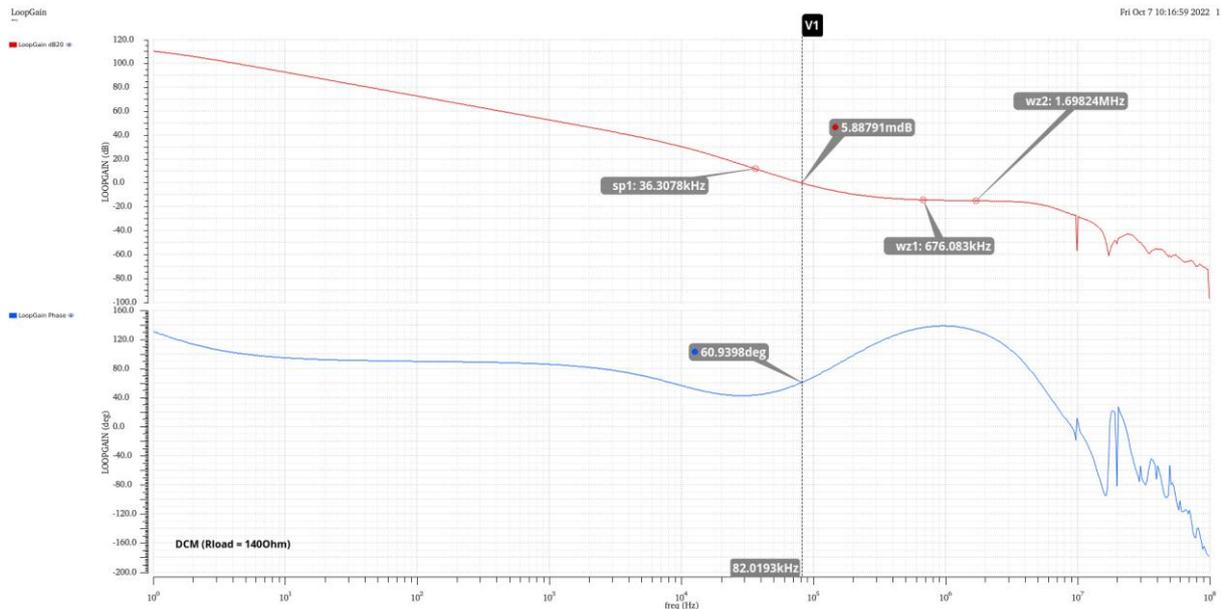


Abbildung 34: Phase (in blau) und Amplitude (in rot)

Im Bode-Diagramm ist die Phase in Grad (in blau) und die Amplitude in Dezibel (in rot) dargestellt. Die X-Achse ist logarithmisch von 1 Hz bis 100 MHz skaliert. Zuerst kommen der Ursprungspol des Kompensationsnetzwerks, der aufgrund des integralen Anteils auftritt und für eine hohe DC-Verstärkung sorgt. Dann der dominante Pol der Leistungsstufe, wegen dem die Phasenreserve deutlich nach unten geht und schnell die 0dB-Linie erreicht. Bei höheren Frequenzen treten die Kompensationsnullstellen auf, durch welche die Phase wieder angehoben wird. Die Phasenreserve hat einen Wert von $60,93^\circ$. Damit ist der Wandler stabil und hat auch eine hohe stationäre Genauigkeit. Das bedeutet, dass die berechneten Kompensationsparameter des CCM-Betriebs auch für den DCM-Betrieb passen und dafür sorgen, dass der Wandler für den gesamten Lastbereich stabil ist.

9. Fazit

Das Ziel des Projektes ist der Entwurf einer DCM- Ansteuerung für die Verbesserung der Effizienz eines synchronen Abwärtswandlers bei niedrigen Lastströmen. Um dies zu erreichen wurden zwei Schaltungen umgesetzt. Eine Schaltung stellt fest, wann der Strom durch einen Sense-Widerstand in Reihe zur Spule zu 0A bzw. negativ wird. Die andere Schaltung ist so ausgelegt, dass die Spule über einen weiteren Transistor kurzgeschlossen wird, wenn sowohl der NMOS als auch der PMOS geöffnet sind. Es wurde eine Stabilitätsuntersuchung der Schaltungen mit Hilfe der PSS-Analyse sowie der PSTB-Analyse durchgeführt.

Alle Parameter wurden dimensioniert und in der Schaltung angepasst. Die Simulationen wurden in der Software „Virtuoso“ ausgeführt.

Zu berücksichtigen ist, dass eine Regelung, die für den DCM-Betrieb ausgelegt ist, beim Wechsel in den CCM-Betrieb aufgrund der zu hohen Phasenverzögerung im CCM-Betrieb dazu führt, dass der Regler instabil wird. Daher ist es sinnvoll, den Regler für den CCM-Betrieb zu entwerfen und die Leistung des geschlossenen Regelkreises im DCM-Betrieb im Voraus zu bestimmen.

Die Effizienz eines synchronen Abwärtswandlers bei niedrigen Lastströmen wird durch den Entwurf einer DCM-Schaltung verbessert. Der Wandler ist stabil und hat eine hohe stationäre Genauigkeit, weil eine Phasenreserve größer als 45° Grad erreicht wird. Das bedeutet, dass die berechneten Parameter tatsächlich passen und dafür sorgen, dass der Wandler stabil ist.

Alle verwendeten Formeln aus dem Buch “Pulsewidth Modulated DC-to-DC Power Conversion” stimmen mit den Berechnungs- und den Simulationsergebnissen überein.

Diese Arbeit ist mit den gewünschten Ergebnissen erfolgreich abgeschlossen worden. Es wurde ein sehr gutes Zwischenergebnis erzielt, sodass diese Arbeit auch für andere Projekte weiterverwendet werden kann.

Ich bedanke mich bei Herrn Professor Karagounis und Herrn Kampkötter für die sehr gute Betreuung.

10 Literaturverzeichnis

- [1] Choi, B. (2013). Pulsewidth Modulated DC-to-DC Power Conversion.
- [2] Choukri, Y. (2019). Entwurf und Layout einer Treiberstufe für die Verwendung in einem synchronen Abwärtswandler. Dortmund.
- [3] Hassan Pooya Forghani-zadeh, G. A.-M. (kein Datum). Current-Sensing Techniques for DC-DC Converters. Atlanta.
- [4] Kampkötter, J. (25.02.2021). Stabilitätsuntersuchung von DC-DC Wandlern in Cadence unter Verwendung der PSS/PSTB Analyse. Dortmund.
- [5] Krause, M. (2016). Entwicklung eines spannungsgeführten synchronen Abwärtswandlers mit CMOS Schaltern für eine Wandlung von 12V auf 3.3V bei einer Last von 0.5A. Dortmund.
- [6] Prof. Dr Karagounis, M., Winkler, F., & Zorn, J. (2018). Erste Schritte mit Cadence. Dortmund/ Deutschland.
- [7] Studyflix. (2022). Von <https://studyflix.de/informatik/und-gatter-985> abgerufen
- [8] WIKIPEDIA. (15. 02 2015). Von https://de.wikipedia.org/wiki/Discontinuous_Current_Mode#:~:text=%20Discontinuous%20Current%20Mode%2C%20Discontinuous%20Conduction%20Mode%20%28kurz,Speicherdrossel%20innerhalb%20eines%20Schaltzyklus%20bis%20auf%20Null%20zur%C3%BCckgeht. abgerufen
- [9] Vorperian, V. Simplified Analysis of PWM Converters Using Model of PWM Switch Part II: Discontinuous Conduction Mode
- [10] „Virtuoso 6.1-64b“ vom Softwarehersteller „Cadence Design Systems“

Eidesstattliche Versicherung

Hiermit versichere ich an Eides statt, dass die von mir vorgelegte Arbeit selbstständig und ohne unzulässige fremde Hilfe erstellt worden ist. Alle verwendeten Quellen sind in der Arbeit so aufgeführt, dass Art und Umfang der Verwendung nachvollziehbar sind.

Dortmund, den 23.12.2022

Mohammed Nacer