

Bachelorarbeit

Im Studiengang Elektrotechnik

Auslegung eines Tiefsetzstellers mit
pulsweitenmodulierter Regelung durch einen
Hysterese-Komparator

Design of a buck converter with pulse-width
modulated control by a hysteresis comparator

Vorgelegt von

Gasmi Amine

am 04.07.2022

an der Fachhochschule Dortmund

Betreuender Professor: Prof. Dr.-Ing Michael Karagounis

Zweitprüfer: Jeremias Kampkötter

Eigenständigkeitserklärung

Hiermit bestätige ich, dass ich die vorliegende Arbeit selbständig verfasst und keine anderen als die angegebenen Hilfsmittel benutzt habe. Die Stellen der Arbeit, die dem Wortlaut oder dem Sinn nach anderen Werken (dazu zählen auch Internetquellen) entnommen sind, wurden unter Angabe der Quelle kenntlich gemacht.

(Datum, Unterschrift)

Inhaltsverzeichnis

Zusammenfassung.....	4
Abstract	4
1 Einleitung.....	5
2 Grundlagen.....	6
2.1 Einführung in die Tiefsetzsteller	6
2.1.1 Funktion und Aufbau.....	6
2.2 Regelung des Tiefsetzstellers	7
2.2.1 Pulsweitenmodulierte Regelung	8
2.2.2 Pulsfrequenzmodulation	8
2.3 Vergleich konventioneller Regelungsstrategien für DC/DC-Wandler	8
2.3.1 Spannungsgesteuerter Modus	8
2.3.2 Stromgeführter Modus	9
2.3.3 Hysterese Regelung.....	9
2.4 Einführung in die Welligkeitsbasierte-Hysterese-Regelung.....	11
2.4.1 Hysterese Regelung mit großem Ausgangs-ESR	11
2.4.2 Hysterese Regelung mit zusätzlicher RC-Komponente.....	13
3 Auslegung der Hysterese Regelung.....	15
3.1 Spezifikation	15
3.2 Modell des Hysterese Komparators	15
3.3 Untersuchung des Hysterese Komparators.....	17
3.3.1 DC-Sweep	17
3.3.2 Transiente Untersuchungen.....	19
3.4 Hysterese Regelung – Stabilisierung über ESR	20
3.5 Auslegung der Hysterese Regelung über zusätzliche RC-Komponente	24
4 Fazit	28
5 Literaturverzeichnis.....	29

Zusammenfassung

Die Bachelorthesis beschäftigt sich mit dem Entwurf eines Tiefsetzstellers in einer 180nm CMOS Technologie. Der Fokus liegt auf der Umsetzung einer Regelung, die auf einem Hysterese Verfahren beruht und dafür sorgt, dass der Tiefsetzsteller die erforderliche Ausgangsspannung unabhängig von Störparametern erreicht. Zwei verschiedene Verfahren, die auf einer Welligkeitsinjektionstechnik beruhen, werden vorgestellt und untersucht. Der Tiefsetzsteller wird für eine gegebene Spezifikation ausgelegt und es werden beide Ansätze der Hysterese-Regelung umgesetzt und mit Hilfe der Simulationsresultate verifiziert.

Abstract

The bachelor thesis deals with the design of a buck converter in a 180nm CMOS technology. The focus is on the implementation of a control system based on a hysteresis control method to ensure that the buck converter achieves the required output voltage independently of any disturbances. Two different methods based on a ripple injection technique are introduced and investigated. The buck converter is designed for a given specification and both approaches are implemented and verified by simulation results.

1 Einleitung

In dieser Arbeit wird die Umsetzung eines Tiefsetzstellers mit einer Hysterese Regelung betrachtet. Dabei zeichnet sich diese Art von Regelung durch eine besonders einfache Umsetzung im Vergleich zu den konventionellen Ansätzen, wie der spannungs- oder stromgesteuerten Pulsweitenmodulation aus.

Tiefsetzsteller finden in der Elektronik Branche viele unterschiedliche Anwendungsgebiete. Sie kommen unter anderem in der Elektronik von Kraftfahrzeugen zum Einsatz, um die Spannung der Auto-Batterie auf ein niedrigeres Spannungslevel für die Versorgung der einzelnen Fahrzeugkomponenten zu verringern. Aber auch für die Bereitstellung für die Versorgungsspannungen von Prozessoren werden Tiefsetzsteller eingesetzt.

Im Zuge der Bachelorthesis wird ein integrierter Abwärtswandler, der eine Eingangsspannung von 3.3V in eine Ausgangsspannung von 1.2V umwandelt in einer 180nm CMOS Technologie entworfen. Es wird eine CMOS-Technologie von der Firma United Micro-Electronics Corporations (UMC) verwendet. Für die Umsetzung des Tiefsetzstellers werden Simulation mit Hilfe des Entwicklungstools „Cadence Virtuoso“ des Herstellers „Cadence Design Systems“ durchgeführt. Cadence Design Systems, Inc. ist einer der weltweit größten Anbieter von elektronischen Systemen der Entwurfsautomatisierung.

Die Aufgabengebiete im Rahmen der Bachelorarbeit umfassen die nachfolgend beschriebenen Punkte. Zunächst wird im Grundlagen-Kapitel die Funktionalität des Tiefsetzstellers behandelt. Im weiteren Verlauf werden die unterschiedlichen Regelungsverfahren für die Steuerung von Gleichspannungswandlern vorgestellt. Dabei liegt der Fokus auf der Hysterese Regelung, die mit Hilfe eines Hysterese Komparators umgesetzt wird. Das nachfolgende Kapitel behandelt den Entwurf des Tiefsetzstellers mit den vorgestellten Regelungskonzepten. Dabei werden zwei Ansätze betrachtet, die sich darin unterscheiden, wie die Regelgröße abgegriffen wird. In einem abschließenden Fazit werden alle gewonnenen Erkenntnisse zusammengefasst.

2 Grundlagen

2.1 Einführung in die Tiefsetzsteller

2.1.1 Funktion und Aufbau

Viele elektronischen Geräte benötigen eine andere Versorgungsspannung als diese im System zur Verfügung steht. In Automobilen werden zum Beispiel die verschiedensten elektronischen Systeme für die Steuerung des Motors, für Sicherheitsanwendung und für Komfortfunktionen in der Fahrgastzelle verwendet. Diese müssen mit niedrigen Spannungen im Bereich von 5V bis 3.3V versorgt werden. Im Boardnetz steht jedoch je nach Betriebsfall eine Batteriespannung zwischen 12V und 14V zur Verfügung.

Darüber hinaus benötigen Prozessoren in Notebooks Spannungen zwischen 1V und 5V. Übliche Akkumulatoren stellen jedoch Spannungen im Bereich zwischen 10V und 20V bereit. Dementsprechend muss der Abwärtswandler die zu große Eingangsspannung in eine stabile, niedrige Ausgangsspannung umwandeln.

Der Abwärtswandler wird in zwei grundlegenden Bauarten konstruiert, in synchroner oder asynchroner Ausführung. In dieser Arbeit wird der synchrone Abwärtswandler mit einer CMOS-Technologie aufgebaut. Die CMOS-Technik kombiniert einen p-Kanal mit einem n-Kanal Feldeffekttransistor. Die Funktionsweise besteht darin, dass bei gleicher Steuerspannung ein Transistor leitet während der andere sperrt. Die Vorteile der CMOS-Technologie sind nahezu leistungslose Steuerung, hohe Integrierbarkeit und eine preiswerte Herstellung [1].

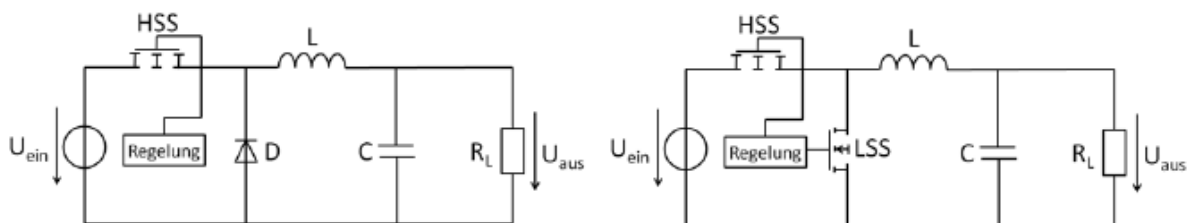


Abbildung 1: Links: Grundaufbau des synchronen Abwärtswandlers. Rechts: Grundaufbau des asynchronen Abwärtswandlers [1]

„Die Schalter sind üblicherweise MOSFETs (Metal-Oxide-Semiconductor Field-Effect Transistor). Diese zeichnen sich dadurch aus, dass im eingeschalteten Zustand trotz positiver Gate-Source-Spannung kein Steuerstrom fließt. Dies bedeutet eine quasi leistungslose Ansteuerung mit sehr kurzen Schaltzeiten. Die Schalter werden in Abb. 1 mit HSS (High Side Switch) und LSS (Low Side Switch) bezeichnet. Diese Bezeichnung folgt daher, da der HSS vor den Verbraucher angeschlossen wird und somit sein Bezugspotential nicht der Masse entspricht. Das Bezugspotential des LSS entspricht hingegen der Masse. Das LC-Glied ist einerseits ein Energiespeicher und andererseits kann es als LC-Tiefpass fungieren und unerwünschte Oberwellen dämpfen.“

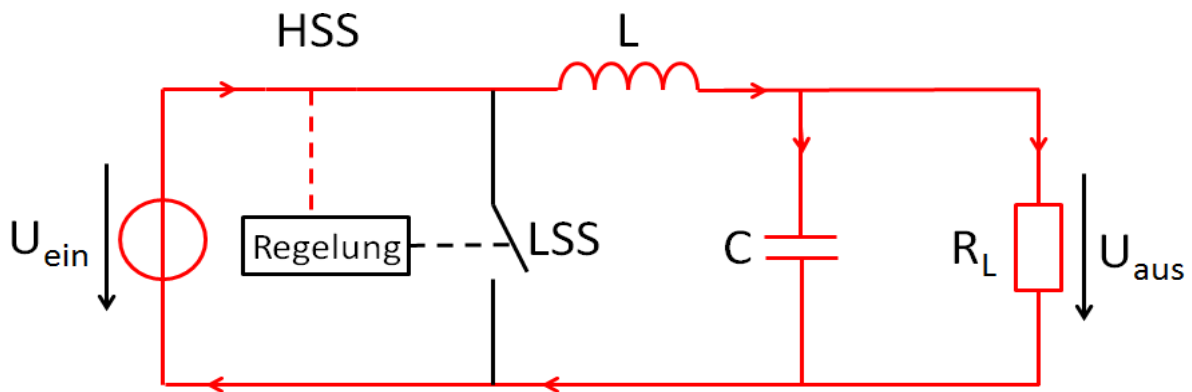


Abbildung 2: Stromfluss durch den Tiefsetzsteller bei geschlossenem High Side Schalter [1]

Während der Schalter HSS geschlossen ist, wird der Verbraucher von der Spannungsquelle versorgt und es stellt sich der in Abbildung 2 dargestellte Stromfluss über die Spule ein. Der Spulenstrom steigt stetig an und die der Spule zugeführte Energie wird im Magnetfeld der Spule gespeichert. Übersteigt der Spulenstrom den Laststrom des Verbrauchers, wird der Kondensator aufgeladen. Der Strompfad ist in Rot mit Richtungsangabe des Stromes dargestellt.

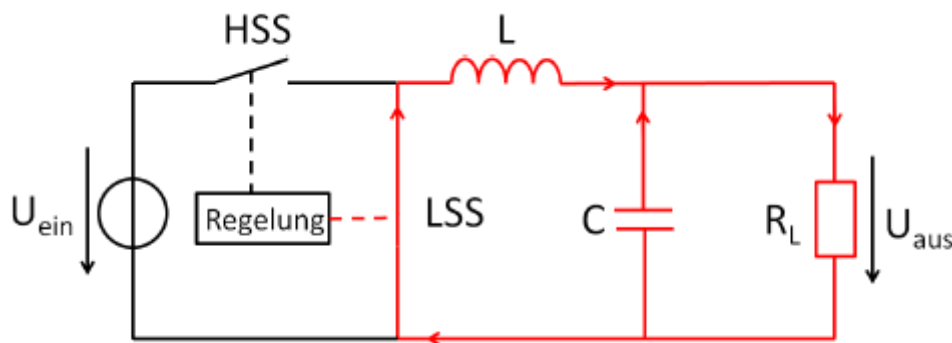


Abbildung 3: Stromfluss durch den Tiefsetzsteller bei geschlossenem Low Side Schalter [1]

Wird nun wie in Abbildung 3 dargestellt der Schalter HSS geöffnet und der Schalter LSS geschlossen, wird der Stromfluss durch die Spule über den Strompfad durch den Schalter LSS aufrechterhalten. Die zuvor gespeicherte Energie der Spule und des Kondensators versorgen nun den Verbraucher. Durch eine entsprechende Dimensionierung der Spule, des Kondensators und der Schaltfrequenz kann die Welligkeit der Ausgangsspannung auf das benötigte Maß reduziert werden, so dass die Ausgangsspannung des Schaltreglers als nahezu konstante Gleichspannung betrachtet werden kann“ [1].

2.2 Regelung des Tiefsetzstellers

Der Tiefsetzsteller kann prinzipiell mit einer pulswertenmodulierten Regelung oder einer Pulsfrequenzmodulation betrieben werden. Bei beiden Methoden werden die Transistoren so angesteuert, dass sich die gewünschte Ausgangsspannung unabhängig von Lastwechseln oder Änderungen an der Eingangsspannung einstellt.

2.2.1 Pulsweitenmodulierte Regelung

Bei der Pulsweitenmodulation (PWM) bleibt die Periodendauer konstant, d.h. der Wandler wird mit einer konstanten Frequenz betrieben. Je nach Tastgrad variiert die Pulsbreite des rechteckförmigen modulierten Signals, sodass sich die gewünschte Ausgangsspannung in Abhängigkeit der Pulsbreite einstellen lässt.

2.2.2 Pulsfrequenzmodulation

Im Gegensatz zur PWM Regelung ändert sich bei der Pulsfrequenzmodulation (PFM) die Periodendauer bzw. die Schaltfrequenz mit der die Leistungsschalter angesteuert werden. Typische Anwendungen für die PFM-Architektur ist die Ansteuerung der Gleichspannungswandler über eine konstante ON-Zeit bzw. eine konstante OFF-Zeit. Entweder bleiben die Schalter für eine fest definierte Dauer eingeschaltet und je nach Wandlungsverhältnis oder Lastgröße passt sich die ausgeschaltete Zeit automatisch an oder die OFF-Zeit der Schalter bleibt konstant und ihre Einschaltdauer variiert durch äußere Einflüsse auf das System.

Vorteilhafte bei Anwendung der Pulsfrequenzmodulation ist, dass sich für kleine Lastströme die Effizienz des Wandlers im Vergleich zur PWM-Regelung verbessern lässt, da mit abnehmendem Laststrom die Schaltfrequenz sinkt und dadurch die Schaltverluste reduziert werden. Bei höheren Lastfällen hingegen wird mit der Pulsweitenmodulation eine höhere Effizienz erzielt [2].

2.3 Vergleich konventioneller Regelungsstrategien für DC/DC-Wandler

„Die traditionellen Regelungstopologien wie die spannungsgesteuerte- und stromgesteuerte-Regelung sind bekannte Verfahren in der Leistungselektronik. Weniger bekannt sind die auf Hysterese basierenden Topologien und ihre Vorteile, die sie bieten. Fast alle Stromversorgungen sind darauf ausgelegt, eine geregelte Ausgangsspannung oder einen geregelten Ausgangsstrom zu liefern. Für diese Ausgangsregelung ist ein geschlossener Regelkreis mit einer Rückkopplung der zu regelnden Ausgangsspannung oder des Stroms erforderlich. Es gibt viele verschiedene Regelungstopologien für die Umsetzung einer geschlossenen Rückkopplung, jedoch lassen sie sich im Allgemeinen in zwei Typen zusammenfassen: Die im oberen Abschnitt vorgestellte Pulsweitenmodulation (PWM) oder Pulsfrequenzmodulation (PFM)“ [3].

2.3.1 Spannungsgesteuerter Modus

Der spannungsgesteuerte Modus ist ein konventionelles Regelungsverfahren zur Steuerung der Ausgangsspannung von Gleichspannungswandlern. Die Regelung beruht auf einer Pulsweitenmodulation mit konstanter Schaltfrequenz und variabler Pulsbreite. Wie der Name

vermuten lässt, beobachtet die Regelung die Ausgangsspannung und passt über die erhaltenen Informationen die Stellgröße bzw. das Tastverhältnis D (duty cycle) an.

Der Regler setzt sich zusammen aus einem Operationsverstärker, welcher das Ausgangssignal mit einem Referenzwert vergleicht, einem Sägezahngenerator, der mit der Schaltfrequenz oszilliert und einem Komparator, der das pulswertenmodulierte Steuersignal für die Leistungsschalter ausgibt. Aufgrund der Verzögerungselemente, der Spule L und dem Kondensator C am Ausgang ist zusätzlich ein Kompensationsnetzwerk erforderlich. Dieses sorgt zum einen für Stabilität und zum anderen für eine möglichst geringe Abweichung vom Sollwert. Bei einer spannungsgeführten Ausführung wird üblicherweise eine PID-Kompensation, häufig auch als Typ 3-Kompensation bezeichnet, eingesetzt. Der PID-Kompensator setzt sich zusammen aus einem integralen Anteil, welcher eine hohe DC-Verstärkung ermöglicht sowie einem proportionalen und einem differentiellen Anteil. Zwei zusätzliche Nullstellen im Frequenzgang sorgen für eine Phasenhebung von 180° und damit für eine Kompensation des Doppelpols, hervorgerufen durch das Ausgangs LC-Glied.

2.3.2 Stromgeführter Modus

Beim stromgeführten Modus hingegen wird nicht die Ausgangsspannung beobachtet, sondern der Spulenstrom. Über eine innere Regelschleife wird der Spulenstrom beobachtet und auf einen Sollwert geregelt. Der Sollwert wird von einer äußeren Regelschleife vorgegeben und der innere Regelkreis stellt das Tastverhältnis ein. Der Vorteil bei diesem Ansatz ist, dass durch den inneren Regelkreis schneller auf Störgrößen reagiert werden kann. Da nur der Ausgangskondensator als Verzögerungselement in der Übertragungsfunktion vorhanden ist, wird auch nur eine Phasenhebung von 90° benötigt. Typischerweise wird ein PI-Kompensator bzw. Typ 2 Kompensator verwendet. Eine Voraussetzung für die Stabilität des gesamten Systems ist aber auch, dass der innere Regelkreis stabil ist. Darüber hinaus ist für die Detektion des Spulenstroms eine Art Stromsensor erforderlich.

Der große Vorteil beim spannungs- und stromgeführten Modus ist die konstante Schaltfrequenz bei unterschiedlicher Eingangs- und Ausgangsspannung sowie bei wechselnden Lastfällen. Damit kann gewährleistet werden, dass der Wandler nicht in einen Frequenzbereich übergeht, der eventuell Einfluss auf das Verhalten des Systems hätte. Es kann ausgeschlossen werden, dass die Frequenz in einen empfindlichen Bereich fällt und andere Schaltungen stört. Bei einer unbekanntenen Schaltfrequenzen ist es zudem schwer, effektive Filter auszulegen.

Außerdem sind beide Ansätze durch die zusätzlichen Kompensationsnetzwerke sehr komplex und müssen mit großer Sorgfalt ausgelegt werden. Da beim spannungsgesteuerten Modus eine Phasenhebung von 180° erforderlich ist und beim stromgeführten Ansatz lediglich 90° ist die stromgeführt Regelung weit verbreiteter, da ihre Auslegung mit weniger Aufwand verbunden ist und der stromgeführt Ansatz zudem schneller auf Störparameter reagiert.

2.3.3 Hysterese Regelung

Die Hysterese-Regelung, im Englischen auch unter der Bezeichnung Bang-bang-regulation bekannt, besteht in seiner einfachsten Form aus einer Leistungsstufe und einem Hysterese-fähigem Element wie beispielsweise einem Hysterese-Komparator. Abbildung 4 zeigt den einfachen Aufbau der Regelung, bei der die Ausgangsspannung auf einen Hysterese-

Komparator gegeben und mit einem Referenzwert verglichen wird. Das Hysterese-Element ändert den Zustand des Steuersignals, sobald die Ausgangsspannung den oberen Schwellenwert überschritten hat. Als Konsequenz fällt die Ausgangsspannung solange, bis die untere Schwelle erreicht wird und das Steuersignal erneut seinen Zustand ändert und wiederum zu einem Anstieg am Ausgang führt. Das resultierende ON/OFF-Steuersignal wird auf die Gate-Treiber gegeben, welche die Leistungsschalter ansteuern. Da für die Regelung nur die Welligkeit der Ausgangsspannung verwendet wird, zählt die Hysterese-Regelung zur Kategorie der welligkeits-basierten Steuerungsmethoden.

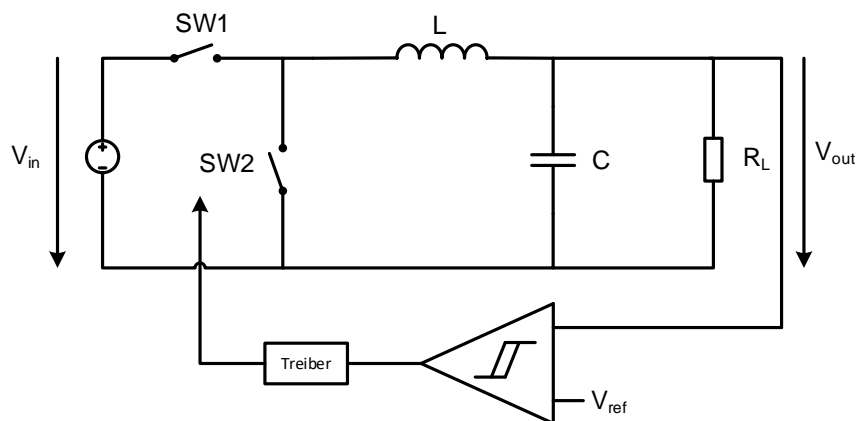


Abbildung 4: Tiefsetzsteller mit einfacher Hysterese-Regelung

Ein wesentlicher Vorteil bei diesem Ansatz ist, dass nur wenige Komponenten benötigt werden und sich die Regelung damit sehr einfach implementieren lässt und in ihrer Funktion einfach nachvollzogen werden kann. Zudem wird bei diesem Ansatz kein Operationsverstärker benötigt, sodass keine Phasenverzögerung in der Rückkopplung auftritt und deshalb die Auslegung einer zusätzlichen Kompensation nicht erforderlich ist. Der größte Vorteil im Vergleich zu den anderen Methoden ist, das gute und schnelle Einschwingverhalten bei Laststromvariationen oder Variationen am Eingang. Der Regler reagiert auf die Störungen innerhalb des gleichen Zyklus indem sie auftreten und schaltet den jeweiligen MOSFET in den Durchlassbetrieb, bis die Ausgangsspannung wieder den erforderlichen Pegel erreicht.

Nachteilig hingegen ist die variable bzw. nicht bekannte Schaltfrequenz die sich einstellt. Die Transistoren werden nach Bedarf ein- und ausgeschaltet, um die Ausgangsspannung in einem definierten Bereich zu halten. Sinkt oder steigt die Frequenz aufgrund von Variationen am Eingang oder Ausgang in einen sensitiven, vorher nicht bekannten Frequenzbereich, besteht die Gefahr, dass andere Schaltungen beeinflusst werden können oder andere Schaltung den Tiefsetzsteller beeinflussen. Hierdurch wird die Auslegung geeigneter Filter erschwert. Die Hysterese-Wandler in ihrer einfachen Ausführung arbeiten in einer Art Pulsfrequenzmodulation. Ist eine konstante Schaltfrequenz erforderlich, kann die Regelung beispielsweise um ein zusätzliches Element erweitert werden, dass eine konstante Einschaltdauer gewährleistet. Dieses Konzept wird in der Literatur als konstante ON-Zeit (COT – constant on time) Hysterese Regelung bezeichnet, wird jedoch im Rahmen dieser Bachelorthesis nicht behandelt.

2.4 Einführung in die Welligkeitsbasierte-Hysterese-Regelung

Wie im vorherigen Kapitel erarbeitet, ist der große Nachteil der einfachen Hysterese Regelung die Abhängigkeit von der Ausgangsspannungswelligkeit. Dieser Nachteil kann behoben werden, indem die Welligkeit am Ausgang herausgefiltert wird, im Rückkopplungspfad aber weiterhin vorhanden bleibt oder indem die Welligkeit der Induktivität verwendet wird. Das bedeutet, es werden Methoden benötigt, um im Feedbackpfad eine Spannungswelligkeit zu erzeugen. Im weiteren Verlauf werden zwei Methoden vorgestellt [9].

Für den ersten Ansatz wird ein zusätzlicher Widerstand in Reihe zum Ausgangskondensator geschaltet, der den ESR erhöht. Die Welligkeit über dem ESR berechnet sich aus der Welligkeit des Spulenstroms multipliziert mit dem Widerstandswert [9].

$$ESR = \frac{V_{out,rippel}}{I_{L,min,rippel}}$$

Beim zweiten Ansatz wird ein Integrator parallel zu der Spule geschaltet. Der Widerstand und Kondensator integrieren die Spannung über der Spule und koppeln das resultierende Signal an den Eingang des Hysterese-Komparators ein.

2.4.1 Hysterese Regelung mit großem Ausgangs-ESR

Die einfachste Ausführung der Hysterese-Regelung ist in Abbildung 4 vorgestellt werden. In dieser Auslegung wird kein ESR-Widerstand berücksichtigt, was in einem realen System zu einer willkürlichen Schaltfrequenz und zu einer unvorhersehbaren Welligkeit am Ausgang führt. Reale Tiefsetzsteller mit Hysterese-Regelung werden typischerweise mit Keramik oder Elektrolyt-Kondensatoren ausgelegt. Ersterer zeichnet sich durch einen sehr kleinen ESR aus wohingegen die Elektrolyt-Kondensatoren typischerweise größere ESR-Widerstände besitzen. Bei der Verwendung von Keramik Kondensatoren mit kleinem ESR (im niedrigen $m\Omega$ -Bereich) ist die Ausgangswelligkeit um 90° zur Schaltaktion phasenverschoben [4,5]. Das macht eine Vorhersage der Schaltfrequenz und der Welligkeit am Ausgang sehr komplex. Zudem kann beobachtet werden, dass aufgrund der Phasenverschiebung der Hysterese-Komparator seinen Zustand nicht im Maximalpunkt bzw. Minimalpunkt der der Ausgangsspannung ändert, siehe Abbildung 5.

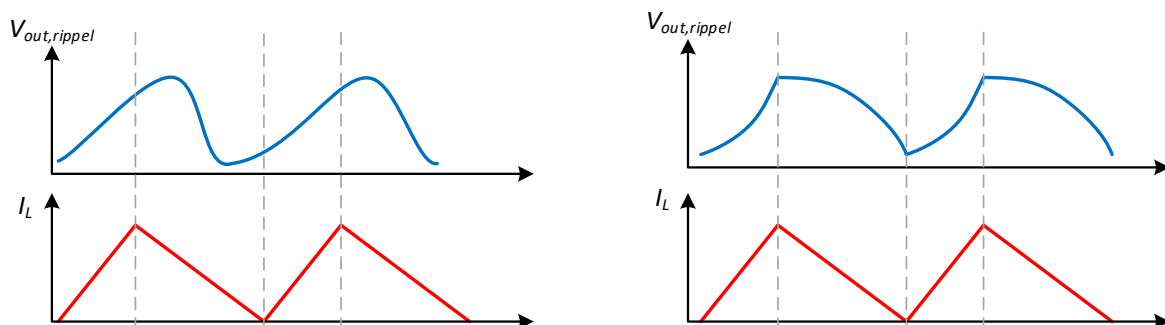


Abbildung 5: Links: kleiner ESR - Welligkeit am Ausgang und Schaltaktion sind phasenverschoben.
Rechts: Großer ESR - Welligkeit in Phase mit Schaltaktion

Um einen stabilen Betrieb mit einer vorhersehbaren Welligkeit zu ermöglichen ist es deshalb notwendig, dass die Ausgangsspannung in Phase mit dem Spulenstrom liegt, was durch eine Vergrößerung des ESR erreicht werden kann. Bei Keramik Kondensatoren würde das bedeuten,

dass ein zusätzlicher Widerstand in Serie geschaltet werden muss. In [5] werden zwei Gleichungen hergeleitet, die einen kritischen ESR-Wert berechnen, der nicht unterschritten werden soll, um die Phasenverschiebung zu verhindern.

$$ESR_{crit_01} = \sqrt{\frac{L}{2C_{out}} \left(\frac{V_{hys}}{V_{in} - V_{ref} - \frac{V_{hys}}{2}} \right)}$$

Die zweite Gleichung ergibt sich nach.

$$ESR_{crit_02} = \sqrt{\frac{L}{2C_{out}} \left(\frac{V_{hys}}{V_{ref} + \frac{V_{hys}}{2}} \right)}$$

Auf die Herleitung der Formeln wird hier verzichtet und auf die entsprechende Literatur verwiesen [5]. Liegt der ESR über den kritischen Grenzwerten sollte die Welligkeit am Ausgang nun primär durch das Hysterese-Fenster des Komparators bestimmt werden.

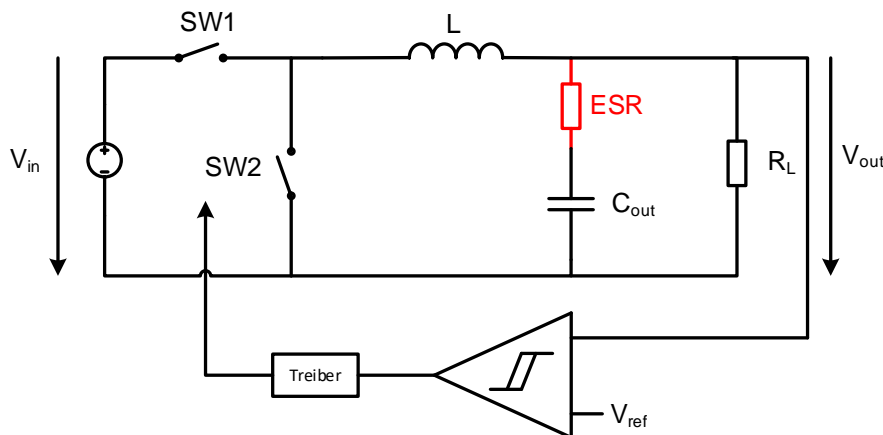


Abbildung 6: Tiefsetzsteller mit Hysterese-Regelung und zusätzlichem ESR für einen stabilen Betrieb

Da in einem realen System die Größe der Schaltfrequenz bekannt sein sollte, und auch entscheidend für die Auslegung der Spule und des Kondensators am Ausgang ist, wird im nachfolgenden eine Gleichung für die Betriebsfrequenz hergeleitet.

Wenn die Welligkeit der Ausgangsspannung wesentlich kleiner als ihr gemittelter Wert im eingeschwungenen Zustand ist, bleibt auch der Ausgangsstrom relativ konstant. So gilt der nachfolgende Zusammenhang [10].

$$V_{out,ripple} = V_{hys} = \Delta i_L \cdot ESR$$

Für die Welligkeit des Spulenstroms gilt [10].

$$L \frac{\Delta i_L}{DT} = V_{in} - V_{out}$$

Daraus folgt.

$$\Delta i_L = \frac{V_{out} \cdot (V_{in} - V_{out})}{V_{in} \cdot f_{sw} \cdot L}$$

Durch das zusammenfügen beider Gleichungen ergibt sich eine Formel für die Schaltfrequenz [10].

$$f_{sw} = \frac{V_{out} \cdot (V_{in} - V_{out}) \cdot ESR}{V_{hys} \cdot V_{in} \cdot L}$$

Verzögerungszeiten hervorgerufen durch den Komparator oder die Gate-Treiber werden hier außer Acht gelassen, sie beeinflussen jedoch die Schaltfrequenz in einer realen Anwendung und sollten für hohe Frequenzen berücksichtigt werden. Die hergeleiteten Gleichungen sowie die Funktion der Regelung werden im dritten Kapitel mit einer gegebenen Spezifikation untersucht.

2.4.2 Hysterese Regelung mit zusätzlicher RC-Komponente

Bei der zweiten Methode wird die Welligkeit des Spulenstroms über einen Integrator, der parallel zur Spule geschaltet ist, abgegriffen. Sobald das integrierte Signal die obere oder untere Schwelle über- bzw. unterschreitet, wechseln die Schalter ihren Zustand. Ähnlich wie bei der vorherigen Methode wird sehr schnell auf Störgrößen reagiert, jedoch wird nicht mehr die Welligkeit am Ausgang benötigt, sondern die Welligkeit des Spulenstroms. Damit ist die Welligkeit der Ausgangsspannung nicht mehr von der Größe der Hysterese-Fensters abhängig.

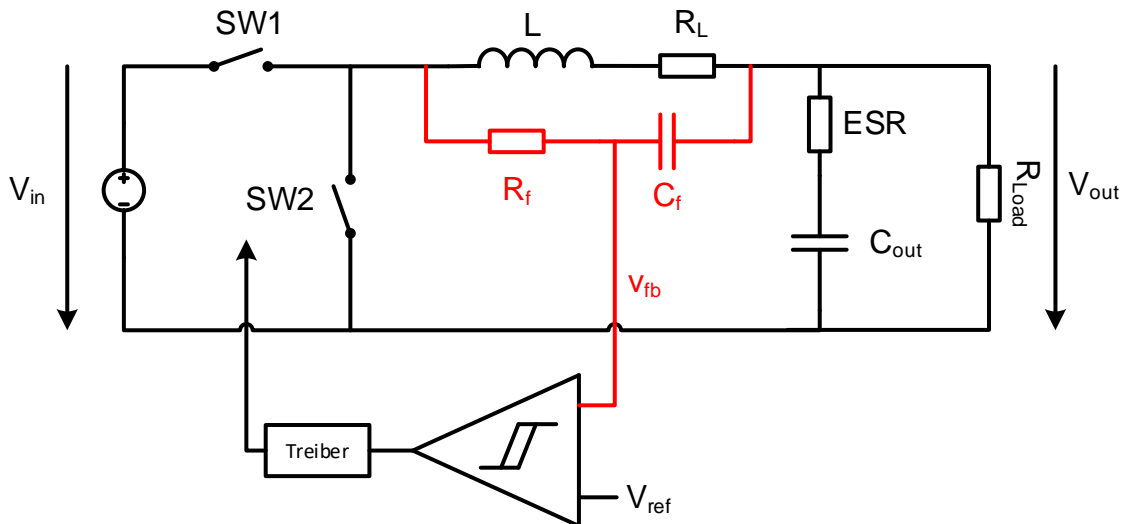


Abbildung 7: Tiefsetzsteller mit Hysterese Regelung und zusätzlichem RC-Glied für den Rückkopplungspfad

Die Ausgangsspannung für die Umsetzung nach Abbildung 7 lässt sich mit folgendem Ausdruck beschreiben [7].

$$V_{out} = V_{ref} + \frac{1}{2}V_{hys} - r_L I_o$$

Der Spannungsabfall über dem Spulenwindung r_L wird als DC-Komponente berücksichtigt und führt zu einer Regelabweichung der gewünschten Ausgangsspannung. Die Rückkopplung kommt ohne Taktsignal aus und die Schaltfrequenz ergibt sich aus der Steigung des Rückkopplungssignals v_{fb} und der Spannung des Hysterese-Fensters v_{hys} . Die Zeitkonstante T_c des Integrators bestimmt die Steigung und mit dem nachfolgenden Ausdruck kann die Schaltfrequenz bestimmt werden [7].

$$f_{sw} = \frac{V_{out} \cdot (V_{in} - V_{out})}{V_{hys} \cdot V_{in} \cdot T_c}$$

Wobei für T_c gilt:

$$T_c = R_f \cdot C_f$$

Je nachdem welche Schaltfrequenz für die jeweilige Anwendung gefordert wird, können R_f und C_f frei gewählt werden.

Die Gleichungen zur Bestimmung der Schaltfrequenz sind für beide Ansätze ähnlich, jedoch hängt in dieser Gleichung die Schaltfrequenz nicht mehr vom ESR ab und auch nicht mehr von der Induktivität. Hier wird hingegen die Zeitkonstante des Integrators im Nenner berücksichtigt. [4, 5, 6, 9]

3 Auslegung der Hysterese Regelung

In diesem Abschnitt werden die beiden Methoden der welligkeits-basierten Hysterese Regelung untersucht und die vorgestellten Formeln zur Berechnung der Schaltfrequenz überprüft. Die nachfolgende Tabelle zeigt eine Spezifikation des Tiefsetzstellers. Dabei werden Transistoren einer 180nm UMC CMOS Technologie verwendet, die Spannungen von bis zu 3.3V führen können. Der Einfachheit halber wird der Hysterese Komparator mit einem Verilog-A Modell ausgelegt, um möglichst einfach verschiedene Parameter ändern zu können.

3.1 Spezifikation

Eingangsspannung V_{in}	3.3V
Ausgangsspannung V_{out}	1.2V
Referenzspannung V_{ref}	1.2V
Maximaler Laststrom $I_{load,max}$	500mA
Spule L	4.7 μ H
Ausgangskondensator C_{out}	22 μ F
Kanallängen CMOS Transistoren	340nm
Transistorbreite NMOS	111.7mm
Transistorbreite PMOS	34.2mm
Hysterese-Fenster Komparator V_{hys}	20mV – 50mV

Tabelle 1: Spezifikation des Tiefsetzstellers

3.2 Modell des Hysterese Komparators

Für die Umsetzung der im Rahmen der Bachelorthesis betrachteten Regelung ist ein Hysterese fähiges Element im Rückkopplungspfad erforderlich. Zum Einsatz kommt ein Hysterese Komparator der durch ein einfaches Verilog-A Modell beschrieben wird. Das Modell bietet die Möglichkeit die Versorgungsspannung, den Komparator-Offset, die Größe des Hysterese-Fensters sowie die Verzögerungen und die Flankenzeiten frei zu konfigurieren. Nachfolgend der verwendete Verilog-A Code.

```
// VerilogA for Hysteresis Comparator, Comparator_Hysteresis, veriloga
`include "constants.vams"
`include "disciplines.vams"

module Comparator_Hysteresis(out, InP, InN);

inout InP, InN;
```

```

output out;
electrical InP, InN, out;

parameter real offset = 0; // Offset voltage (V)
parameter real hyst = 50m from [0:inf]; // Hysteresis window (V)
parameter real thrlo = offset - 0.5*hyst; // Lower threshold voltage (V)
parameter real thrhi = offset + 0.5*hyst; // Upper threshold voltage (V)

parameter real Vsupp= 3.3; // Supply voltage
parameter real vl = 0; // Lower voltage (V)
parameter real td = 20p; // Propagation delay (s)
parameter real tt = 10p; // Edge time (s)
real n;

analog begin
    @(initial_step) begin // Set the initial condition
        if (V(InP,InN)>=offset)
            n=1;
        else
            n=0;
    end

    @(above(V(InP, InN) - thrhi)) //Kickpoint of Comparator for upper limit
        n = 1;
    @(above(thrlo - V(InP,InN))) //Kickpoint of Comparator for lower limit
        n = 0;

    V(out) <+ transition(n ? Vsupp : vl, td, tt);
end
endmodule

```

Der *above*-Block wird während der gesamten Dauer einer Simulation kontinuierlich wiederholt und ermöglicht die Realisierung der Hysterese. Sobald eine definierte untere (*thrlo*) bzw. obere (*thrhi*) Schaltschwelle erreicht wird, generiert die *above*-Funktion ein Ereignis und setzt die Hilfsvariable *n* auf HIGH bzw. LOW. Der Ausdruck *above* ähnelt der Funktion *cross*, jedoch unterstützt die *above*-Funktion auch DC-Simulationen [8].

Mit dem Ausdruck *transition* wird das diskrete Signal der Hilfsvariable *n* in ein kontinuierliches Signal mit einer einstellbaren Verzögerung und einstellbaren Flankenzeiten gewandelt. Das kontinuierliche Signal wird dann am Ausgang des Komparators ausgegeben.

3.3 Untersuchung des Hysterese Komparators

In diesem Abschnitt wird das Modell des Hysterese-Komparator mit Hilfe einer DC- sowie einer Transienten-Simulation untersucht. Abbildung 8 zeigt den verwendeten Simulationsaufbau. An den invertierenden Eingang des Komparators wird eine konstante Referenzspannung angelegt und am nicht invertierenden Eingang ein variierendes Signal.

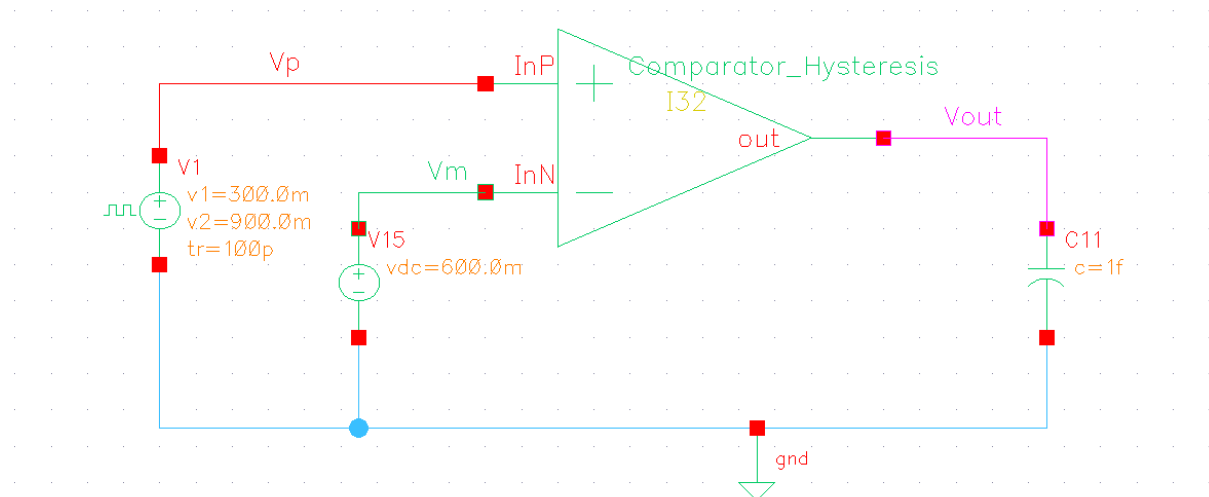


Abbildung 8: Testbench zur Untersuchung des Hysterese-Komparators

3.3.1 DC-Sweep

Für die erste Untersuchung wird eine DC-Sweep konfiguriert, um die typische Hysteresekurve zu generieren. Die Breite des resultierenden Signals sollte dabei dem festgelegten Wert des Hysterese-Fensters entsprechen. Hierfür wird an einen der beiden Eingänge des Komparators ein konstantes Signal angelegt und das Signal des zweiten Eingangs wird kontinuierlich mit einer festgelegten Schrittgröße erhöht. Sobald die obere Grenze des Sweep-Bereichs überschritten wird, fällt das Signal mit der gleichen Schrittgröße auf die untere Grenze zurück und die Simulation wird beendet. Damit dieser Verlauf umgesetzt werden kann, muss in der Simulation die Option „Hysteresis Sweep“ aktiviert werden, siehe Abbildung 9.

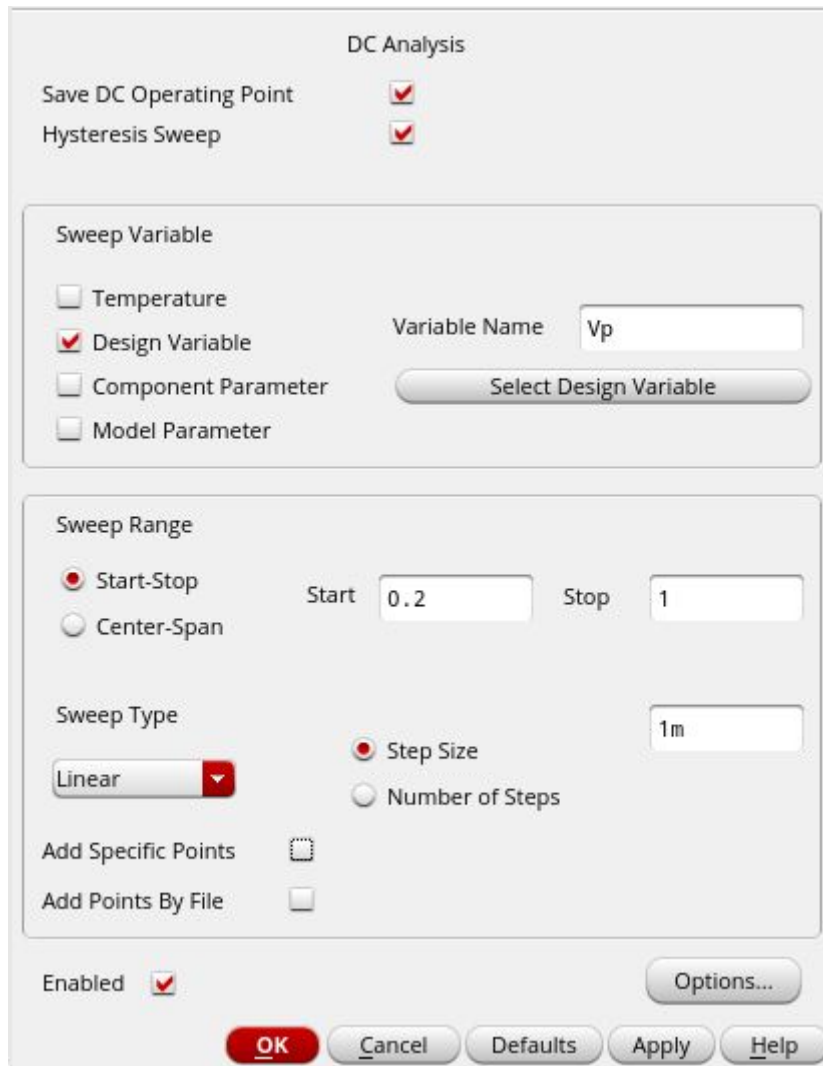


Abbildung 9: Einstellungen im Virtuoso Analysefenster für einen DC-Hysteresis-Sweep

Die ersten Resultate wurden mit einem Hysteresis-Wert von 100mV generiert und sind in Abbildung 10 zu sehen. Sobald das Eingangssignal V_p den Wert $V_{ref} + V_{hys}/2$ überschreitet wird das Ausgangssignal auf die Versorgungsspannung geladen und der Ausgang wechselt vom Zustand LOW auf den Zustand HIGH. Fällt das Signal am Eingang V_p wieder, so wechselt der Ausgang erst seinen Zustand, sobald die untere Schaltschwelle $V_{ref} - V_{hys}/2$ unterschritten wird.

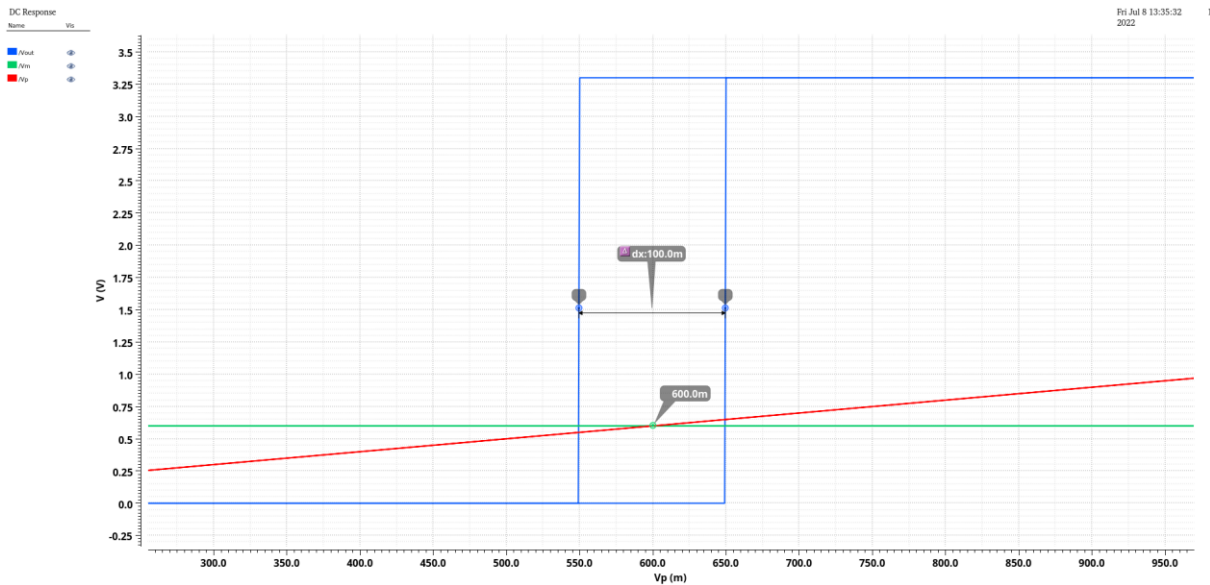


Abbildung 10: DC-Sweep: Hysteresekurve für ein Hysterese-Fenster von 100mV. Grün: Kontinuierliches Signal am Eingang Vm. Rot: DC-Sweep am Eingang Vp. Blau: Ausgang des Komparators

3.3.2 Transiente Untersuchungen

Bei der transienten Untersuchung wird der positive Eingang des Komparators mit einem dreieckförmigen Signal stimuliert. Ähnlich wie bei den Resultaten im vorherigen Abschnitt ändert sich der Zustand am Ausgang erst, sobald beim Anstieg von V_p die obere Hysterese-Schwelle überschritten bzw. beim Abfall von V_p die untere Schwelle unterschritten wird. Ein beispielhaftes Ergebnis mit einer Eingangsfrequenz von 100 kHz sowie einem Wert des Hysterese-Fensters von 100mV ist in Abbildung 11 dargestellt.

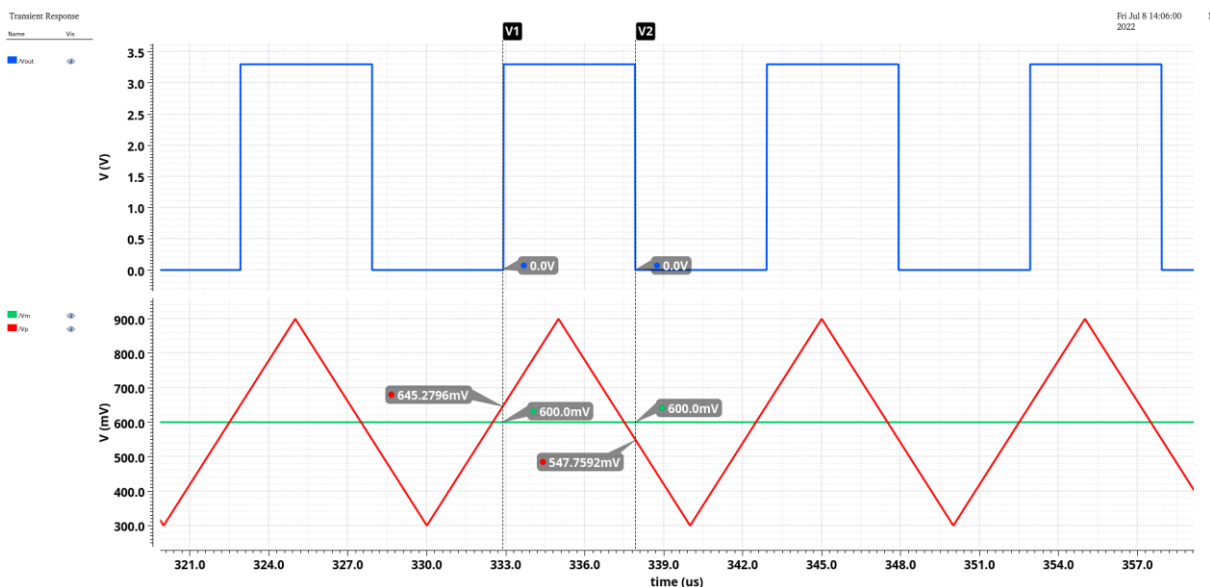


Abbildung 11: Transiente Untersuchungen des Hysterese-Komparators für einen Hysterese-Wert von 100mV. Grün: Kontinuierliches Signal am Eingang Vm. Rot: DC-Sweep am Eingang Vp. Blau: Ausgang des Komparators

Die Verzögerungs- und Flankenzeiten des Komparators wurden hier beispielhaft sehr gering

gewählt und liegen im zweistelligen Pikosekunden-Bereich. In einem realen System liegen die Verzögerungen im hunderter Pikosekunden- bzw. im einstelligen Nanosekunden-Bereich.

Beide Abschnitte zeigen realistische Resultate, die mit dem Verhalten des Hysterese Komparators aus der Literatur übereinstimmen. Das Modell des Verilog-A Komparators kann deshalb in den weiteren Untersuchungen zur Umsetzung der Hysterese-Regelung eingesetzt werden.

3.4 Hysterese Regelung – Stabilisierung über ESR

Mit der gegebenen Spezifikation aus Tabelle 1 wird der Tiefsetzsteller zunächst mit der Hysterese-Regelung nach Abbildung 6 ausgelegt. Bei dieser einfachen Konfiguration wird die Ausgangsspannung direkt auf den Eingang des Komparators geführt und mit einem Referenzwert verglichen. Sobald die Ausgangsspannung den oberen bzw. unteren Schwellenwert über- bzw. unterschreitet wechselt der Ausgang des Komparators seinen Zustand und generiert ein ON/OFF-Steuersignal für die Gate Treiber mit willkürlicher Impulsbreite und Periodendauer. Eine Welligkeit am Ausgang ist entscheidend, um die Funktionalität der Hysterese-Regelung zu gewährleisten. Gleichzeitig wird erwartet, dass die Welligkeit des Ausgangs dem Wert des Hysterese-Fensters entspricht.

Im Grundlagenkapitel wurde beschrieben, dass die Größe des ESR am Ausgangskondensator entscheidend ist, damit sich eine stabile Spannung am Ausgang einstellt. Wird ein Kondensator mit zu kleinem ESR gewählt, kann das gesamte System ein instabiles Verhalten aufweisen. Aus diesem Grund werden zunächst nach [5] die beiden kritischen Wert des ESR bestimmt.

$$r_{crit,1} = \sqrt{\frac{L}{2C_{out}} \left(\frac{V_{hys}}{V_{in} - V_{ref} - \frac{V_{hys}}{2}} \right)} = \sqrt{\frac{4.7\mu H}{2 \cdot 22\mu F} \left(\frac{20mV}{3.3V - 1.2V - \frac{20mV}{2}} \right)}$$

$$r_{crit,1} \approx 32m\Omega$$

Für den zweiten kritischen Wert gilt:

$$r_{crit,2} = \sqrt{\frac{L}{2C_{out}} \left(\frac{V_{hys}}{V_{ref} + \frac{V_{hys}}{2}} \right)} = \sqrt{\frac{4.7\mu H}{2 \cdot 22\mu F} \left(\frac{20mV}{1.2V + \frac{20mV}{2}} \right)}$$

$$r_{crit,2} \approx 42m\Omega$$

Der berechnete kritische Wert liegt bei $42m\Omega$. Für einen sicheren Betrieb wird eine untere Grenze von $50m\Omega$ gewählt. Mit dem Simulationsaufbau nach Abbildung 12 wird im weiteren Verlauf die Funktionalität der Schaltung überprüft. Untersucht werden die Größe der Welligkeit, der gemittelte Wert der Ausgangsspannung, die Schaltfrequenz sowie der Verlauf des Spulenstroms.

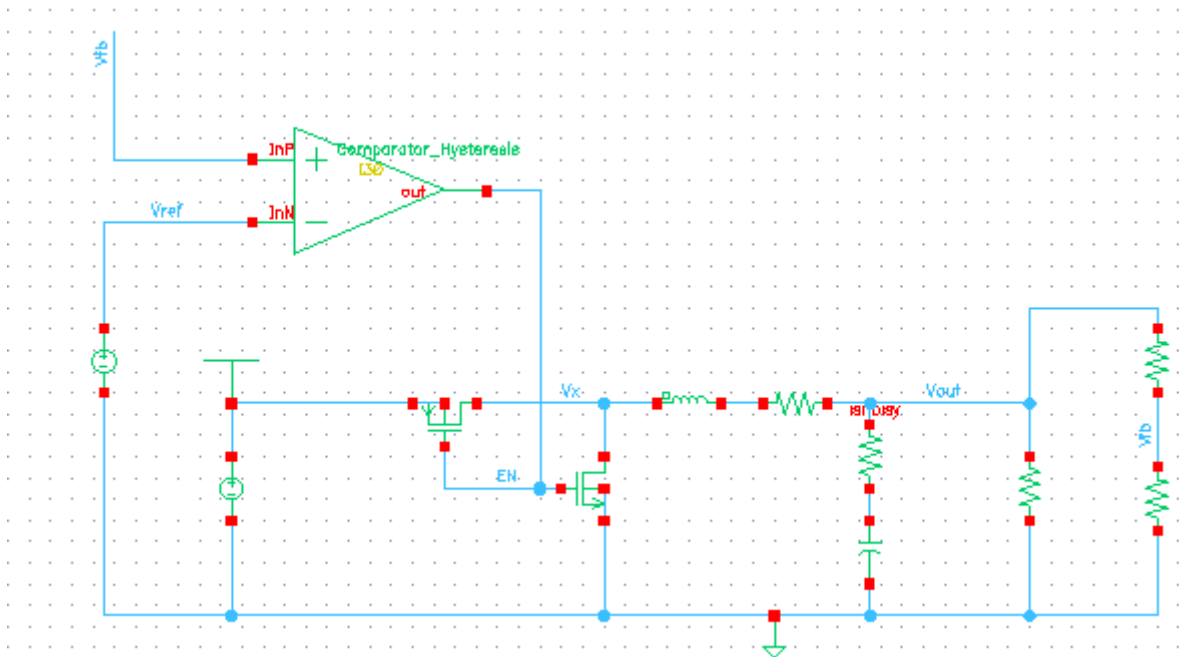


Abbildung 12: Testbench des Tiefsetzstellers mit einfacher Hysterese-Regelung

Zur Untersuchung des Einflusses vom ESR auf die Regelung wurden vier unterschiedliche Werte zwischen $5m\Omega$ und $300m\Omega$ gewählt. Der erste Wert liegt unterhalb der kritischen Grenze und sollte deutlich von den weiteren Ergebnissen abweichen. Eine Gegenüberstellung der gewonnenen Resultate ist in Tabelle 2 abgebildet.

ESR	$V_{out,mittelwert}$	$V_{out,rippel}$	Schaltfrequenz Simulation	Schaltfrequenz (Berechnung)	Abweichung Schaltfrequenz
$5m\Omega$	1.22V	105mV	95.2kHz	---	---
$50m\Omega$	1.2V	21.01mV	387.4kHz	406kHz	4.7%
$100m\Omega$	1.2	21.66mV	751.1kHz	812kHz	7.5%
$300m\Omega$	1.2	21.27mV	2.23MHz	2.43MHz	8.2%

Tabelle 2: Ergebnisse für vier unterschiedliche ESR-Werte

Die Resultate verdeutlichen, dass die kritische Grenze für den ESR-Wert nicht unterschritten werden sollte, da sonst ein nicht vorhersehbares Verhalten auftritt. Bei den Resultaten mit einem ESR von $5m\Omega$ liegt die Welligkeit am Ausgang deutlich oberhalb des zu erwartenden Wertes und auch das gemittelte Ergebnis der Ausgangsspannung weicht um etwa 20mV ab. Alle Ergebnisse oberhalb der kritischen Grenze fallen wesentlich besser aus. Es fällt auf, dass mit zunehmendem ESR die Schaltfrequenz ansteigt, wie auch die Formel zur Bestimmung der Schaltfrequenz aus Abschnitt 2.4.1 zeigt.

$$f_{sw} = \frac{V_{out} \cdot (V_{in} - V_{out}) \cdot ESR}{V_{hys} \cdot V_{in} \cdot L}$$

Für die Überprüfung der Gleichung werden die Ergebnisse aus der Simulation mit den

berechneten Resultaten verglichen. Zu erkennen ist, dass die Schaltfrequenz der Simulation geringer ausfallen. Aufgrund von Verzögerungszeiten des Hysterese-Komparators oder der parasitären Effekte der Transistoren, ist diese Abweichung nicht überraschend. Für ESR-Werte zwischen $50m\Omega$ und $300m\Omega$ ergibt sich ein Fehler der im Bereich von 4.7% und 8.2% liegt und mit steigender Schaltfrequenz weiter zunimmt.

Abbildung 13 zeigt transiente Simulationen der Ausgangsspannung und des Spulenstroms für einen ESR unterhalb des kritischen Wertes und zum Vergleich mit einem ESR oberhalb der kritischen Grenze. Eine Schaltaktion tritt auf, sobald der Spulenstrom seinen Hoch- oder Tiefpunkt erreicht. Die Simulationsergebnisse im oberen Teil zeigen, dass die Ausgangsspannung und der Spulenstrom für einen zu geringen ESR nicht in Phase liegen. Das hat, wie auch schon mit Hilfe von Abbildung 5 beschrieben, zur Folge, dass die Schaltaktivität nicht beim Hoch- oder Tiefpunkt der Spannungswelle am Ausgang erfolgt. Aus diesem Grund fällt auch die Welligkeit sehr groß aus. Der simulierte Wert liegt bei 105mV und weicht damit um 85mV von den zu erwartenden 20mV ab.

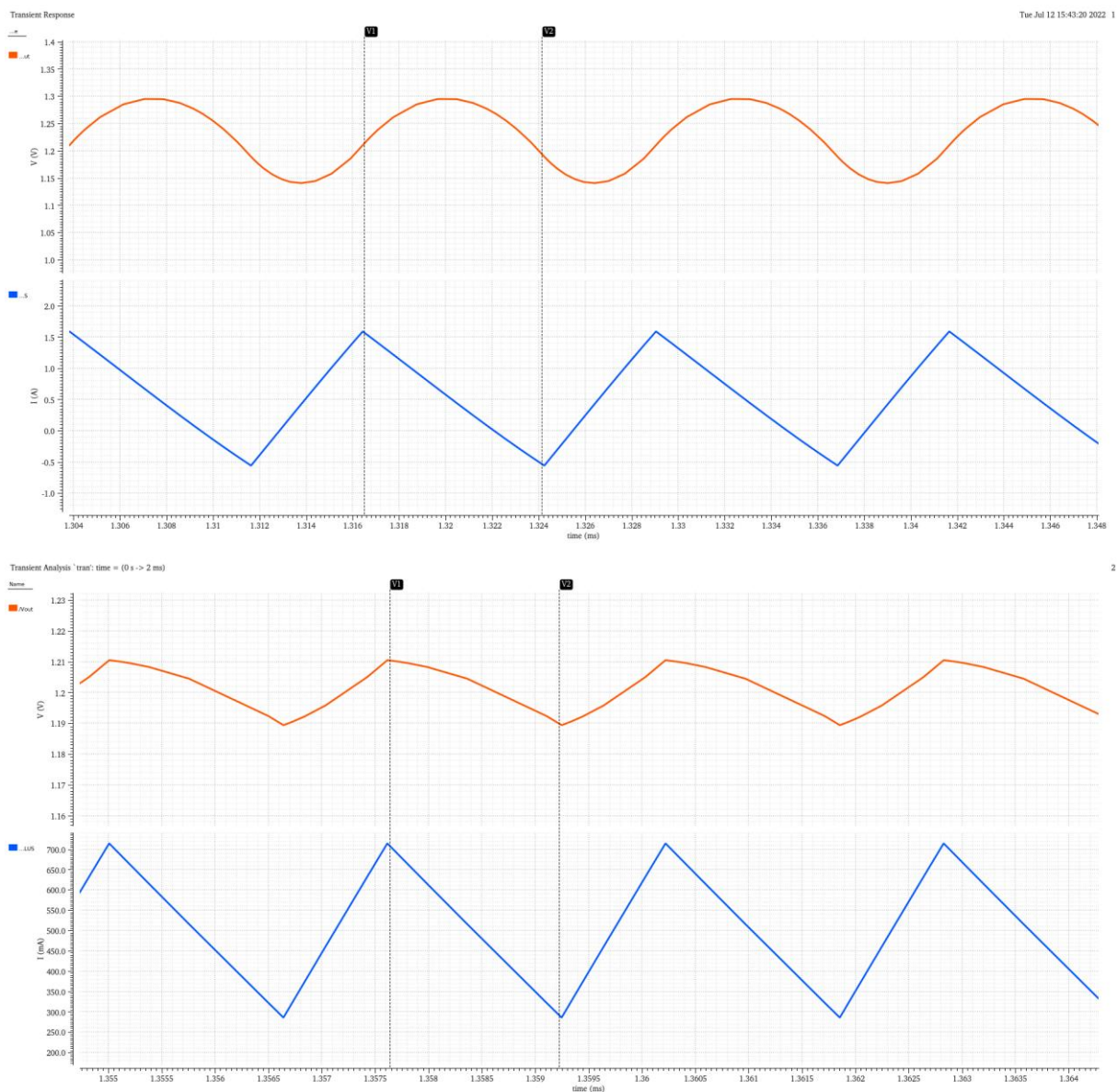


Abbildung 13: Oben: Ausgangsspannung (orange) und Spulenstrom (blau) nicht in Phase für $ESR = 5m\Omega$. Unten: Ausgangsspannung (orange) und Spulenstrom (blau) in Phase für $ESR = 50m\Omega$.

Die Wahl einer passenden ESR-Größe für das Design hängt davon ab, welcher Kondensator-Typ am Ausgang verwendet wird. Elektrolyt-Kondensatoren beispielsweise haben einen Widerstand, der oberhalb der kritischen Grenze liegen sollte. Werden hingegen Keramik-Kondensatoren eingesetzt, ist die Größe des ESR voraussichtlich zu gering. In diesem Fall muss ein zusätzlicher Widerstand in Reihe zum Kondensator verschaltet werden, um oberhalb der kritischen Grenze zu liegen. Letztendlich ist der ESR aber entscheidend für die Höhe der Schaltfrequenz. Mit der gegebenen Schaltfrequenz können die Spule und der Kondensator optimal ausgelegt werden. So kann vermieden werden, dass beide Bauteile unnötig groß ausfallen, was sich positiv auf die Kosten und das Wandler-Volumen auswirkt.

Da für die Simulationen nach Tabelle 2 die Induktivität gleichgeblieben ist, hat sich der Spitzenstrom mit zunehmendem ESR verringert. Erlaubt man einen höheren Spitzenstrom kann der Induktivitätswert gesenkt werden, jedoch muss berücksichtigt werden, dass dies auch wieder die Schaltfrequenz beeinflusst.

Für weitere Untersuchungen wurde der ESR auf $50m\Omega$ gelegt. Die Signalverläufe für einen maximalen Laststrom von 500mA und einen geringeren Laststrom von 100mA wurden untersucht und zeigen, dass für beide Lastfälle gute Resultate erzielt werden können. Die Schalfrequenz weicht bei beiden Lastfällen nur geringfügig voneinander ab.

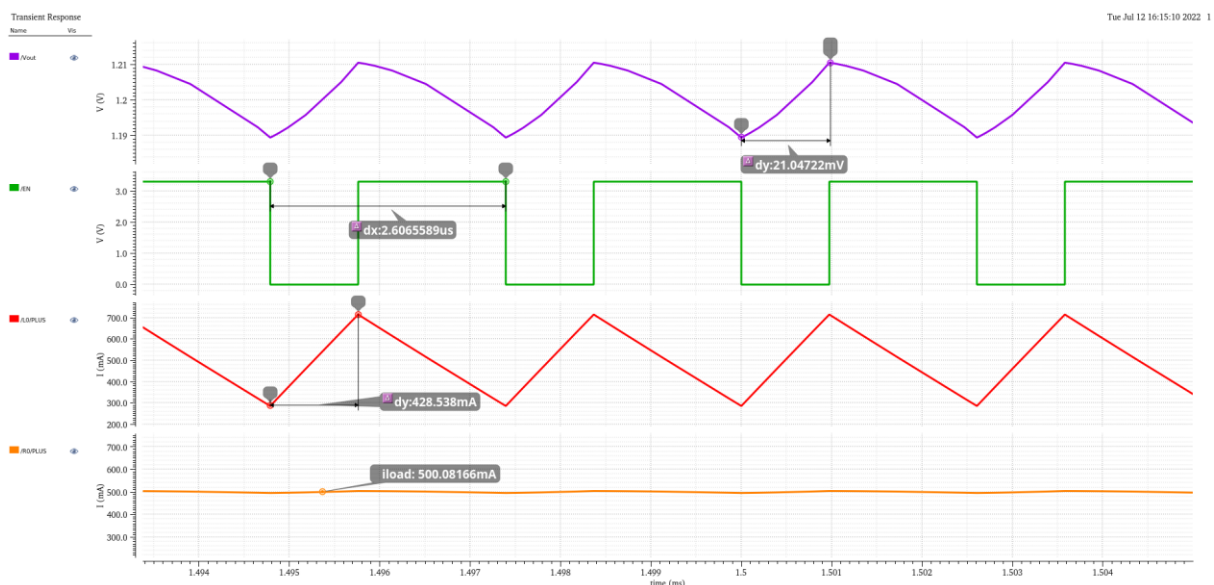


Abbildung 14: ESR = $50m\Omega$. Ausgangsspannung (lila), Steuersignal (grün), Spulenstrom (rot) und Laststrom (orange) für einen Laststrom von 500mA

Abbildung 14 und Abbildung 15 zeigen den Verlauf der Ausgangsspannung, das Steuersignal der Transistoren, den Verlauf des Spulenstroms sowie die Größe des Laststroms.

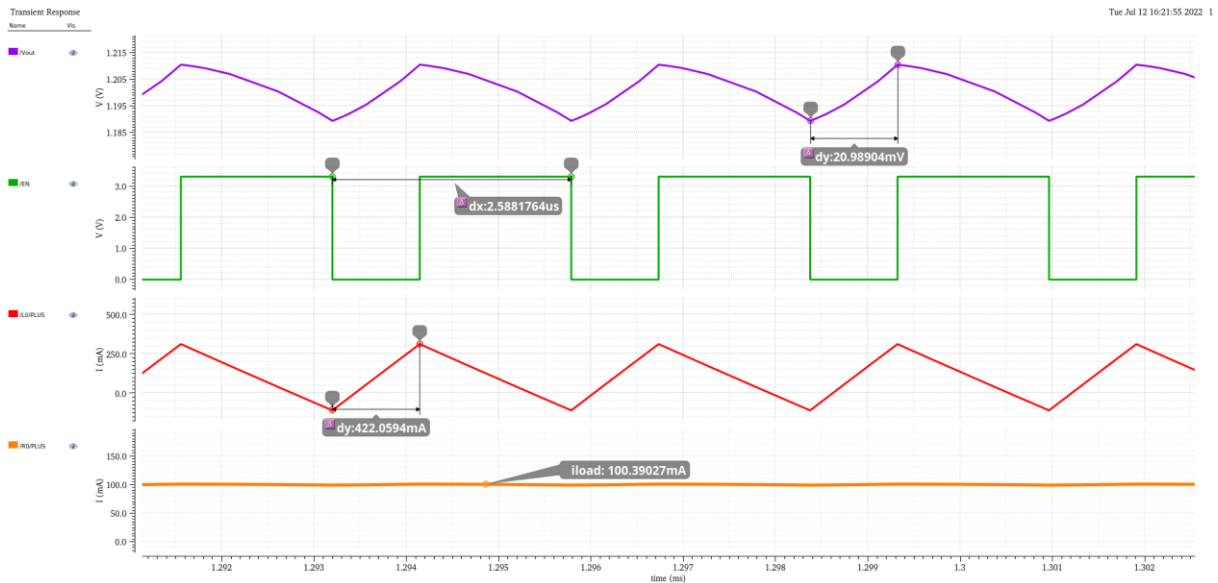


Abbildung 15: ESR = 50mΩ. Ausgangsspannung (lila), Steuersignal (grün), Spulenstrom (rot) und Laststrom (orange) für einen Laststrom von 100mA

Für den Fall, dass eine höhere Ausgangsspannung gefordert wird oder sich die Eingangsspannung ändert, wird dies auch die Schaltfrequenz beeinflussen. Zudem haben Toleranzen des Hysterese-Fensters, hervorgerufen durch Temperaturschwankungen oder Produktionsabweichungen, ebenso einen Einfluss auf die Schaltfrequenz sowie Abweichungen der Induktivität oder des ESR. Dies muss bei der Auslegung einer solchen Topologie berücksichtigt werden.

3.5 Auslegung der Hysterese Regelung über zusätzliche RC-Komponente

Für den zweiten Ansatz wird ein zusätzlicher RC-Integrator parallel zur Spule gespaltet. Der Integrator bildet den Spulenstrom nach und das Signal wird auf den Eingang des Hysterese-Komparators geführt und mit der Referenzspannung verglichen. Der Spitze-Spitze Wert des Integrators entspricht der Größe des Hysterese-Fensters. Für erste Untersuchungen, nach Abbildung 16, wurde für den Integrator eine Zeitkonstante von 100µs gewählt. Der Widerstand Rf wird mit 10kΩ und der Kondensator Cf mit 10nF ausgelegt. Mit der Gleichung zur Bestimmung der Schaltfrequenz

$$f_{sw} = \frac{V_{out} \cdot (V_{in} - V_{out})}{V_{hys} \cdot V_{in} \cdot T_c}$$

ergibt sich eine Frequenz von 381kHz. Mit einer Induktivität von 4.7µH und einem Kondensator von 22µF, der einen ESR von 10mΩ besitzt, sollte sich eine Welligkeit am Ausgang von etwa 5mV und ein Spitze-Spitze Wert des Spulenstroms von 377mA ergeben.

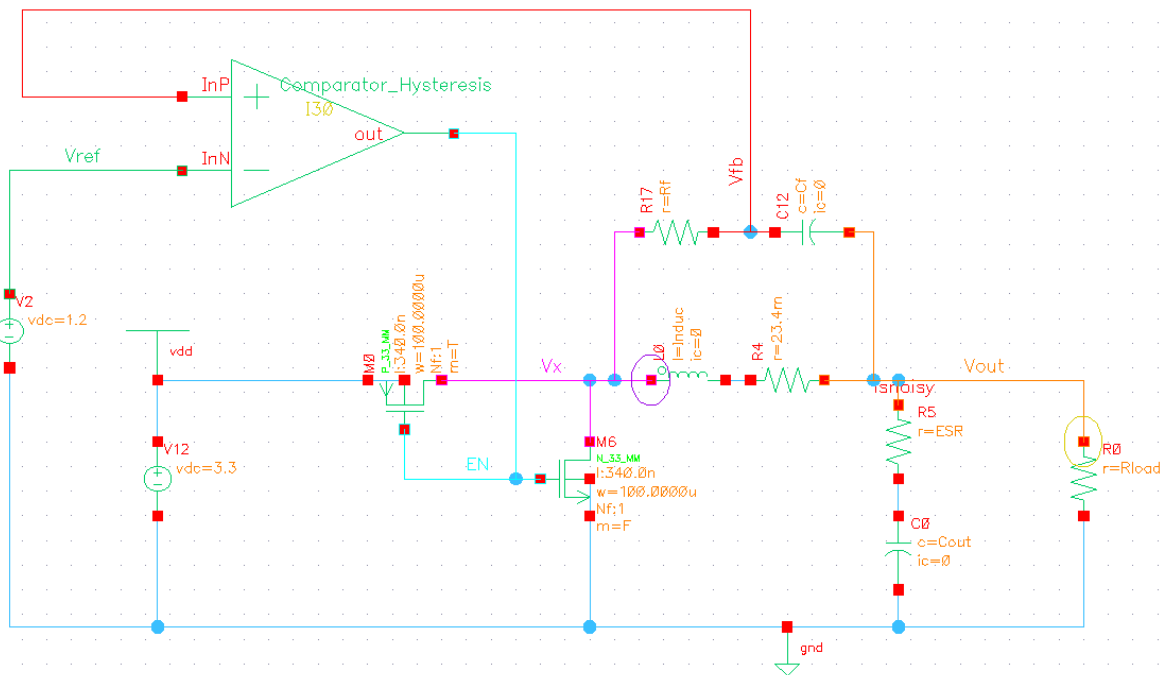


Abbildung 16: Simulationsaufbau Tiefsetzsteller mit Hysterese Regelung und Abgriff über Integrator

Die Simulation in Abbildung 17 zeigt, dass sich die zu erwartenden Signalverläufe einstellen. Die Spannungswelligkeit am Ausgang beträgt 5.6mV und liegt damit in der Nähe des gewünschten Wertes und ist gleichzeitig auch wesentlich geringer als beim vorherigen Ansatz. Hier zeigt sich der Vorteil des Schemas, da die Spannungswelligkeit am Ausgang nicht mehr durch das Hysterese-Fenster bestimmt wird. Aus der Simulation kann eine Schaltfrequenz von 423kHz abgelesen werden, die um etwa 10% höher als das berechnete Ergebnis ist. Zu erwarten wäre, dass die Schaltfrequenz aus der Simulation aufgrund von Verzögerungen geringer ausfällt, dies ist hier jedoch nicht der Fall. In weiteren Untersuchungen konnte beobachtet werden, dass der ESR einen Einfluss auf die Schaltfrequenz hat. Der Widerstand führt zu einem zusätzlichen Spannungsabfall am Ausgang und müsste für exaktere Resultate deshalb in der Gleichung berücksichtigt werden. Wird der ESR aus der Simulation entfernt, ergibt sich eine Schaltfrequenz von 369kHz die in sehr guter Nähe zum berechneten Ergebnis liegt. Da jedoch jeder reale Kondensator auch einen Widerstand besitzt, sollte dieser nicht in den Simulationen vernachlässigt werden.

Weiter konnte beobachtet werden, dass der Mittelwert der Ausgangsspannung bei etwa 1.189V liegt und damit um etwa 11mV vom Sollwert abweicht. Verantwortlich hierfür ist die zusätzliche DC-Komponente des Spulenwiderstands ($r_L = 23.4\text{m}\Omega$), wie auch im Grundlagenkapitel beschrieben.

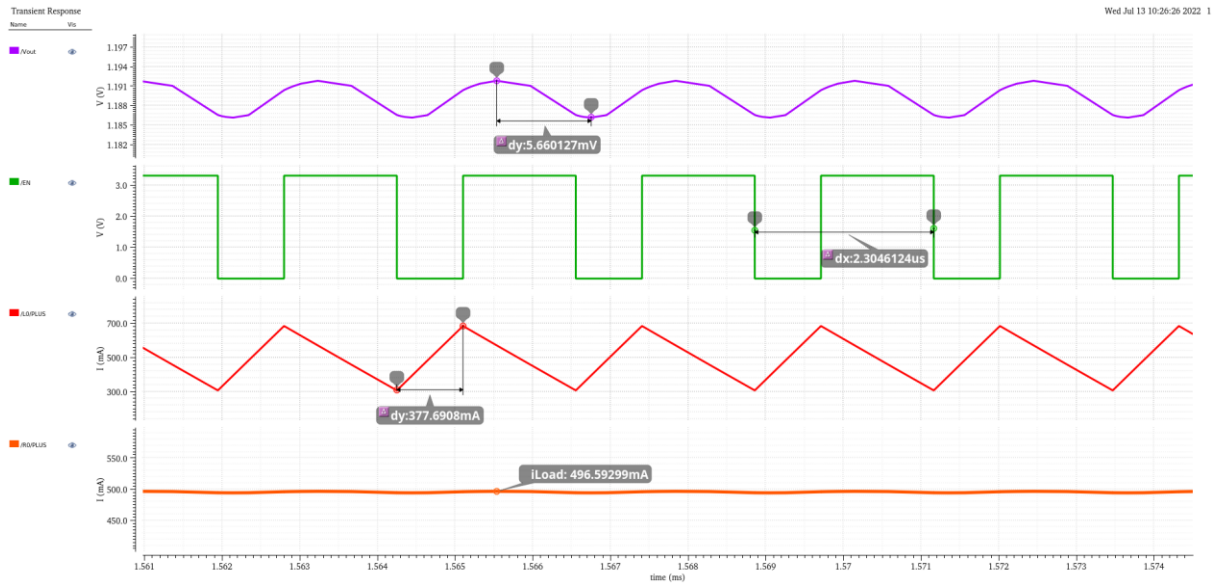


Abbildung 17: Transiente Resultat für eine RC-Zeitkonstante von $100\mu\text{s}$ mit $L = 4.7\mu\text{H}$ und $C = 22\mu\text{F}$ (Laststrom = 500mA)

Für weitere Untersuchungen wird gezeigt, welche Resultate erzielt werden, wenn die Zeitkonstante von $100\mu\text{s}$ auf $50\mu\text{s}$ reduziert wird. Der Widerstand bleibt weiterhin auf $10\text{k}\Omega$ und der Kondensator wird auf 5nF gesenkt. Um weiterhin die identischen Werte aus der vorherigen Untersuchung für den Spitze-Spitze-Strom der Spule und die Welligkeit der Ausgangsspannung beizubehalten, werden die Induktivität und der Kondensator für eine Frequenz von 763kHz neu ausgelegt. Beide Größen lassen sich mit den bekannten Gleichungen bestimmen.

$$L = \frac{(V_{in} - V_{out})D}{f_{sw} \cdot \Delta I_L}$$

$$C = \frac{\Delta I}{8 \cdot \Delta v_{\text{ripple}} \cdot f_{sw}}$$

Auch in diesen Untersuchungen liegt die simulierte Schaltfrequenz über dem berechneten Wert, siehe Abbildung 18. Durch Vernachlässigung des ESR kann auch in diesem Fall eine bessere Übereinstimmung erzielt werden. Trotzdem zeigen die transienten Resultate realistische Verläufe und auch die Welligkeit am Ausgang und am Spulenstrom liegen im Bereich der geforderten Spezifikation. Ebenso wie in der vorherigen Untersuchung weicht der gemittelte Wert der Ausgangsspannung vom Sollwert ab.

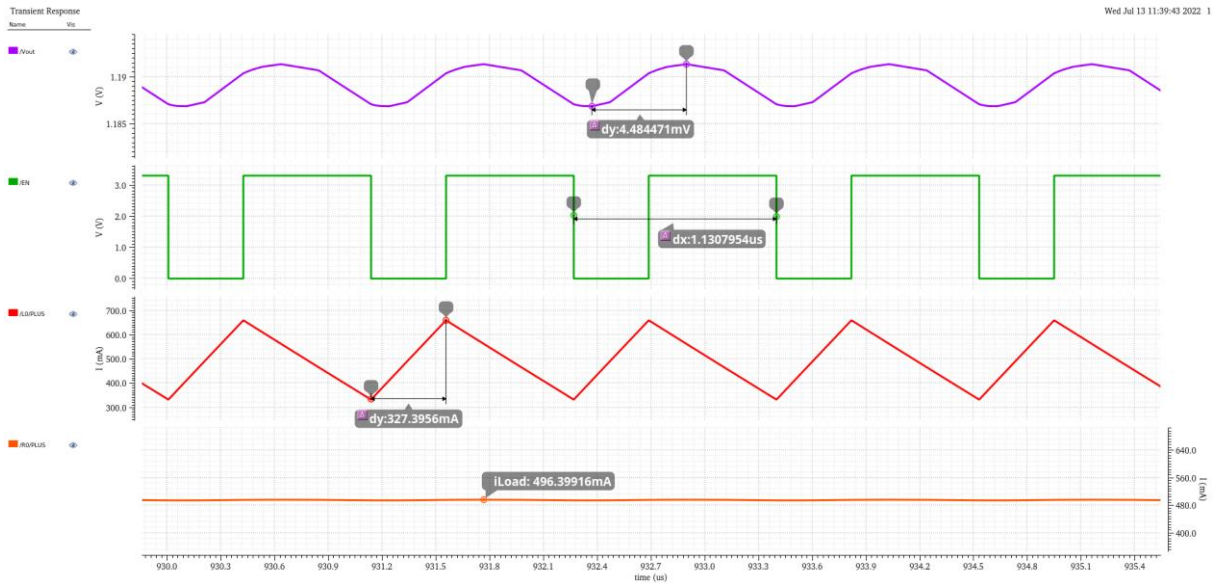


Abbildung 18: Transiente Resultat für eine RC-Zeitkonstante von $50\mu\text{s}$ mit $L = 2.66\mu\text{H}$ und $C = 12.3\mu\text{F}$ (Laststrom = 500mA). Ausgangsspannung (lila), Steuersignal (grün), Spulenstrom (rot) und Laststrom (orange)

Zusätzlich wurde mit den Werten nach Abbildung 18 der Laststrom reduziert, um das Verhalten für kleinere Lasten zu untersuchen. Abbildung 19 zeigt die guten Resultate. Die Schaltfrequenz weicht etwas beim höheren Lastfall ab, die Spannungs- und Stromwelligkeiten liegen aber im geforderten Bereich.

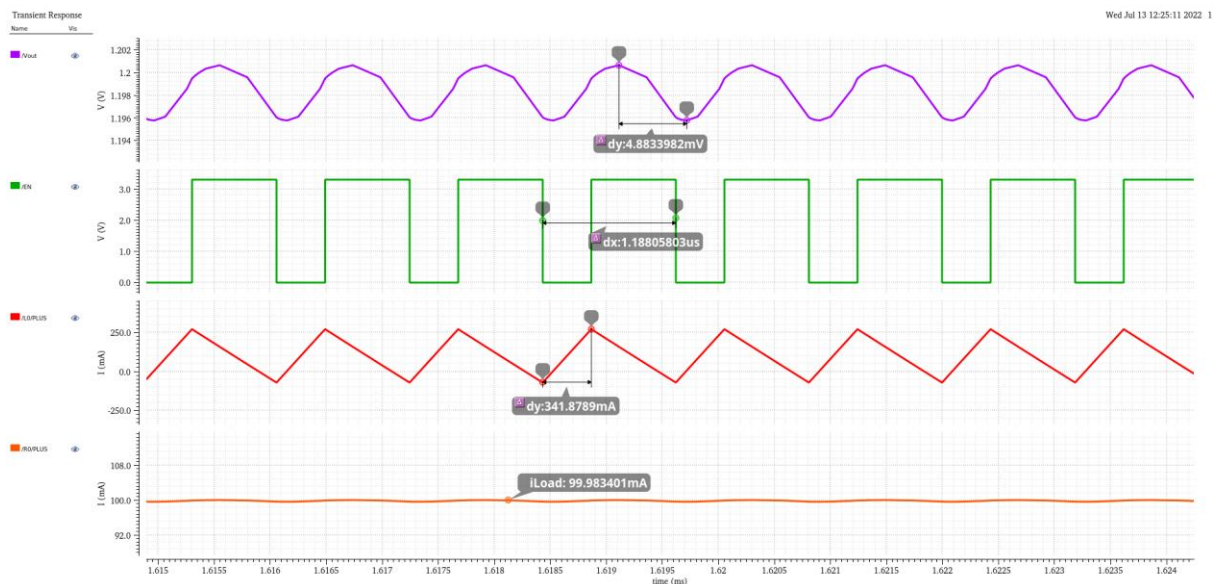


Abbildung 19: Transiente Resultat für eine RC-Zeitkonstante von $50\mu\text{s}$ mit $L = 2.66\mu\text{H}$ und $C = 12.3\mu\text{F}$ (Laststrom = 100mA). Ausgangsspannung (lila), Steuersignal (grün), Spulenstrom (rot) und Laststrom (orange)

4 Fazit

Das Ziel der Bachelorthesis war es, einen Tiefsetzsteller mit einer Hysterese-Regelung umzusetzen. Dafür wurden zwei Konzepte betrachtet, die auf einer welligkeits-basierten Regelung beruhen. Damit die Hysterese-Regelung angewendet werden kann, wird ein wellenförmiges Signal benötigt. Beispielweise kann die Welligkeit der Ausgangsspannung verwendet werden oder ein wellenförmiges Signal, welches dem Spulenstrom entspricht.

Bei dem ersten Ansatz wurde die Ausgangsspannung direkt auf einen Hysterese-Komparator geführt, der die Leistungsschalter so ansteuert, dass die Spannung in einem festen Bereich bleibt, der durch das Hysterese-Fenster vorgegeben wird. Entscheidend für einen stabilen Betrieb ist, dass der Spulenstrom und die Ausgangsspannung in Phase liegen. Hierfür lässt sich ein kritischer ESR-Wert des Ausgangskondensators berechnen, der nicht unterschritten werden darf. Zusätzlich wurde eine Gleichung vorgestellt, mit der sich in etwa die Schaltfrequenz bestimmen lässt, was eine exaktere Auslegung des LC-Filters erlaubt. Die Welligkeit der Ausgangsspannung wird aufgrund der Architektureigenschaften der Topologie vom Hysterese-Fenster des Komparators vorgegeben.

Für den zweiten Ansatz wurde eine zusätzliche RC-Komponente parallel zur Spule geschaltet, die den Spulenstrom abbildet und das resultierende Signal an den Hysterese-Komparator führt. Vorteilhaft bei dieser Methode ist, dass die Welligkeit der Ausgangsspannung nicht mehr vom Hysterese-Fenster abhängig ist, sondern vom Wert des Ausgangskondensators. So kann die Welligkeit am Ausgang wesentlich kleiner ausfallen als beim vorherigen Ansatz, wenn es die Anwendung erfordert. Auch für dieses Konzept wurde eine Formel für die Ermittlung der Schaltfrequenz vorgestellt, die jedoch von den simulierten Ergebnissen abweicht.

Beide Ansätze haben den Nachteil, dass sich die Schaltfrequenz bei Variationen der Eingangsspannung oder bei Toleranzabweichungen des Hysterese-Fensters ändert. Auch wenn der Wandler für unterschiedliche Ausgangsspannungen ausgelegt werden soll, wird die Schaltfrequenz nicht konstant bleiben. Dies erschwert die Auslegung von erforderlichen EMV-Filtern. Nichts desto trotz konnten mit beiden Ansätzen gute Ergebnisse erzielt werden. Die Ausgangsspannung erreicht für einen vorgegebenen Laststrombereich den gewünschten Wert und es konnte ein sicherer Betrieb eingestellt werden. Die einfache Auslegung in Bezug auf die geringe Anzahl an Komponenten und die geringe Komplexität bei der Umsetzung sind ein weiterer wichtiger Vorteil beider Schaltungen und ermöglichen einen einfachen Einstieg in die Thematik. Da kein verzögernder Operationsverstärker oder Kompensationsnetzwerk benötigt wird, reagieren beide Schaltungen auch besonders schnell auf transiente Störparameter.

Topologien, die neben einer Hysterese-Regelung auch eine feste Schaltfrequenz besitzen, fallen in der Regel komplexer aus. Diese Arbeit bietet eine gute Grundlage, um auf diese Topologien aufzubauen.

5 Literaturverzeichnis

- [1] M. Krause, „Entwicklung eines spannungsgeführten synchronen Abwärtswandlers mit CMOS Schaltern für eine Wandlung von 12V auf 3.3V bei einer Last von 0.5A. Bachelorarbeit,“ 2016.
- [2] „Wikipedia: PFM,“ [Online]. Available: <https://de.wikipedia.org/wiki/Deltamodulation>.
- [3] C. Glaser, „Electronicdesign: Voltage-mode, Hysteretic, Or Hysteretic-Based: Which To Choose?,“ 2014. [Online]. Available: <https://www.electronicdesign.com/power-management/article/21798877/voltage-mode-hysteretic-or-hysteretic-based-which-to-choose>.
- [4] A. D. Nardo, N. Femia, G. Petrone und G. Spagnuolo, „Optimal Buck Converter Output Filter Design for Point-of-Load Applications,“ in *IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS*, 2010.
- [5] B. Bao, J. Yang, J. Xu, X. Zhang und G. Zhou, „Effect of output capacitor ESR on dynamic performance of voltage-mode hysteretic controlled buck converter,“ 2013.
- [6] T. Nabeshima, T. Sato, K. Nishijima und K. Onda, „Hysteretic PWM control method for all types of DC-to-DC converters,“ in *INTELEC 07 - 29th International Telecommunications Energy Conference*, Italy, 2008.
- [7] T. Nabeshima, T. Sato, S. Yoshida, S. Chiba und K. Onda, „Analysis and design considerations of a buck converter with a hysteretic PWM controller,“ in *IEEE 35th Annual Power Electronics Specialists Conference*, Germany, 2004.
- [8] „Verilog AMS: Timing Statements,“ [Online]. Available: <https://verilogams.com/refman/modules/analog-procedural/timing.html>.
- [9] D. Mohol, G. Bhagwat und A. Garg, „Transient Response versus Ripple – An Analysis of Ripple Injection Techniques Used in Hysteretic Controllers,“ in *Texas Instruments, Application Report*, 2014.
- [10] Z. Li, „Monolithicpower: THE MP2905 HYSTERESIS VOLTAGE CONTROLLER - AN023,“ 2011. [Online]. Available: https://www.monolithicpower.com/en/documentview/productdocument/index/version/2/document_type/Application%20Note/lang/en/sku/MP2905/document_id/188/.