

Bachelorarbeit

zur Erlangung des akademischen Grades
Bachelor of Engineering

Im Studiengang
Elektrotechnik (Energie- & Umwelttechnik)

**Temperaturstabile Bandgap-Spannungsreferenz mit
stabilisiertem Differenzverstärker mit einer Referenzspannung
von 1,2 V für die Verwendung in einem synchronen Buck-
Konverter**

„Temperature-stable bandgap voltage reference with stabilized
differential amplifier with a reference voltage of 1.2 V for use in a
synchronous buck converter“

Vorgelegt von

Alperen Yigit

am 22.04.2022

an der Fachhochschule Dortmund

Betr. Professor: Prof. Dr.-Ing. Michael Karagounis

Kurzzusammenfassung

In dieser Arbeit wird eine temperaturstabile Bandgap-Spannungsreferenzschaltung (dt. Bandabstandsreferenz) mit stabilisiertem Differenzverstärker für einen synchronen Buck-Konverter (dt. Abwärtswandler) entwickelt, welcher eine Eingangsspannung von 3,3 V in eine Ausgangsspannung von 1,2 V umwandelt.

Die Bandgap-Spannungsreferenzschaltung ist eine von vielen benötigten Komponenten des synchronen Buck-Konverters, welche im Rahmen dieser Arbeit entwickelt wurde und in die Schaltung des Buck-Konverters integriert werden soll.

Für die Entwicklung und Simulation der Schaltung der Spannungsreferenz wird das Programm „Virtuoso 6.1-64b“ des Softwareherstellers „Cadence Design Systems“ verwendet. Cadence Design Systems, Inc. ist einer der weltweit größten Anbieter von Entwurfsautomatisierung elektronischer Systeme. Diese Software bietet Simulationsmodelle für alle im Abwärtswandler verwendeten Bauteile.

Abstract

In this thesis, a temperature-stable bandgap voltage reference circuit with stabilized differential amplifier is developed for a synchronous buck converter, which converts an input voltage of 3.3 V to an output voltage of 1.2 V.

The bandgap voltage reference circuit is one of many required components of the synchronous buck converter, which has been developed in the framework of this thesis and will be integrated in the buck converter circuit.

The "Virtuoso 6.1-64b" program of the software manufacturer "Cadence Design Systems" is used for the development and simulation bandgap voltage reference circuit. Cadence Design Systems, Inc. is one of the world's largest providers of design automation for electronic systems. This software provides simulation models for all components used in the step-down converter.

Inhaltsverzeichnis

Kurzzusammenfassung	2
Abstract	2
Inhaltsverzeichnis	3
Abkürzungsverzeichnis	5
Nomenklatur	1
1 Einleitung	3
2 Grundlagen	4
PNP-Transistor	4
Funktion und Aufbau des NMOS-Transistors:.....	5
Funktion und Aufbau des PMOS-Transistors:.....	7
Die Sättigungsspannungen	8
Miller-Effekt.....	10
Stromspiegelung.....	10
Funktionsweise des Stromspiegels	11
Operationsverstärker und Prinzip des virtuellen Kurzschlusses	12
Das spezielle Nyquist-Kriterium	14
3 Grundgerüst und Funktion des Buck-Konverters	17
3.1 Aufbau des Buck-Konverters.....	18
3.2 Kurzbeschreibung der Komponenten.....	19
3.2.1 LC-Glied	19
3.2.2 PID-Regler	20
3.2.3 Komparator	20
3.2.4 Sägezahngenerator.....	21
3.2.5 CMOS Schalter	21
3.2.6 Referenzschaltung.....	21
4 Referenzschaltung mit idealem OPV (Differenzverstärker)	21
4.1 Widerstands-Arrays für besseres Matching	30
4.1.1 Auswahl der Parameter für die Widerstände.....	32
4.2 Auswahl der Transistoren.....	35
4.2.1 Auswahl der Parameter für die Transistoren.....	35
4.3 Start-Up-Schaltung.....	37
4.4 DC-Analyse.....	40
4.4.1 Referenzspannung bei 3,3 V Eingangsspannung.....	40
4.4.2 Referenzspannung bei 2,5 V Eingangsspannung.....	41

4.4.3	Referenzspannung bei 3,5 V Eingangsspannung	42
4.5	Corner-Analyse	42
5	Entwurf der Referenzschaltung stabilisiertem OPV (Differenzverstärker).....	44
5.1	Dimensionierung	45
5.2	Symbol	47
5.3	Stabilität der Bandgapschaltung	48
5.3.1	Simulationen für die Stabilität	49
	Auswahl der Parameter für den Widerstand und den Kondensatoren	57
	Auswahl der Parameter für die Transistoren im OPV	57
5.3.2	DC-Sweep-Analyse für die Untersuchung des Start-Up-Verhaltens	62
5.3.3	Transiente-Analyse für Start-Up-Verhalten	65
6	Fazit	70
	Abbildungsverzeichnis	71
	Tabellenverzeichnis	72
	Quellenverzeichnis.....	73
	Erklärung.....	74

Abkürzungsverzeichnis

<i>CMOS</i>	complementary metal oxide semiconductor feild effect transistor
<i>HSS</i>	High Side Switch
LC-Glied	Kombination von Induktivität und Kapazität
<i>LSS</i>	Low Side Switch
<i>MOSFET</i>	metal-oxide-semiconductor field-effect transistor
<i>NMOS</i>	n-type metal-oxide semiconductor feild effect transistor
<i>n</i>	negativ
<i>p</i>	positiv
<i>PID</i>	Regler mit Proportional-, Integral- und Differentialanteilen
<i>PMOS</i>	p-type metal-oxide semiconductor feild effect transistor
<i>PVT</i>	process, voltage and temperature

Nomenklatur

A	Verstärkung
C	Kondensator
C_{ox}	Gateoxid-Kapazität
E_g	Bandlückenenergie bei Silizium
g_m	Transistor-Steilheit
I_C	Kollektorstrom
I_G	Gesamtstrom
I_L	Spulenstrom
I_S	Sättigungssperr- bzw. Sperrstrom
I_0	Schwellenspannungsstrom
k	Skalierbarkeitsfaktor der Spannung mit Temperaturkoeffizienten
k_B	Boltzmann-Konstante
L	Spule
n_i	intrinsische Minoritätsladungsträgerdichte
q	Elementarladung
R	Widerstand
R_{ideal}	Einheitswiderstand
R_L	Lastwiderstand
S_t	spektrale Rauschleistungsdichte

t	Zeit
T	Periodendauer
U_a	Ausgangsspannung am Differenzverstärker
U_{BE}	Basis-Emitter Spannung
ΔU_{BE}	Basis-Emitter Spannungänderung
U_{DSAT}	Sättigungsspannung des Transistors
U_{diff}	Differenzspannung
U_e	Eingangsspannung am Differenzverstärker
U_{GS}	Gate-Source-Spannung
U_m	nichtinvertierender Eingang
U_p	invertierender Eingang
U_{ref}	Spannungsreferenzquelle
U_T	Temperaturspannung
U_{th}	Schwellenspannung des Transistors
μ	Ladungsträgerbeweglichkeit der Minoritätsladungsträger
μ_0	Magnetische Feldkonstante
∞	unendlich

1 Einleitung

Im Rahmen dieser Bachelor-Thesis wird eine temperaturstabile Bandgap-Spannungsreferenzschaltung (dt. Bandabstandsreferenz) für einen synchronen Buck-Konverter (dt. Abwärtswandler) entworfen. Die Bandgap-Spannungsreferenzschaltung ist eine von vielen benötigten Komponenten des synchronen Buck-Konverters. Ein synchroner Buck-Konverter hat im Prinzip die Aufgabe, eine hohe Gleichspannung in eine niedrigere Betriebsspannung herabzusetzen. Im Vergleich zu anderen Spannungsreglern besitzt der Buck-Konverter den gravierenden Vorteil, bei der Umwandlung einen Wirkungsgrad von bis zu 95 % zu erreichen. Zudem ist es möglich, ihn mit einfachen elektronischen Bauteilen zu realisieren. Buck-Konverter sind in der Elektronik weit verbreitet und werden bspw. in Notebooks, HGÜ (Hochspannungs-Gleichstrom-Übertragung), Smartphones und in der Automobilindustrie verwendet.

Die Bandgap-Spannungseferenzschaltung soll unabhängig von der Versorgungsspannung (3,3 V), den Technologievariationen und einer möglichen Umgebungstemperatur zwischen -20 °C und $+60\text{ C}^{\circ}$ stets eine konstante Referenzspannung von $1,2\text{ V}$ ($\pm 20\text{ mV}$) liefern, die dem Regler, so wie dem Sägezahngenerator des synchronen Buck-Konverters zugeführt wird. Als Kriterium für die Stabilität des Reglers muss eine Phasenreserve von mindestens 60° erreicht werden. Zur Stabilisierung wird zwischen erster und zweiter Verstärkerstufe des selbst entworfenen OPVs (Differenzverstärkers) eine Kapazität (Miller-Kompensation) geschaltet.

Die Schaltung wurde mit der Simulationssoftware „Virtuoso 6.1-64b“ des Unternehmens „Cadence Design Systems“ in der 180 nm CMOS-Technologie der Firma UMC (United Microelectronics Corporations) erfolgreich realisiert. Dieses Teilprojekt verläuft parallel zu weiteren Teilprojekten, welche von anderen Kommilitonen bearbeitet werden und gemeinsam das Ziel verfolgen, eine vollständige Implementation eines Buck-Konverters in CMOS-Technologie zu erreichen. Durch wöchentliche Meetings unter der Führung von Herrn Prof. Dr. Karagounis ist es möglich, mit allen Projektteilnehmern zu kommunizieren und den aktuellen Bearbeitungsstand zu erfahren.

2 Grundlagen

Üblicherweise werden bei der Schaltungsentwicklung in CMOS-Technologie NMOS- und PMOS-Transistoren verwendet. Für den Aufbau von Bandgap-Schaltungen kommen jedoch auch PNP-Transistoren zum Einsatz. In CMOS-Technologien entstehen Bipolartransistoren parasitär aus den Dotierungsstrukturen, die eigentlich für die Realisierung von MOS-Transistoren vorgesehen sind. In einem CMOS-Prozess kann ein PNP-Transistor beispielsweise wie in **Abbildung 1** dargestellt als P-SUB/N-WELL/P-DIFF Struktur implementiert werden.

PNP-Transistor

Der PNP-Transistor besteht aus zwei p-dotierten Schichten, zwischen denen eine möglichst dünne n-dotierte Schicht liegt. In **Abbildung 1** entspricht das NWELL der Basis, während das Substrat den Kollektor und die P-DIFF Struktur den Emitter bilden. In CMOS-Technologien implementierte Bipolartransistoren erreichen nur geringe Stromverstärkungsfaktoren aufgrund der nicht optimalen Beschaffenheit der Basis, besitzen aber sonst die gleichen Eigenschaften wie reguläre Bipolartransistoren.

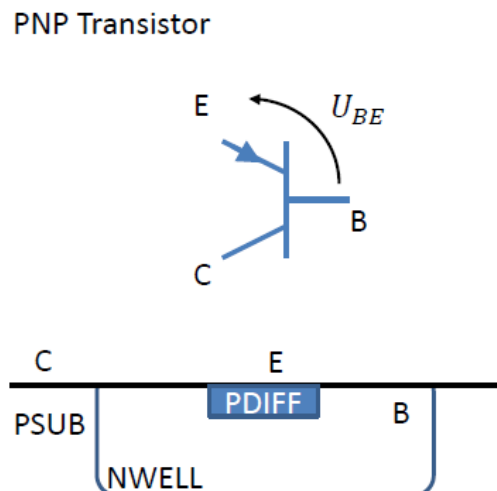


Abbildung 1: Darstellung der Spannungen U_{BE} und Dotierungsschichten des PNP Transistors [1]

Für den Strom zwischen Kollektor und Emitter gilt:

$$I_C = I_S \cdot e^{\frac{U_{BE}}{U_T}} \quad (1)$$

Bei I_S handelt es sich um den Sperrstrom gemäß **Formel (19)** und wird näher auf **S. 24** beschrieben.

U_T entspricht der Temperaturspannung gemäß **Formel (34)** und wird auch näher auf **S. 27** beschrieben.

Die Basis-Emitter-Spannung U_{BE} wird gemäß **Formel (23)** auf **S. 25** ebenso näher beschrieben.

Funktion und Aufbau des NMOS-Transistors:

In **Abbildung 2** wird der Aufbau eines NMOS-Transistors und die Ladungsverhältnisse im leitenden Zustand dargestellt:

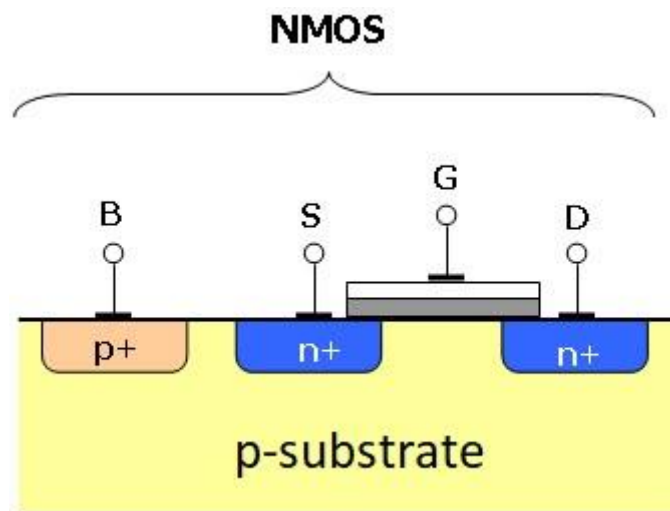


Abbildung 2: Prinzipieller Aufbau eines NMOS-Transistors im Querschnitt

Das Substrat eines NMOS-Transistors besteht aus p-dotiertem Silizium. Durch Ionen-Implantationen werden zwei n-dotierte Inseln hergestellt. N-dotiert bedeutet hierbei, dass neben den normalen Silizium-Atomen Fremdatome aus der 5. Hauptgruppe eingebracht werden, die weitere Elektronen bereitstellen,

die frei beweglich sind. Als nächstes wird eine Isolationsschicht benötigt. Diese wird meist aus Siliziumdioxid hergestellt. Hierauf wird eine Schicht aus hochdotiertem polykristallinem Silizium aufgedampft. Die zwei stark n-dotierten Inseln im p-Substrat entsprechen den elektrischen Anschlüssen des Transistorskanals d. h. der Source (dt. Quelle) und dem Drain (dt. Abfluss) sowie Bulk. Source und Bulk sind oft miteinander verbunden und liegen dadurch auf demselben Potential. Zusätzlich entspricht die isolierte Polysilizium Elektrode dem Gate (dt. Tor) des Transistors. Mit dem Gate wird der Stromfluss zwischen Source und Drain gesteuert. Sofern keine Spannung am Gate anliegt, findet kein Stromfluss statt, da keine freien Ladungsträger zwischen den beiden n-dotierten Bereichen zur Verfügung stehen. Wird jedoch eine positive Spannung am Gate angelegt, so bildet sich ein positives elektrisches Feld aus, das Elektronen in der p-dotierten Schicht anzieht, die Löcher jedoch abstößt. Die Elektronen bilden einen n-leitenden Kanal, der schließlich den Strom von Source nach Drain leiten kann. Dabei ist zu beachten, dass die Stromstärke zwischen Source und Drain durch Erhöhung der Gate-Spannung verstärkt werden kann. Durch die Erhöhung der Gate-Spannung wird auch das elektrische Feld zwischen Gate und Kanal verstärkt, wodurch mehr freie Ladungsträger angezogen werden und der Transistorkanal an Leitfähigkeit zunimmt. Da ohne Spannung am Gate kein Stromfluss zwischen Source und Drain möglich ist, nennt sich diese Transistorart auch „selbstsperrend“.

In **Abbildung 3** sind gängige Schaltsymbole für den NMOS-Transistor dargestellt. Wenn Source und Bulk miteinander verbunden sind, wird oft entweder das mittlere oder das rechte Schaltsymbol ohne Bulk Kontakt verwendet.

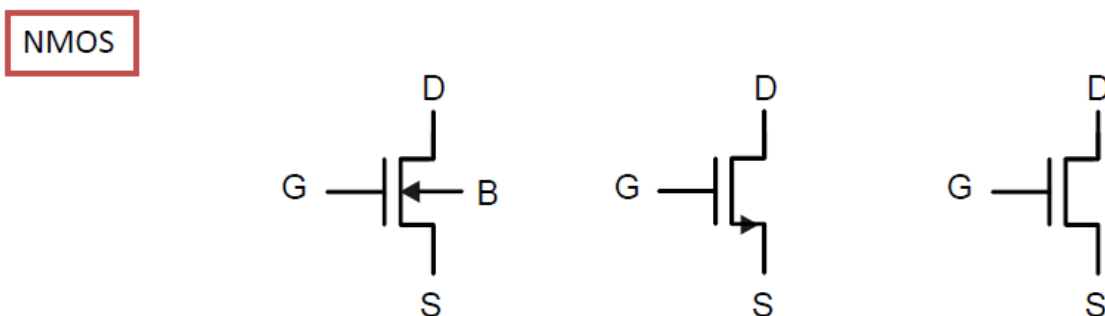


Abbildung 3: Schaltsymbole für ein NMOS

Funktion und Aufbau des PMOS-Transistors:

In **Abbildung 4** wird der Aufbau eines PMOS-Transistors dargestellt:

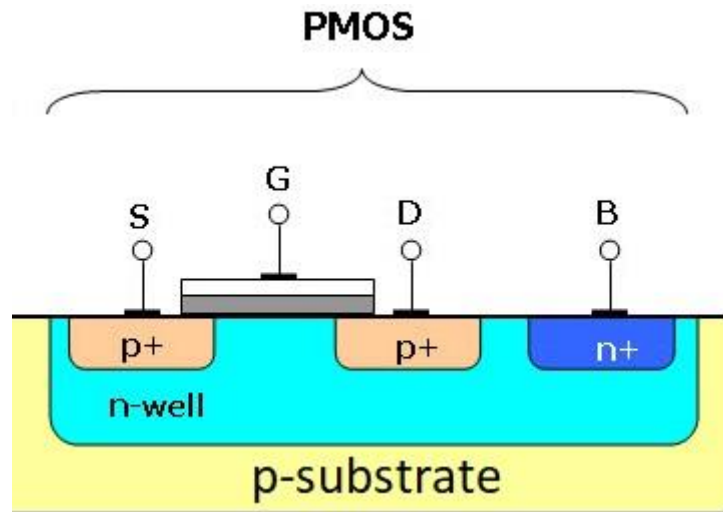


Abbildung 4: Prinzipieller Aufbau eines PMOS-Transistors im Querschnitt

Der PMOS-Transistor funktioniert ähnlich wie der NMOS, jedoch mit umgekehrten Spannungs- und Strompolaritäten. Der PMOS-Transistor liegt in einer n-dotierten Silizium-Substrat Wanne, die in das globale p-dotierte Substrat eingebracht wurde. Die N-Wanne wird an zwei Stellen p-dotiert. Zwischen den beiden p-dotierten Bereichen wird wie beim NMOS-Transistor eine Isolationsschicht aufgebracht.

Da beim PMOS Löcher als Ladungsträger fungieren, wird der Anschluss, an dem das höhere Potential anliegt, mit Source bezeichnet. Wenn eine kleinere Gate-Source-Spannung kleiner als die (negative) Schwellwertspannung anliegt, so werden die Elektronen von der Grenzschicht verdrängt und Löcher angezogen und es entsteht somit ein leitender Kanal.

Wird eine Drain-Source-Spannung angelegt, indem beispielsweise das Potential an der Source erhöht wird, beginnt Strom zu fließen.

In **Abbildung 5** sind gängige Symbole für den PMOS-Transistor dargestellt. Die Position und Richtung des Pfeils bzw. der Kreis am Gate macht den Transistor als PMOS kenntlich.

PMOS

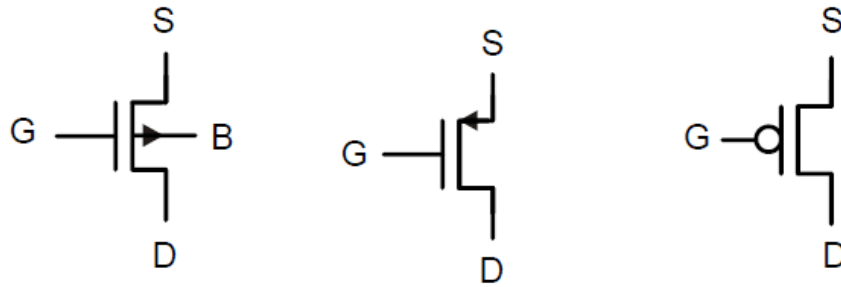


Abbildung 5: Schaltsymbole für ein PMOS

Die Sättigungsspannungen

Man unterscheidet zwei Arbeitsbereiche beim Betrieb des Transistors. Einmal den Arbeitsbereich der starken Inversion und einmal den Bereich der schwachen Inversion. Bei der starken Inversion gibt es eine quadratische Abhängigkeit zwischen Transistorstrom und Gate-Source-Spannung U_{GS} . Das ist der Fall, wenn sich die Gate-Source-Spannung oberhalb der Schwellenspannung U_{th} befindet bzw. die Sättigungsspannung $U_{D_{sat}}$ bei Werten größer als 100 mV, nahezu 200 mV liegt. Die Formel der starken Inversion ist gegeben durch:

$$I = \frac{1}{2} \cdot \mu \cdot C_{ox} \cdot \frac{W}{L} \cdot (U_{GS} - U_{th})^2 \quad (2)$$

μ ist die Ladungsträgerbeweglichkeit. C_{ox} ist die Gateoxid-Kapazität, U_{GS} die Gate-Source-Spannung und U_{th} die Schwellenspannung des Transistors. Diese Größen können nicht verändert werden, so bleibt nur das Verhältnis der Breite W zur Länge L , womit der Strom eingestellt werden kann. Allerdings gilt diese Transistor-Gleichung nur, wenn sich der Transistor in starker Inversion und im Sättigungsbereich befindet. Das heißt, es muss $U_{GS} > U_{th}$ und $U_{DS} > U_{D_{SAT}} = U_{GS} - U_{th}$ gelten. $U_{D_{SAT}}$ ist dabei die Sättigungsspannung.

Bei schwacher Inversion stellt sich ein exponentieller Zusammenhang zwischen Transistorstrom und Gate-Source-Spannung ein. Das bedeutet, dass der Transistor eine wesentlich höhere Steilheit als in der starken Inversion besitzt. Die Formel der schwachen Inversion ist gegeben durch:

$$I = I_0 \cdot \frac{W}{L} e^{+\frac{U_{GS}-U_{th}}{k_B \cdot U_T}} \quad (3)$$

Die Sättigungsspannung eines Transistors kann über die jeweilige Geometrie verändert werden. Ändert man bei gegebenem Strom die Breite eines Transistors, so ändert sich auch die Sättigungsspannung. Einzelne Kriterien müssen beachtet werden, um eine optimale Sättigungsspannung für einzelne Transistoren festzulegen. Ist die Drain-Source Spannung eines Transistors kleiner als die Sättigungsspannung, befindet sich der Transistor im linearen Bereich (siehe **Abbildung 6**) und der Transistorstrom hängt sowohl von der Gate-Source als auch von der Drain-Source Spannung ab. Ist die Drain-Source Spannung größer als die Sättigungsspannung, hängt der Strom nur noch von der Gate-Source Spannung ab. Je größer die Gate-Source-Spannung, desto größer ist auch der Strom, der durch den Transistor fließt. [2]

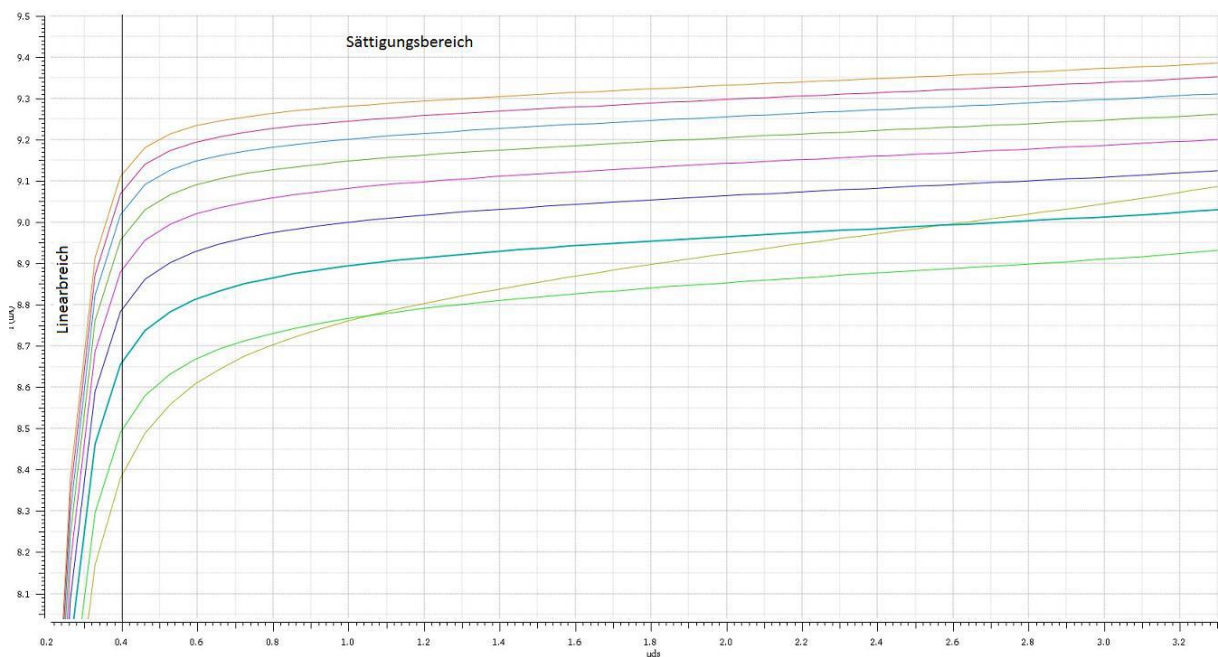


Abbildung 6: Linear- und Sättigungsbereich [2]

Miller-Effekt

Transistoren haben aufgrund ihrer baulichen Beschaffenheit immer parasitäre Kapazitäten. Die Kapazitäten sind in der Regel unerwünscht, aber unvermeidlich.

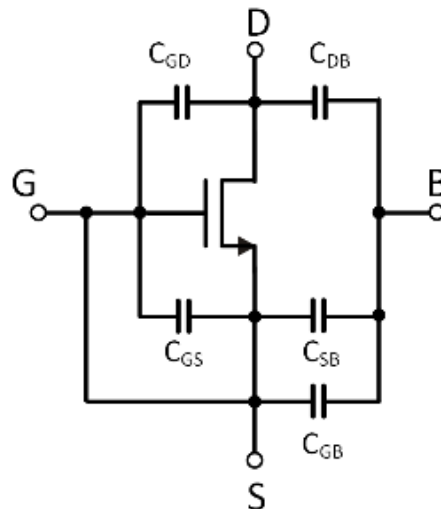


Abbildung 7: Parasitäre Kapazitäten eines Transistors [3]

Bei einem MOSFET ist der Gate-Anschluss von den anderen Anschlüssen durch eine Oxidschicht getrennt, wodurch sich zwischen Gate, Drain und Source Kondensatoren bilden. C_{GS} und C_{GD} sind die Kapazitäten der Oxidschicht. Der Millereffekt beschreibt den Einfluss der Rückkopplungskapazität bei einem invertierenden Verstärker. Im einfachsten Fall sind invertierende Verstärker Transistoren in Source-Schaltung. Die parasitären Kapazitäten bewirken eine Kopplung des Ausgangs auf den Eingang. Bei einer hohen Verstärkung A erscheint diese Kapazität um diese Verstärkung größer am Eingang. [3]

Stromspiegelung

Ein Stromspiegel ist eine stromgesteuerte Stromquelle und ermöglicht, Ströme zu kopieren und sie zu skalieren. Durch die Veränderung der Stromstärke I_1 wird ebenfalls die Stromstärke I_2 verändert (gemäß **Formel (4)** auf **S. 11**). [4]

Funktionsweise des Stromspiegels

Um den gleichen Strom zu erzeugen, sollten die Transistoren identisch dimensioniert sein, d. h. dieselbe Kanallänge und Kanalbreite besitzen. Dadurch haben die Transistoren dieselbe Eingangskennlinie. Werden die Transistoren so geschaltet, dass die Gate- und die Source-Anschlüsse auf demselben Potential liegen, ist der Strom I_2 äquivalent zu I_1 . Wenn die Transistoren unterschiedliche Breiten und Längen haben, so wird der Strom I_2 vergrößert oder verkleinert. Da die Schwellenspannung durch parasitäre Effekte von der Kanallänge abhängig ist, sollten Transistoren in Stromspiegeln vorzugsweise die gleiche Kanallänge besitzen. Die Skalierung des Stromes sollte allein durch die Variation der Transistorbreite erfolgen. Eine hohe Spiegelgenauigkeit wird besonders bei ganzzahligen Vielfachen oder Teilern erreicht, wenn Transistoren unterschiedlicher Breite durch Parallelschaltung von Einzeltransistoren gleicher Breite erfolgen. [4]

Die Gleichung für die Einstellung des Eingangsstromes I_2 in Abhängigkeit des Eingangsstromes I_1 lautet:

$$I_2 = \frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}} \cdot I_1 \quad (4)$$

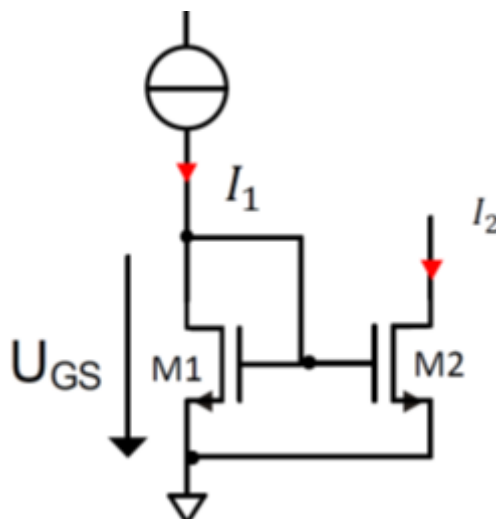


Abbildung 8: Stromspiegel [5]

Operationsverstärker und Prinzip des virtuellen Kurzschlusses

Ein in der analogen Schaltungstechnik häufig eingesetztes Bauteil ist der Operationsverstärker. Auch in der entwickelten Bandgap-Spannungsreferenz wird dieses Bauelement eingesetzt und wird deswegen im Folgenden erläutert.

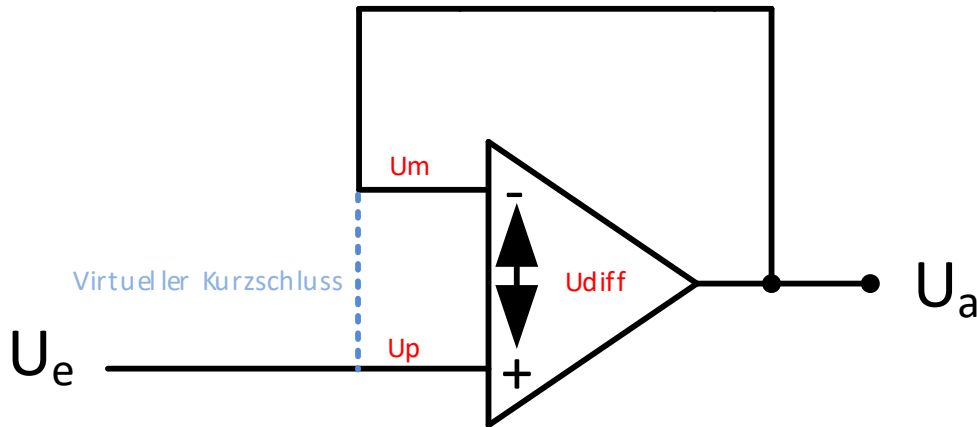


Abbildung 9: Grundsaltung eines OPV mit virtuellem Kurzschluss

Wenn die Ausgangsspannung eines Operationsverstärkers mit hoher Verstärkung A auf den negativen bzw. invertierenden Eingang zugeführt wird, so gilt das Prinzip des virtuellen Kurzschlusses. Durch die Rückführung regelt sich das Potential zwischen dem invertierenden (U_m) und nichtinvertierenden Eingang (U_p) deshalb so ein, dass die Differenz U_{diff} sehr klein wird, als wären beide Eingänge kurzgeschlossen.

Aufgrund der Rückführung ist die Spannung U_m am invertierenden Eingang also in etwa genauso groß wie die Spannung U_p am nichtinvertierenden Eingang.

Somit gilt im Idealfall für die Spannungen U_a und U_e in **Abbildung 9**:

$$U_a = U_e \quad (5)$$

Gleichzeitig gilt auch:

$$U_p = U_e \quad (6)$$

$$U_m = U_a \quad (7)$$

$$U_a = A (U_p - U_m) \quad (8)$$

Um das Verhältnis zwischen der Ausgangsspannung U_a und Eingangsspannung U_e zu bestimmen, wird die Gleichung so aufgelöst, dass U_a auf einer Seite und U_e auf der anderen Seite steht.

Nach dem Einsetzen ergibt sich folgende Gleichung:

$$U_a = A(U_e - U_a) \quad (9)$$

$$U_a = A \cdot U_p - A \cdot U_m \quad (10)$$

$$U_a + U_a \cdot A = A \cdot U_e \quad (11)$$

Nach dem Ausklammern erfolgt:

$$U_a (1 + A) = A \cdot U_e \quad (12)$$

Nun wird auf die Ausgangsspannung U_a umgestellt:

$$U_a = \frac{A}{1 + A} \cdot U_e \quad (13)$$

Bei einer angenommenen Verstärkung von $A = \infty$ des Operationsverstärkers ergibt sich für obige Formel:

$$U_a \approx U_e \quad (14)$$

Dieses Ergebnis bestätigt damit das Konzept des virtuellen Kurzschlusses.

Das spezielle Nyquist-Kriterium

Das spezielle Nyquist-Kriterium wird anhand des folgenden Systems erklärt. In der **Abbildung 10** ist ein einfacher Regelkreis zu sehen. $F_o(s)$ ist die Übertragungsfunktion des offenen Regelkreises, welche den Regler, das Stellglied, die Regelstrecke und das Rückkoppelglied einschließt. $Y(s)$ ist die Ausgangs- und $W(s)$ die Führungsgröße. Alle Signale, auch die Führungsgröße und die Rückkopplung über dem Messglied kann man als eine Überlagerung aus Sinusschwingungen betrachten, die das System durchlaufen. Diese Schwingungen erfahren aufgrund des Übertragungsverhaltens der einzelnen Glieder des Regelkreises eine Phasenverschiebung.

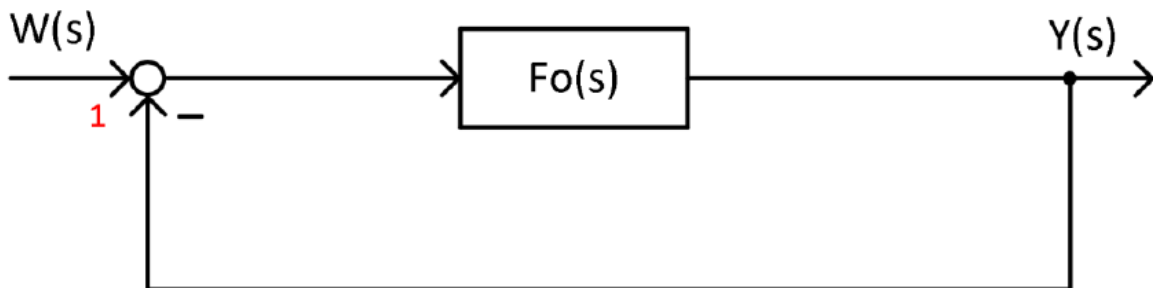


Abbildung 10: Regelkreis [3]

Das Ausgangssignal $Y(s)$ wird auf den Eingang zurückgeführt und von der Führungsgröße $W(s)$ abgezogen. Eine derartige Reglerstruktur wird als Gegenkopplung bezeichnet. Durch die Differenzbildung erhält das zurückgekoppelte Signal eine Phasendrehung von 180° . Des Weiteren überlagern sich an der Stelle (1) die zwei Schwingungen, die dem Eingangs- und dem Rückkoppelsignal entsprechen. Erzeugen die in der Übertragungsfunktion $F_o(s)$ zusammengefassten Glieder des offenen Regelkreises eine Phasendrehung von weiteren 180° , wird aus der Gegenkopplung eine Mitkopplung. In diesem Fall stellt sich statt der Differenzbildung eine Summation der Führungsgröße mit der Rückkoppelgröße ein. Das resultierende Signal steigt dadurch immer weiter an und das System wird instabil. Für die Stabilität des Systems ist die Verstärkung des Regelkreises bei der Frequenz ausschlaggebend, bei der das Rückkoppelsignal eine Phasenverschiebung von 180° erfährt. Ist die Verstärkung bei dieser Frequenz größer als eins, wirkt der Regelkreis wie ein Oszillator und ist instabil. Ist die Verstärkung bei dieser Frequenz kleiner eins, nimmt der Regelkreis einen stabilen stationären Zustand ein.

Besonders anschaulich kann die Stabilität durch die Ortskurve bestimmt werden, welche den Frequenzgang des offenen Regelkreises in Betrag und Phase zeitgleich visualisiert.

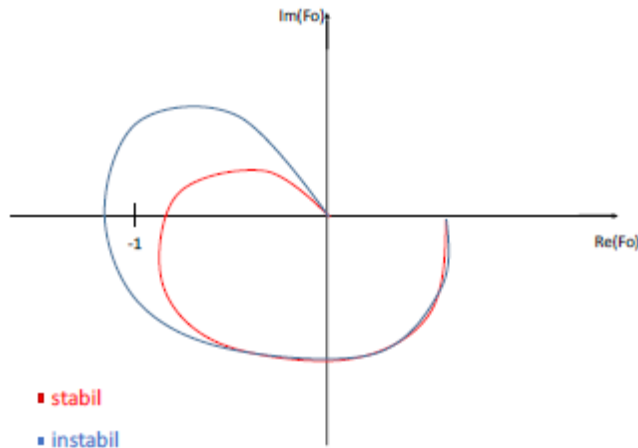


Abbildung 11 :Ortskurve für stabiles und instabiles System [3]

Nach der Definition des Nyquist-Kriteriums ist ein System dann stabil, wenn die Ortskurve des offenen Regelkreises den Punkt -1 der Ortskurvenebene weder umschließt, noch durchdringt. Einfacher ausgedrückt kann man sagen, dass das System stabil ist, wenn die Ortskurve den Punkt -1 in der komplexen Ebene links liegen lässt.

Die Stabilität eines Systems kann aber auch im Bode-Diagramm beurteilt werden. Anders als bei der Ortskurve wird im Bode-Diagramm der Amplituden- und Phasengang in zwei getrennten Kurven dargestellt. Darüber hinaus ist die Frequenzachse im Bode-Diagramm logarithmisch skaliert und die Amplitude in der logarithmischen Einheit Dezibel aufgetragen. In der **Abbildung 12** ist beispielhaft erklärt, wie anhand eines Bode-Diagramms beurteilt werden kann, ob ein System stabil ist.

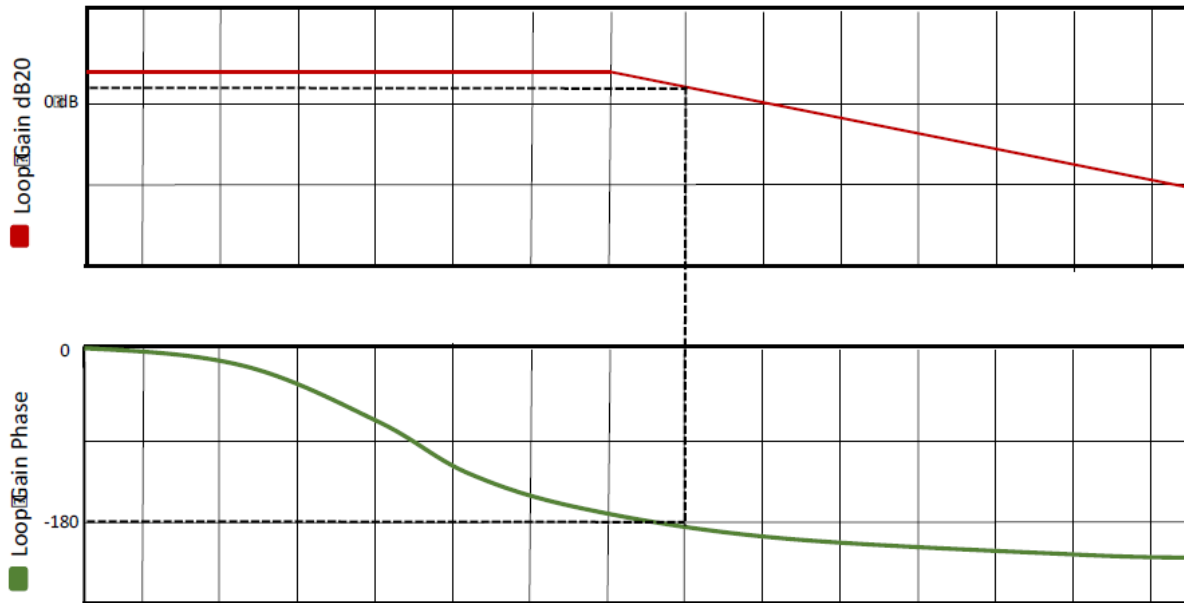


Abbildung 12: Stabilität überprüfen anhand des Bode-Diagramms [3]

Ein System ist stabil, wenn bei einer Phasenverschiebung von $\varphi = -180^\circ$ des offenen Regelkreises die Verstärkung kleiner als 1 ist. Im Bode-Diagramm betrachtet man dazu die kritische 0 dB-Linie. Bei einer Phasendrehung von 180° wird abgelesen, ob die Verstärkung unter oder oberhalb der 0 dB Linie liegt. Das System in **Abbildung 12** wäre somit instabil.

Die Dämpfung eines Reglers kann anhand der Phasenreserve beurteilt werden. Die Phasenreserve sagt aus, wie weit der Phasengang an der Durchtrittsfrequenz von -180° entfernt ist. Die Durchtrittsfrequenz ist die Kreisfrequenz, bei der die Betragskennlinie des offenen Regelkreises durch die 0 dB-Linie tritt. [3]

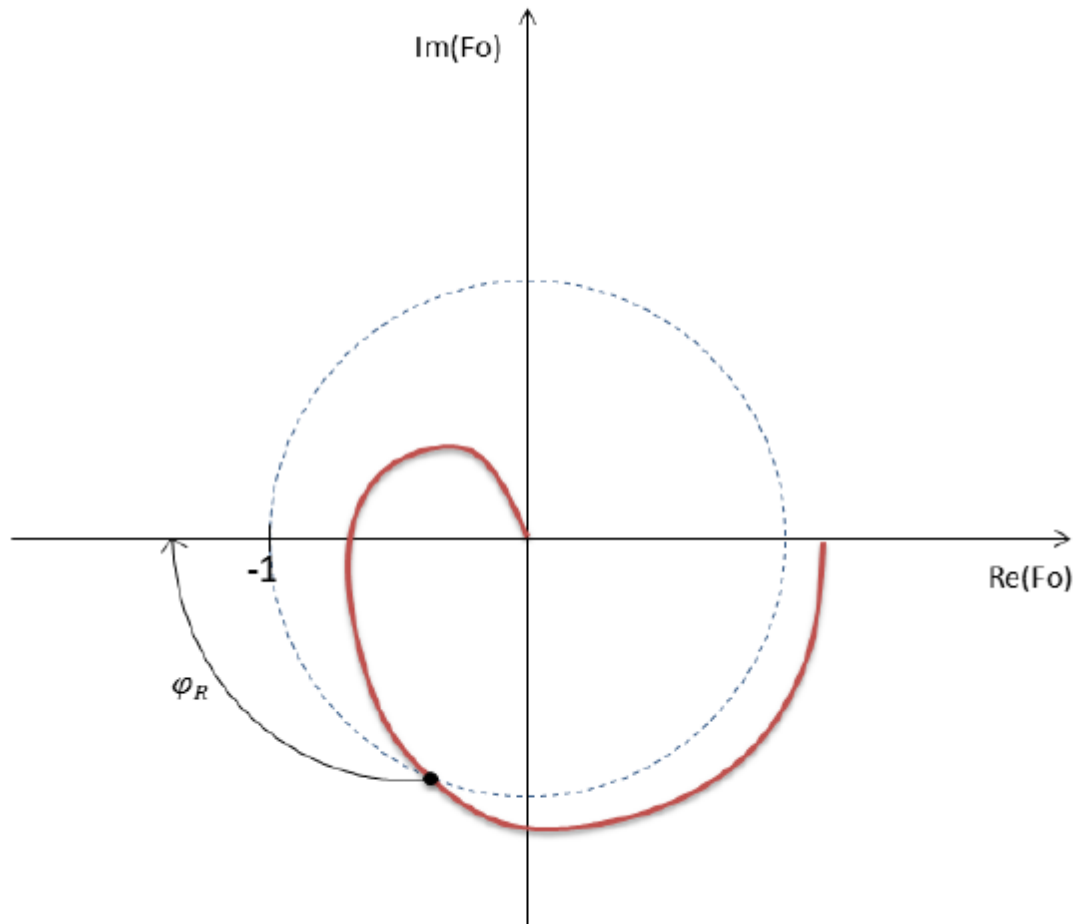


Abbildung 13: Phasenreserve in der Ortskurve

3 Grundgerüst und Funktion des Buck-Konverters

In **Abbildung 14** wird die Grundschaltung des synchronen Buck-Konverters dargestellt. Sie besteht aus zwei Schaltern, einer Induktivität und einer Kapazität sowie einem Regler für die Schalter. Die Schalter HSS (High Side Switch) und LSS (Low Side Switch) werden in der Regel mit MOSFETs verwendet, da im eingeschalteten Zustand trotz angelegter Gate-Source-Spannung kein Steuerstrom fließt und somit eine leistungslose Ansteuerung mit sehr kurzen Schaltzeiten gegeben ist.

Das LC-Glied dient als Energiespeicher und dämpft als LC-Tiefpass unerwünschte Oberwellen.

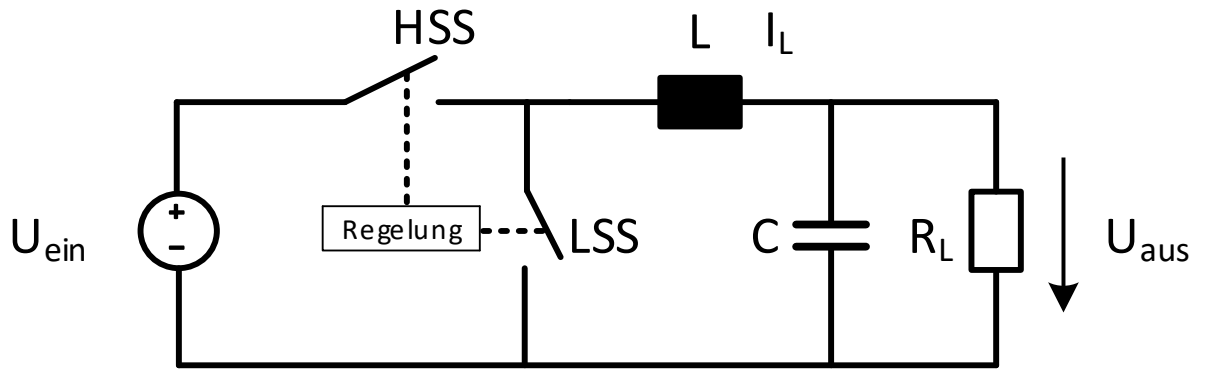


Abbildung 14: Grundaufbau des Buck-Konverters

3.1 Aufbau des Buck-Konverters

In **Abbildung 15** wird der detaillierte Aufbau des Buck-Konverters als Schaltplan dargestellt.

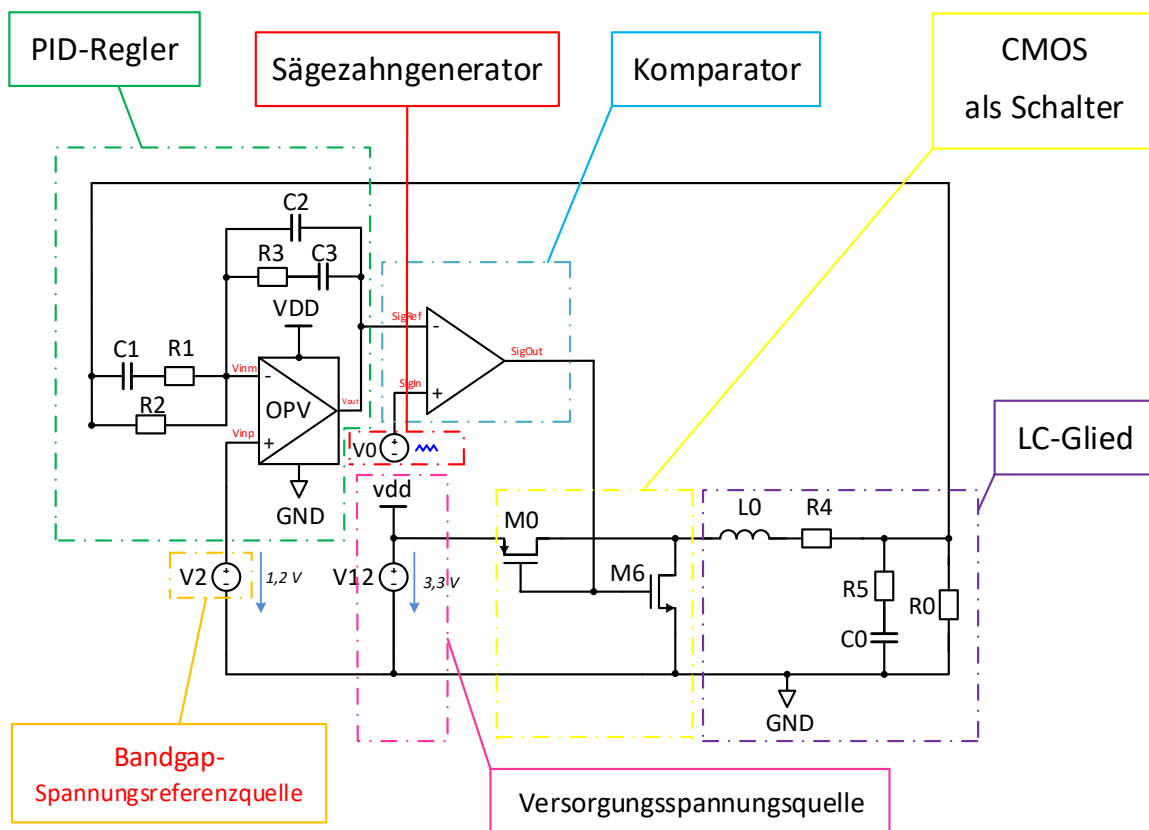


Abbildung 15: Regelkreis des Buck-Konverters mit einzeln markierten Komponenten

Zu der Schaltung gehören die folgenden Komponenten:

- LC-Glied
- PID-Regler
- Komparator
- Sägezahngenerator
- CMOS als Schalter
- Bandgap-Referenzspannungsquelle mit 1,2 V

3.2 Kurzbeschreibung der Komponenten

3.2.1 LC-Glied

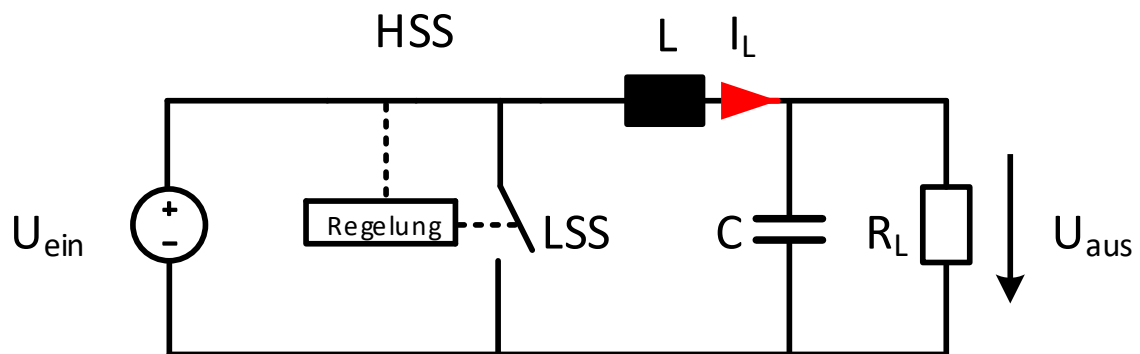


Abbildung 16: Laststromfluss bei geschlossenem HSS

Schließt der HSS, so fließt ein Strom I_L durch die Induktivität L . Der Strom I_L nimmt so lange zu, wie der Schalter geschlossen ist. Öffnet sich der Schalter HSS wieder und schließt der Schalter LSS, nimmt der Strom I_L wieder ab. Dieser Vorgang erfolgt periodisch mehrmals innerhalb einer Sekunde. Die entsprechende Frequenz wird als Schaltfrequenz bezeichnet. Der Kondensator C integriert den Strom, wodurch sich ein Mittelwert für die Kondensatorspannung ausbildet, welcher der Ausgangsspannung U_{aus} entspricht.

Der gewünschte Spannungswert am Ausgang U_{aus} wird über die Ein- und Ausschaltzeit der Transistoren beeinflusst. Für die Bestimmung der Ein- und Ausschaltzeiten der Transistoren wird die Ausgangsspannung eines PID-

Reglers mit der Spannung eines Sägezahngenerators verglichen. Hierfür wird ein Komparator verwendet.

3.2.2 PID-Regler

Der PID-Regler besteht aus einem Operationsverstärker, welcher wie ein invertierender Verstärker verschaltet ist. Er verwendet drei Kondensatoren und drei Widerstände im Eingangs- und Rückkoppelzweig des Verstärkers, um die proportionale, differentiale und integrale Wirkung des Reglers zu erreichen. Die Ausgangsspannung des PID-Reglers wird dem Komparator zugeführt.

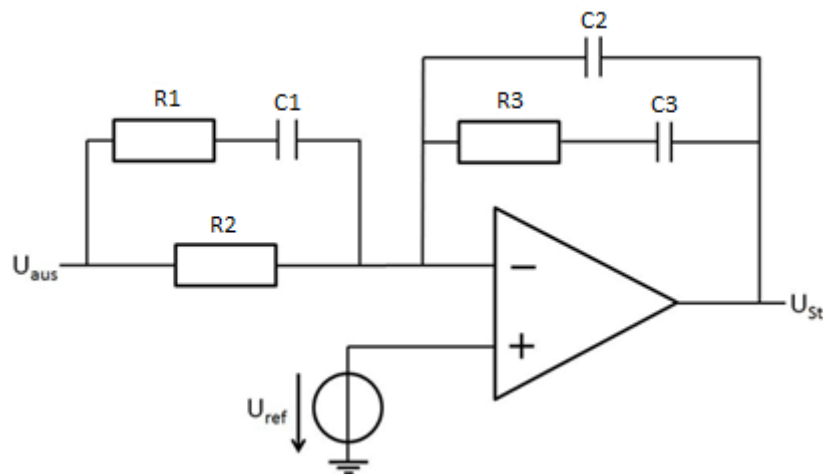


Abbildung 17: PID-Regler mit Spannungsreferenzquelle

3.2.3 Komparator

Der Komparator hat die Aufgabe, die Ausgangsspannung des PID-Reglers mit der Sägezahnspannung zu vergleichen. Hierfür besitzt der Komparator zwei Eingänge an denen die zu vergleichenden Spannungen angelegt werden. Wenn die Spannung am positiven Eingang des Komparators größer als die Spannung am negativen Eingang ist, gibt der Komparator eine logische 1 aus und umgekehrt. Mittels dieses Komparators wird der Umschaltprozess des Abwärtswandlers gesteuert.

3.2.4 Sägezahngenerator

Ein Sägezahngenerator ist ein elektronischer Signalgenerator, welcher eine linear ansteigende Spannung liefert, die periodisch nach einer bestimmten Zeit t wieder auf den Anfangswert zurückspringt. Die Periodendauer T entspricht dabei der Schaltperiode des Abwärtswandlers.

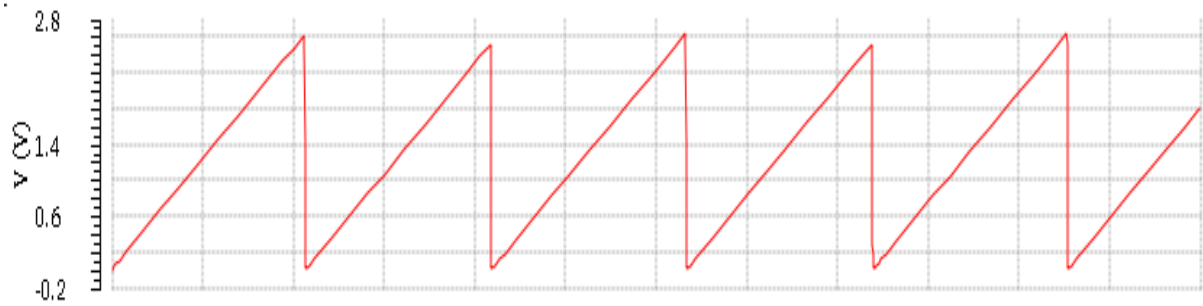


Abbildung 18: Darstellung einer Sägezahnspannung

3.2.5 CMOS Schalter

Eine NMOS/PMOS Schalterkombination wird verwendet, um die Eingangsspannung in eine Rechteckspannung umzuwandeln. Ist der PMOS-Schalter geschlossen und der NMOS-Schalter geöffnet, wird die Versorgungsspannung durchgeleitet. Ist der PMOS-Schalter geöffnet und der NMOS-Schalter geschlossen, ergibt sich eine Spannung von 0 V, welche am Eingang des LC-Gliedes anliegt.

3.2.6 Referenzschaltung

Es wird eine temperaturstabile Bandgap-Spannungsreferenz benötigt, um dem PID-Regler eine konstante Referenzspannung von 1,2 V für den Vergleich mit der Ausgangsspannung zur Verfügung zu stellen.

4 Referenzschaltung mit idealem OPV (Differenzverstärker)

Die Bandgap-Spannungsreferenzschaltung soll unabhängig von der Versorgungsspannung (3,3 V), den Technologievariationen und einer möglichen Umgebungstemperatur zwischen $-20\text{ }^{\circ}\text{C}$ und $+60\text{ }^{\circ}\text{C}$ stets eine

konstante Referenzspannung von 1,2 V (± 20 mV) liefern. Durch die Kombination zweier Spannungen mit jeweils einem negativen und positiven Temperaturkoeffizienten wird durch Einstellen der entsprechenden Koeffizienten eine temperaturunabhängige Spannung erzeugt.

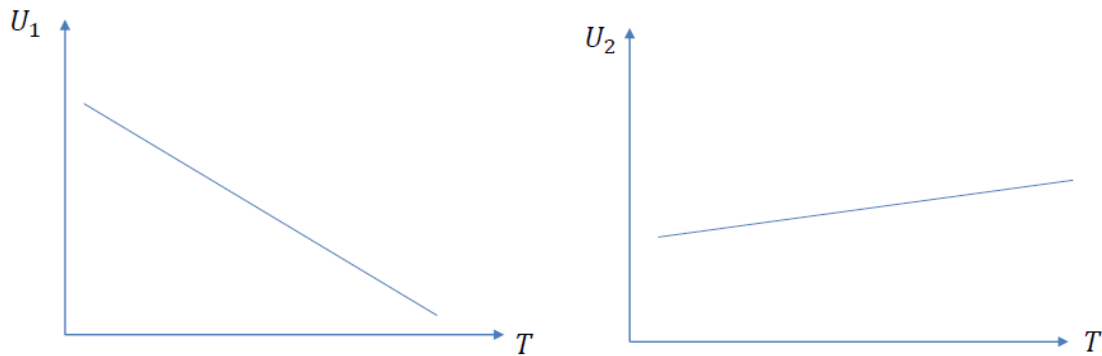


Abbildung 19: Darstellung der negativen und positiven Temperaturkoeffizienten [1]

Eine Spannung mit negativem Temperaturkoeffizienten U_1 (siehe **Abbildung 19** links) sei skalierbar um den Faktor k_1 , so dass gilt:

$$k_1 \cdot U_1 \quad (15)$$

Eine Spannung mit positivem Temperaturkoeffizienten U_2 (siehe **Abbildung 19** rechts) sei skalierbar um den Faktor k_2 , so dass gilt:

$$k_2 \cdot U_2 \quad (16)$$

Durch Überlagerung der skalierten Spannungen U_1 und U_2 mit negativem bzw. positivem Temperaturkoeffizienten entsteht bei richtiger Wahl der Skalierungsfaktoren k_1 und k_2 die temperaturstabile Spannung U_{ref} .

$$U_{ref} = k_1 \cdot U_1 + k_2 \cdot U_2 \quad (17)$$

Der Temperaturkoeffizient der Gesamtspannung U_{ref} muss also = 0 sein.

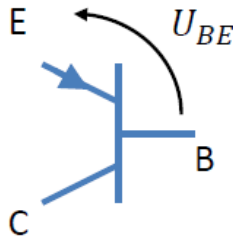


Abbildung 21: Darstellung der Spannungen U_{BE} am PNP-Transistor [1]

Für die Spannung mit negativem Temperaturkoeffizienten kann die Basis-Emitterspannung eines Bipolartransistors U_{BE} herangezogen werden.

Für die Rechnung werden folgende Zusammenhänge und Größen benötigt.

Der Strom in einem Bipolartransistor berechnet sich aus einem Parameter, welcher Sättigungsstrom bzw. Sperrstrom I_S heißt.

$$I_S = k_B \cdot k \cdot T \cdot n_i^2 \quad (19)$$

μ steht dabei für die Ladungsträgerbeweglichkeit der Minoritätsladungsträger. k_B entspricht der Boltzmann Konstante. $T = 300K \approx 27^\circ C$ steht für die absolute Temperatur und n_i für die intrinsische Ladungsträgerkonzentration des verwendeten Substrats. Für die Ladungsträgerbeweglichkeit gilt:

$$\mu \propto \mu_0 \cdot T^m \quad \text{mit} \quad m \approx -\frac{3}{2} \quad (20)$$

μ_0 ist dabei die Ladungsträgerbeweglichkeit bei Raumtemperatur. Für die intrinsische Ladungsträgerkonzentration gilt

$$n_i^2 \propto T^3 \cdot e^{-\frac{E_g}{k_B T}} \quad (21)$$

wobei $E_g = 1,12eV$ der Bandlückenenergie von Silizium entspricht. Sodass sich bei Einsetzen der Gleichungen (20) und (21) in Gleichung (19) für den Sättigungsstrom ergibt:

$$I_S = c \cdot T^{4+m} \cdot e^{-\frac{E_g}{k_B \cdot T}} \quad (22)$$

Für die Basis-Emitter-Spannungen eines Bipolartransistors gilt mit den zuvor definierten Größen.

$$U_{BE} = U_T \cdot \ln\left(\frac{I_C}{I_S}\right) = \frac{k_B T}{q} \cdot \ln\left(\frac{I_C}{I_S}\right) \quad (23)$$

Mit Hilfe der ermittelten Zusammenhänge kann der Temperaturkoeffizient der Spannung U_{BE} wie folgt ermittelt werden:

$$\begin{aligned} \frac{\partial U_{BE}}{\partial T} &= \frac{k_B}{q} \cdot \ln\left(\frac{I_C}{I_S}\right) + \frac{k_B \cdot T}{q} \cdot \frac{I_S}{I} \cdot \left(-\frac{I_C}{I^2 S}\right) \cdot \frac{\partial I_S}{\partial T} \\ &= \frac{k_B}{q} \cdot \ln\left(\frac{I_C}{I_S}\right) - \frac{k_B \cdot T}{q} \cdot \frac{1}{I_S} \cdot \frac{\partial I_S}{\partial T} \end{aligned} \quad (24)$$

$$\frac{\partial I_S}{\partial T} = c(4+m) \cdot T^{3+m} e^{-\frac{E_g}{k_B \cdot T}} + c \cdot T^{4+m} e^{-\frac{E_g}{k_B \cdot T}} \cdot \left(\frac{E_g}{k_B \cdot T^2}\right) \quad (25)$$

$$\frac{1}{I_S} \cdot \frac{\partial I_S}{\partial T} = \frac{(4+m)}{T} + \frac{E_g}{k_B \cdot T^2} \quad (26)$$

$$\frac{\partial U_{BE}}{\partial T} = \frac{k_B}{q} \cdot \ln\left(\frac{I_C}{I_S}\right) - \frac{k_B \cdot T}{q} \cdot \left(\frac{(4+m)}{T} + \frac{E_g}{k_B \cdot T^2}\right) \quad (27)$$

Daraus folgt:

$$\frac{\partial U_{BE}}{\partial T} = \frac{\frac{k_B}{T} \cdot T \cdot \ln\left(\frac{I_C}{I_S}\right) - \frac{k_B \cdot T}{q} (4+m) - \frac{E_g}{q}}{T} \quad (28)$$

So ergibt sich folgender negativer Temperaturkoeffizient:

$$\frac{\partial U_{BE}}{\partial T} = \frac{U_{BE} - U_T(4 + m) - \frac{Eg}{q}}{T} \approx -1,5 \frac{mV}{K} \quad (29)$$

Eine Spannung mit positivem Temperaturkoeffizienten ergibt sich aus der Differenz zweier Basis-Emitter-Spannungen. Diese Spannungsdifferenz fällt in der Schaltung aus **Abbildung 20** über Widerstand R_3 ab. Auf Grund des virtuellen Kurzschlusses gelten die folgenden Spannungsverhältnisse:

$$U_{R1} = U_{R2} = U_{BE1} \quad (30)$$

Durch Maschenbildung ergibt sich:

$$-U_{BE1} + U_{R3} + U_{BE2} = 0 \quad (31)$$

Durch Umstellen der Gleichung nach U_{R3} ergibt sich:

$$U_{R3} = U_{BE1} - U_{BE2} \quad (32)$$

$$U_{R3} = \Delta U_{BE} \quad (33)$$

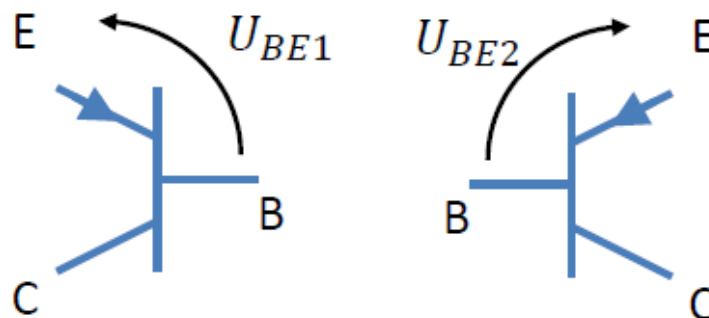


Abbildung 22: Darstellung der Spannungen U_{BE1} und U_{BE2} [1]

Die Formel der Temperaturspannung ergibt sich aus:

$$U_T = \frac{k_B \cdot T}{q} \quad (34)$$

Für U_{BE1} gilt gemäß Gleichung (23) auf **S. 25**:

$$U_{BE1} = U_T \cdot \ln\left(\frac{I_C}{I_S}\right) \quad (35)$$

Da der Transistor **Q3** n mal parallel geschaltet wird gilt für U_{BE2} :

$$U_{BE2} = U_T \cdot \ln\left(\frac{I_C}{n \cdot I_S}\right) \quad (36)$$

Nach Einsetzen in die Hauptgleichung

$$\Delta U_{BE} = U_{BE1} - U_{BE2} \quad (37)$$

ergibt sich:

$$\Delta U_{BE} = U_{BE1} - U_{BE2} = U_T \left[\ln\left(\frac{I_C}{I_S}\right) - \ln\left(\frac{I_C}{n \cdot I_S}\right) \right] \quad (38)$$

$$\Delta U_{BE} = U_T \cdot \ln \cdot \left(\frac{\frac{I_C}{I_S}}{\frac{I_C}{n \cdot I_S}} \right) \quad (39)$$

$$\Delta U_{BE} = U_T \cdot \ln \cdot \left(\frac{I_C \cdot n \cdot I_S}{I_S \cdot I_C} \right) \quad (40)$$

Durch mathematisches Kürzen ergibt sich somit:

$$\Delta U_{BE} = U_T \cdot \ln \cdot n = \frac{k_B \cdot T}{q} \cdot \ln(n) \quad (41)$$

$$\frac{\partial \Delta U_{BE}}{\partial T} = \frac{k_B}{q} \cdot \ln(n) \quad (42)$$

$$8,617 \cdot 10^{-5} \cdot \ln(8) = 1,8 \cdot 10^{-4} \frac{V}{K} \quad (43)$$

Die Ströme lassen sich durch das ohmsche Gesetz wie folgt beschreiben:

$$I_{R2} = \frac{U_{BE1}}{R_2} \quad (44)$$

$$I_{R3} = \frac{\Delta U_{BE}}{R_3} \quad (45)$$

Somit ergibt sich ein Gesamtstrom:

$$I_G = I_{R2} + I_{R3} \quad (46)$$

$$= \frac{U_{BE1}}{R_2} + \frac{\Delta U_{BE}}{R_3} \quad (47)$$

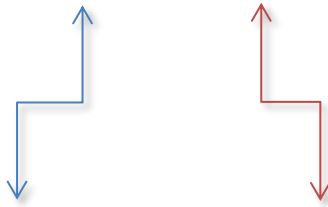
Die Ausgangsspannung bzw. Referenzspannung V_{out} errechnet sich durch:

$$V_{out} = R_4 \cdot I_G \quad (48)$$

$$= R_4 \left(\frac{U_{BE1}}{R_2} + \frac{\Delta U_{BE}}{R_3} \right) \quad (49)$$

Nach Auflösen der Klammer erfolgt:

$$= \frac{R_4}{R_2} \cdot U_{BE1} + \frac{R_4}{R_3} \cdot \Delta U_{BE} \quad (50)$$



neg. Temperaturkoeffizient | *pos. Temperaturkoeffizient*

Die Spannung V_{out} ist unabhängig von der Versorgungsspannung, wenn die Ableitung der Spannung U_{out} nach der Temperatur Null ergibt.

$$\frac{\partial U_{out}}{\partial T} = \textit{konstant} \quad (51)$$

Durch die negativen und positiven Temperaturkoeffizienten kann man nun grobe Annäherungsversuche zu den Widerständenwerten von R_2 und R_3 erwägen:

$$\frac{-1,5 \frac{mV}{K}}{1,8 \cdot 10^{-4} \frac{V}{K}} \approx 10 \quad (52)$$

$$\frac{R_4}{R_3} \approx 10 \cdot \frac{R_4}{R_2} \quad (53)$$

Durch Kürzen des Widerstandes R_4 folgt:

$$\frac{1}{R_3} \approx \frac{10}{R_2} \quad (54)$$

Nach R_2 umgestellt, ergibt sich:

$$R_2 = 10 \cdot R_3 \quad (55)$$

bzw.

$$R_3 = \frac{R_2}{10} \quad (56)$$

Durch händische Berechnungen können zuvor Näherungswerte für die fließenden Ströme und anliegenden Spannungen angenommen werden, um initiale Werte für die Simulation zu ermitteln.

Somit lassen sich der Widerstand R_1 und R_2 wie folgt abschätzen:

$$R_2 = \frac{U_{BE}}{I} \quad (57)$$

$$R_2 = R_1 \quad (58)$$

Der Transistor **Q1** hat eine gewisse Größe, die hauptsächlich durch die Fläche der Basis bestimmt wird. Um den Transistor **Q3** zu realisieren, wird ein Transistor mit gleicher Größe wie **Q1** $n = 8$ mal parallel geschaltet. Der Strom, welcher durch den Transistor **Q1** fließt, ist demnach 8 mal größer als der Strom, der durch die einzelnen parallel geschalteten Transistoren, die zusammen den Transistor **Q3** bilden. Der Strom teilt sich durch die n -Pfade auf und es fließt somit weniger Strom durch den einzelnen Transistor.

Durch mehrere Simulationen mit der Software Virtuoso von Cadence wurden die entsprechenden Widerstandswerte und deren Verhältnisse zueinander bestimmt. Durch richtige Wichtungen der Widerstände R_2 und R_3 wurde die gewünschte Spannungsreferenz von $U_{out} = 1,2 V$ eingestellt.

4.1 Widerstands-Arrays für besseres Matching

Für gutes Matching zwischen den einzelnen Widerständen ist es erforderlich, vorher einen Grund- bzw. Einheitswiderstand R_{ideal} zu bestimmen. Durch das Verschalten des Einheitswiderstandes, je nach Bedarf in Reihe bzw. parallel, können die zuvor für die idealen Einzelwiderstände ermittelten Werte eingestellt werden. Dementsprechend muss der Einheitswiderstand so gewählt werden,

dass sich die benötigten Werte als ganzzahliges Vielfaches des Einheitswiderstandes ergeben.

Die Nutzung eines Einheitswiderstandes hat den Vorteil, dass sich Produktionstoleranzen besonders bezüglich der Geometrie der Bauteile an allen Widerständen gleich auswirken.

Durch ein gutes Widerstands-Matching werden ungewollte Abweichungen der Referenzspannung vom gewünschten Wert vermieden bzw. minimiert.

Die idealen ausgewählten Widerstandswerte und ihre Eigenschaften sind in den nachfolgenden Tabellen und Schemen dargestellt.

4.1.1 Auswahl der Parameter für die Widerstände

4.1.1.1 Widerstandsnetzwerk für R1

Menge	Bezeichnung	Länge μM	Breite μM	Wert $\text{k}\Omega$
36	R_{ideal}	3,39	2,0	1,710072

Tabelle 1: Stückliste für den Widerstand R1

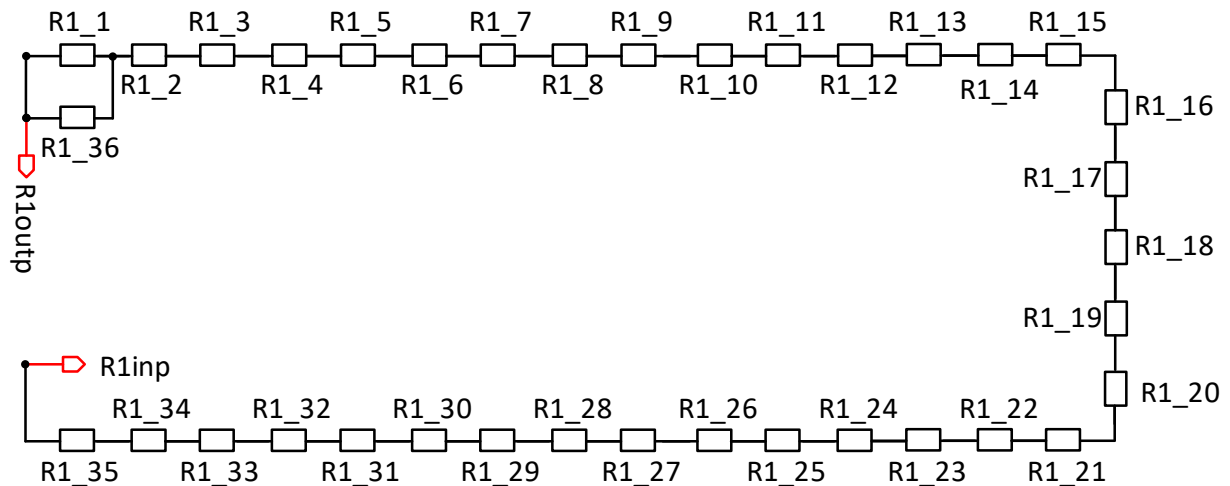


Abbildung 23: Widerstands-Array für R1

$$R1 = \sum_{i=1}^{33} R1_i = R1_2 + R2_3 \dots + R1_35 + \left(\frac{R1_1 \cdot R1_36}{R1_1 + R1_36} \right) \quad (59)$$

$$R1 = 58,997497 \text{ k}\Omega$$

4.1.1.2 Widerstandsnetzwerk für R2

Menge	Bezeichnung	Länge μM	Breite μM	Wert $k\Omega$
36	R_{ideal}	3,39	2,0	1,710072

Tabelle 2: Stückliste für den Widerstand R2

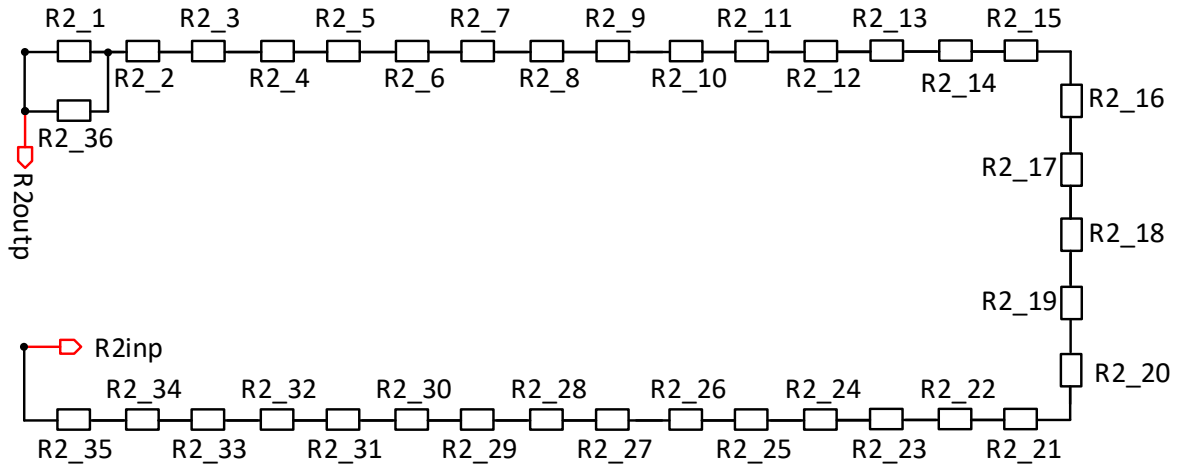


Abbildung 24: Widerstands-Array für R2

$$R2 = \sum_{i=1}^{33} R2_i = R2_2 + R2_3 \dots + R2_35 + \left(\frac{R2_1 \cdot R2_36}{R2_1 + R2_36} \right) \quad (60)$$

$$R2 = 58,997497 \text{ k}\Omega$$

4.1.1.3 Widerstandsnetzwerk für R3

Menge	Bezeichnung	Länge μM	Breite μM	Wert $\text{k}\Omega$
4	R_{ideal}	3,39	2,0	1,710072

Tabelle 3: Stückliste für den Widerstand R3

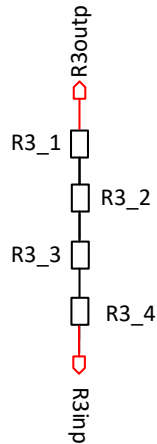


Abbildung 25: Widerstands-Array für R3

$$R3 \sum_{i=1}^4 R3_i = R3_1 + R3_2 + R3_3 + R3_4 \quad (61)$$

$$R3 = 6,840288 \text{ k}\Omega$$

4.1.1.4 Widerstandsnetzwerk für R4

Menge	Bezeichnung	Länge μM	Breite μM	Wert $\text{k}\Omega$
36	R_{ideal}	3,39	2,0	1,710072

Tabelle 4: Stückliste für den Widerstand R4

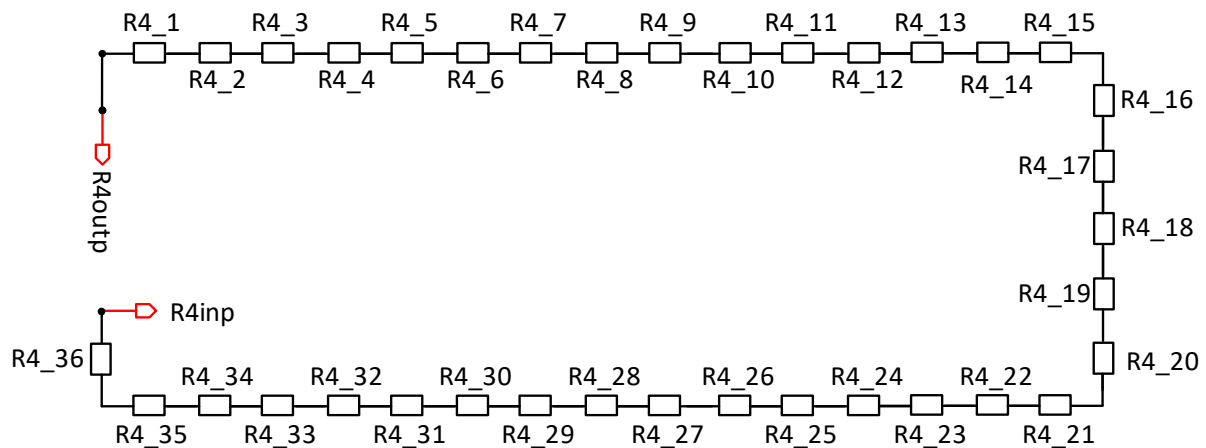


Abbildung 26: Widerstands-Array für R4

$$R4 \sum_{i=1}^{33} R4_i = R4_1 + R4_2 \dots + R4_36 \quad (62)$$

$$R4 = 59,425015 \text{ k}\Omega$$

4.2 Auswahl der Transistoren

4.2.1 Auswahl der Parameter für die Transistoren

Bipolare Transistoren:

Multiplifier	Bezeichnung	Länge	Breite	Finger
1	Q1	5,0 μM	5,0 μM	1
8	Q3	5,0 μM	5,0 μM	1

Tabelle 5: Stückliste für bipolare Transistoren

PMOS:

Multiplifier	Bezeichnung	Länge	Totale Breite	Finger
3	M7	1,7 μM	3,0 μM	1
1	M1	1,7 μM	17,0 μM	1
1	M2	1,7 μM	17,0 μM	1
1	M6	1,7 μM	17,0 μM	1
1	M8	1,7 μM	17,0 μM	1
1	M9	1,7 μM	17,0 μM	1

Tabelle 6: Stückliste für PMOS Transistoren

NMOS:

Multiplifier	Bezeichnung	Länge	Breite	Finger
1	M0	1,36 μM	1,2 μM	1
1	M4	1,36 μM	1,2 μM	1
1	M10	1,36 μM	1,2 μM	1
1	M12	1,36 μM	1,2 μM	1
1	M5	1,36 μM	1,36 μM	1

Tabelle 7: Stückliste für NMOS Transistoren

4.3 Start-Up-Schaltung

In **Abbildung 27** ist die Referenzschaltung in Kombination mit der Start-Up-Schaltung, und somit auch die Gesamtschaltung dieses Projekts dargestellt.

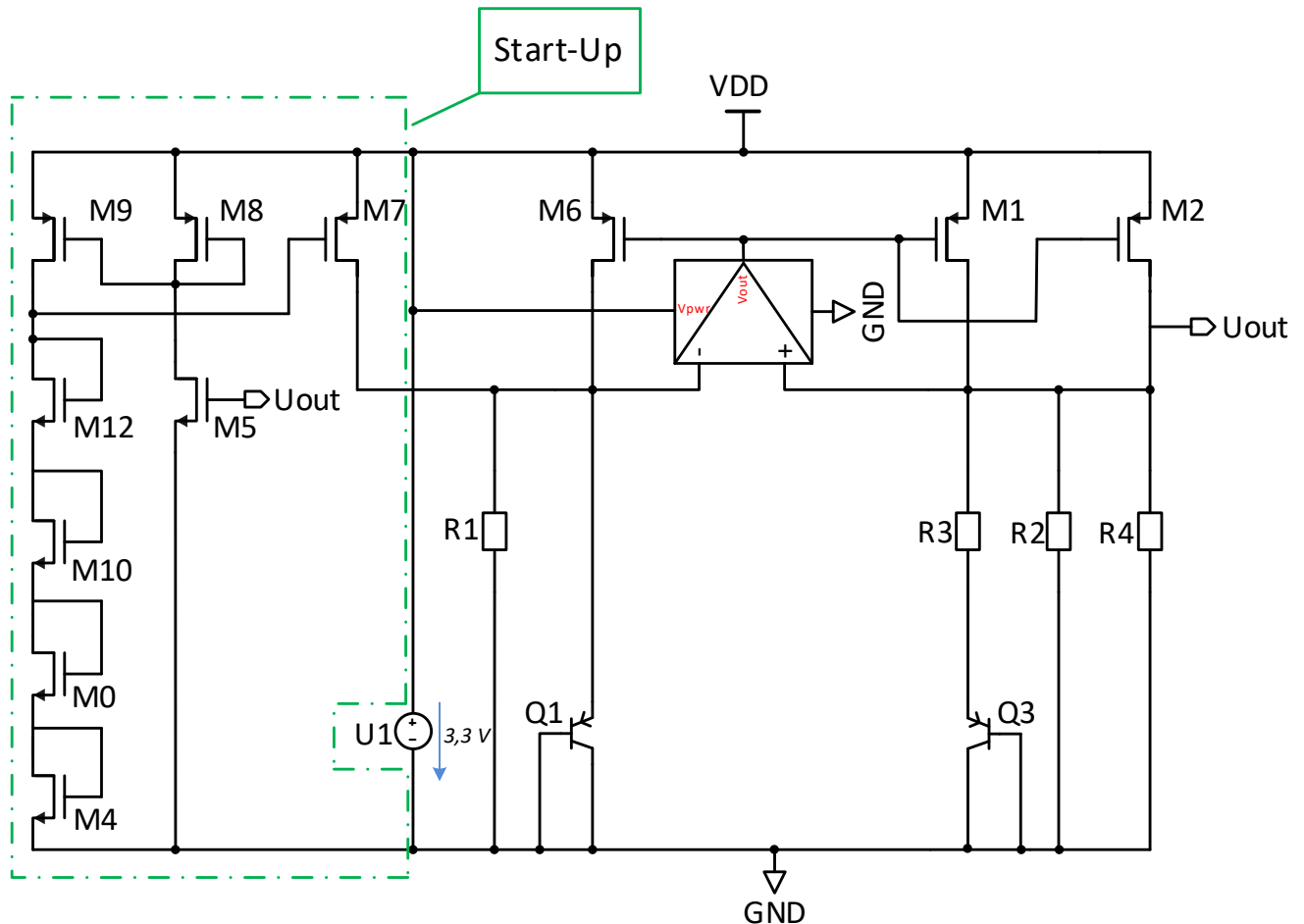


Abbildung 27: Gesamtschaltung der Bandgap-Referenzschaltung

Das Problem der entworfenen Bandgap-Schaltung besteht darin, dass sie während des Einschaltvorgangs potentiell zwei Arbeitspunkte annehmen kann. Im gewünschten Arbeitspunkt fließt im Ausgangspfad genau der Strom, der über den Widerstand $R4$ die benötigte Ausgangs- bzw. Referenzspannung von $U_{out} = 1,2 V$ liefert.

$$U_{out} = U_{ref}$$

Beim zweiten, also falschen Arbeitspunkt, fließt kein oder ein sehr kleiner Strom, sodass die Referenzspannung U_{ref} entweder nahe bei $\approx 0 V$ oder bei $0 V$ liegt.

Um die Schaltung während des Einschaltvorgangs in den gewünschten Arbeitspunkt zu zwingen, benötigt man eine Start-Up-Schaltung.

Die Start-Up Schaltung funktioniert wie folgt:

1. Fall unter der Annahme, dass kein bzw. ein sehr kleiner Strom fließt und der falsche Arbeitspunkt eingenommen wird:

Ist die Referenzspannung U_{ref} der Bandgap-Schaltung klein, so ist die Gate-Source-Spannung U_{GS5} des Transistors **M5** auch klein und es fließt somit kein bzw. ein sehr kleiner Strom durch diesen Transistor. Somit ist auch gleichzeitig die Gate-Source-Spannung $U_{GS8,9}$ der Transistoren **M8** und **M9** auch klein, also nah der Versorgungsspannung V_{dd} . Dementsprechend fließt durch den PMOS-Transistor **M9** kein Strom bzw. ein sehr kleiner Strom. Da Transistoren **M12**, **M10**, **M0** und **M4** in Reihe zum Transistor **M9** verschaltet sind, fließt durch diese Transistoren ebenfalls nur ein kleiner Strom. Somit ist das Potential am Gate von Transistor **M12** relativ nahe bei Masse. Dieses Potential ist gleichzeitig auch das Gate-Potential des Transistors **M7**. Wenn das Gate des Transistors **M7** nahe bei Masse liegt, während die Source mit der Versorgungsspannung v_{dd} verbunden ist, erhält der Transistor **M7** eine große Source-Gate-Spannung U_{SG7} . Dementsprechend fließt ein relativ großer Strom durch den Transistor **M7** in die Bipolar-Transistoren der Bandgap-Schaltung, der die Schaltung in den gewünschten Arbeitspunkt hebt.

Wichtig ist jedoch, dass nach Einnahme des gewünschten Arbeitspunktes die Start-Up-Schaltung keinen Strom mehr in die Bandgap-Schaltung einprägen darf, da dieser Strom nicht temperaturkompensiert ist und eine unerwünschte Temperaturabhängigkeit der Ausgangsspannung herbeiführen würde.

Um dies zu vermeiden, müssen also die Gate-Source-Spannung U_{GS} und der Strom durch den Transistors **M7** im gewünschten Arbeitspunkt klein werden. Wie dieser Zustand erreicht wird, ist im unten beschriebenen 2. Fall erklärt.

2. Fall unter der Annahme, dass die Referenzspannung $U_{ref} = 1,2 V$ anliegt und der richtige Arbeitspunkt eingenommen wird:

Die Referenzspannung U_{ref} wird auf den NMOS-Transistor **M5** geführt und somit ist die Gate-Source-Spannung U_{GS5} des Transistors **M5** hoch und es fließt ein großer Strom durch diesen Transistor. Dann sind die Gate-Source-Spannungen $U_{GS8,9}$ der Transistoren **M8** und **M9** ebenfalls hoch und es fließt ein großer Strom durch diese Transistoren. Wenn ein großer Strom durch den Transistor **M9** fließt, so fließt der gleiche große Strom durch den Gate-Drain verbundenen Transistoren **M12**, **M10**, **M0** und **M4**. Da die Transistoren in Reihe geschaltet sind, addieren sich die einzelnen Gate-Source-Spannung zu einer relativ hohen Spannung am Gate/Drain des Transistors **M12** auf. Diese Spannung muss so hoch sein, dass die Gate-Source-Spannung U_{GS} und dementsprechend der Strom durch den Transistors **M7** sehr klein werden. Dadurch hat der Strom des Transistors **M7** keinen Einfluss mehr auf die Ausgangsspannung der Bandgap-Schaltung.

4.4 DC-Analyse

In Folgendem ist die Ausgangsspannung des Referenzspannung in Abhängigkeit von der Temperatur für verschiedene Versorgungsspannungen dargestellt.

4.4.1 Referenzspannung bei 3,3 V Eingangsspannung

Der Toleranzbereich von ± 20 mV wird im gesamten Temperaturbereich eingehalten.

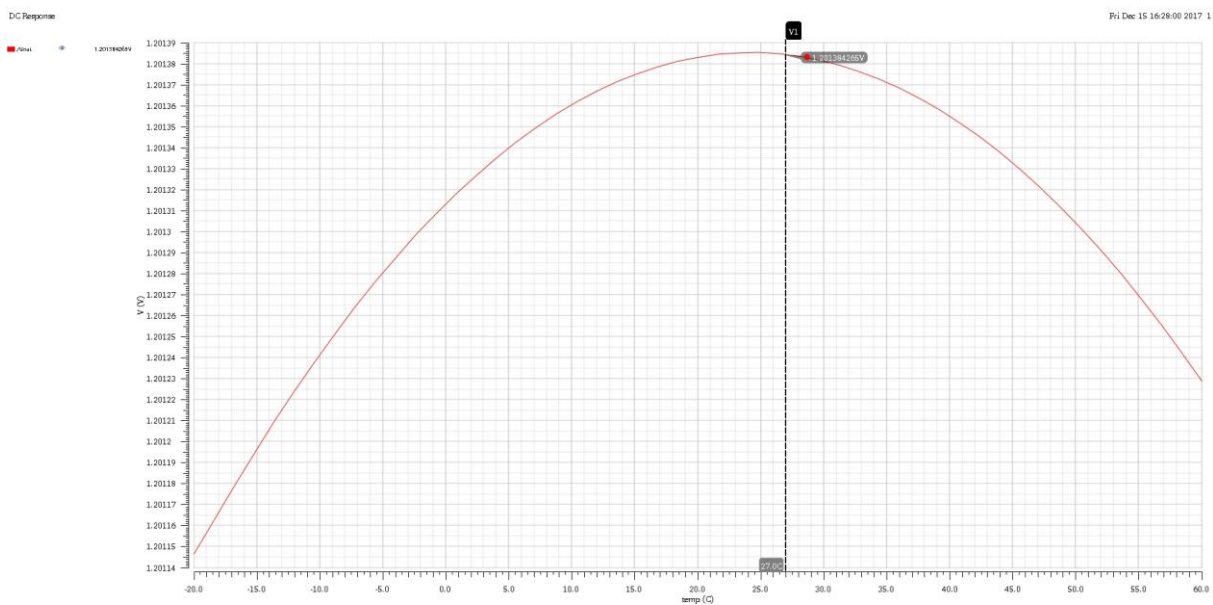


Abbildung 28: Grafische Darstellung der Ausgangsspannung U_{out} bei einer Eingangsspannung von 3,3 V

4.4.2 Referenzspannung bei 2,5 V Eingangsspannung

Der Toleranzbereich von ± 20 mV wird im gesamten Temperaturbereich eingehalten.

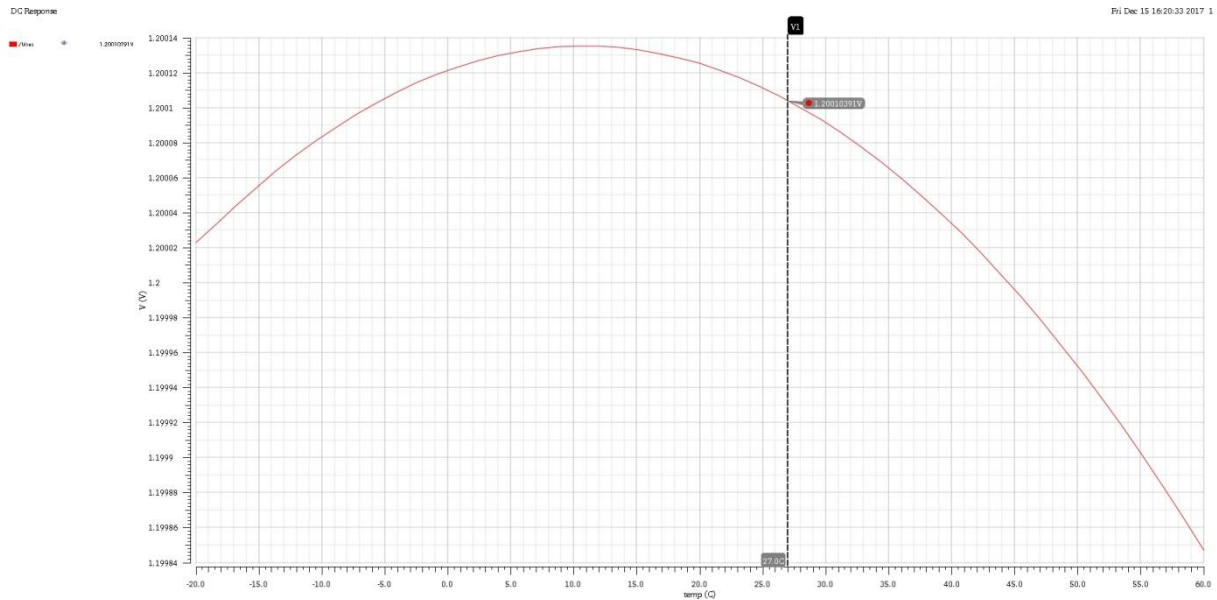


Abbildung 29: Grafische Darstellung der Ausgangsspannung U_{out} einer Eingangsspannung von 2.5 V

4.4.3 Referenzspannung bei 3,5 V Eingangsspannung

Der Toleranzbereich von ± 20 mV wird im gesamten Temperaturbereich eingehalten.

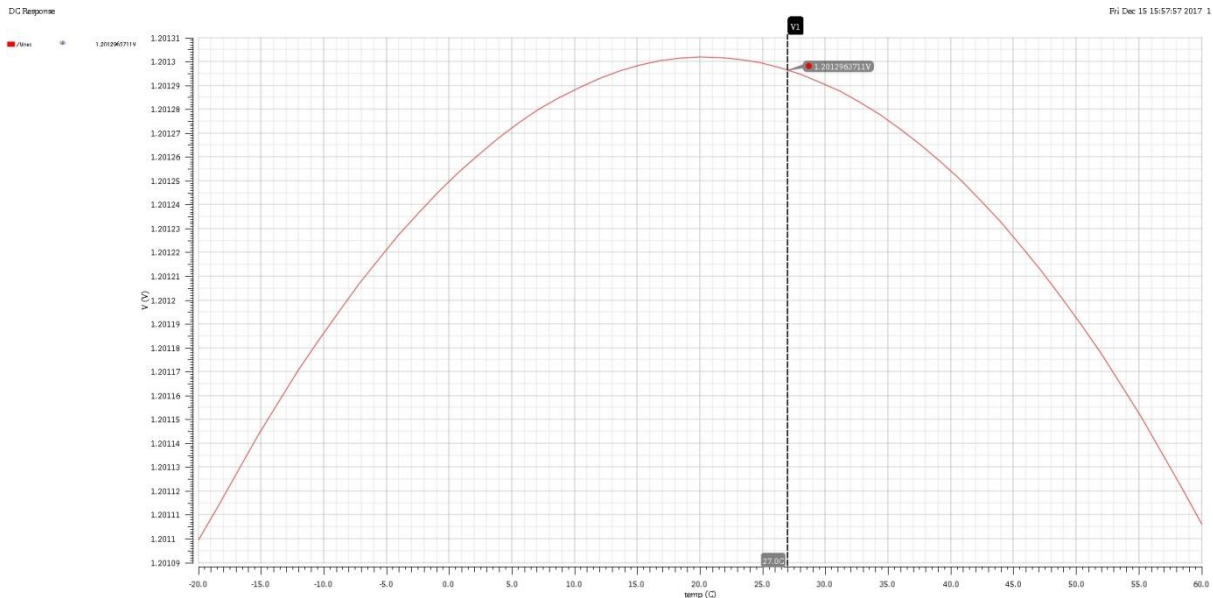


Abbildung 30: Grafische Darstellung der Ausgangsspannung U_{out} bei einer Eingangsspannung von 3,5 V

4.5 Corner-Analyse

Für die industrielle Herstellung eines Mikrochips ist es erforderlich, eine Corner-Analyse bzw. eine PVT-Simulation durchzuführen. Bei dieser Analyse werden Temperaturschwankungen sowie unterschiedliche Versorgungsspannungen als auch Prozessschwankungen berücksichtigt, welche sich bei der Herstellung und beim Betrieb einstellen können.

In der Simulationssoftware Virtuoso gibt es das Entwicklungswerkzeug ADE XL, das für die Corner Simulation verwendet werden kann. In der Simulation werden drei Corner-Typen berücksichtigt, um den Einfluss der zu erwartenden Prozessschwankungen in die Simulation einzubringen:

- tt (typical typical/ dt. typisch)
- ss (slow slow/ dt. langsam)
- ff (fast fast/ dt. schnell)

Der erste Buchstabe steht für die Corner des NMOS, der zweite die Corner des PMOS. Die Analyse wird mithilfe von ADE XL durchgeführt, weil mit diesem

Entwicklungswerkzeug mit wenig Aufwand beliebig viele Parameter gleichzeitig variiert werden können.

Die ideale Versorgungsspannung der Referenzschaltung beträgt 3,3 V. Es wird jedoch angenommen, dass die Versorgungsspannung auf 2,5 V sinkt bzw. auch auf 3,5 V steigen kann.

Dabei werden drei Temperaturbereiche berücksichtigt:

- niedrigste Temperatur: **-20 °C**
- Raumtemperatur: **27 °C**
- Höchsttemperatur: **+60 °C**

In **Abbildung 31** werden der schlechteste und beste Corner dargestellt:

Parameter	C1	C2
U1	2.5	3.3
mm180_bjt...	ss_bip	ff_bip
mm180_reg3...	ss	ff
mm180_res...	res_max	res_min
temperature	60	60

Test	Output	Spec	Weight	Pass/Fail	Min	Max	C1	C2
C1_min	/Uout						↙	disabled
C1_min	VDC("/Uout")				1.19	1.19	1.19	disabled
C2_max	/Uout						disabled	↘
C2_max	VDC("/Uout")				1.216	1.216	disabled	1.216

Abbildung 31: Darstellung der schlechtesten bzw. besten Corner

Die Analyse zeigt, dass der Toleranzbereich von ± 20 mV für die temperaturstabile Ausgangsspannung eingehalten wird.

Die untere Grafik in **Abbildung 32** zeigt den Worst-Case-Zustand, aus dem die Einhaltung des Toleranzbereichs erkennbar ist.

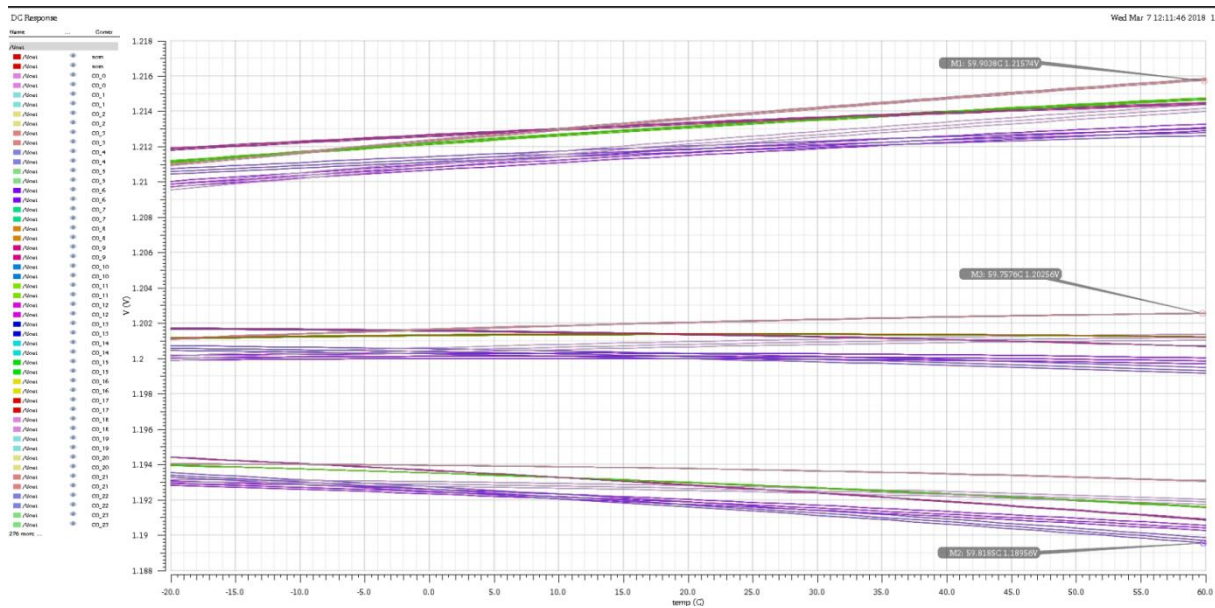


Abbildung 32: Darstellung der Bandgap-Referenzspannung als Funktion der Temperatur für verschiedene Corner und Versorgungsspannungen

5 Entwurf der Referenzschaltung stabilisiertem OPV (Differenzverstärker)

Die in dieser Arbeit vorgestellte Referenzschaltung mit stabilisiertem Differenzverstärker basiert auf dem Entwurf und Dimensionierung des zuvor beschriebenen und erfolgreich realisierten Referenzschaltung mit einem Verilog-A Modell eines idealen OPVs mit konfigurierbaren Leistungsmerkmalen. Da die Verwendung eines idealen OPVs aber in integrierten Schaltungen nicht möglich ist, muss dieser dementsprechend auch selbst entworfen und dimensioniert werden.

Bei der verwendeten Schaltung handelt es sich um einen zweistufigen Transkonduktanzverstärker mit NMOS-Eingangstransistoren, die ein differentielles Pärchen bilden. Der Transistor **MB1B** prägt einen Strom ein, der sich auf das differentielle Pärchen aufteilt. Da die Transistoren ein gemeinsames Source-Potential besitzen, fließt durch den Transistor mehr Strom, an dem das höhere Gate-Potential anliegt. Der Strom durch Transistor **M1A** wird dabei über den Gate-Drain verbundenen Transistor **M2A** auf Transistor **M2B** gespiegelt. Je nachdem, ob der Strom durch Transistor **M2B** größer oder kleiner als der Strom durch **M1B**, steigt oder fällt die Ausgangsspannung der ersten Stufe, die an den Drains der Transistoren **M1B** und **M2B** anliegt. Diese Spannung entspricht der Eingangsspannung der

zweiten Verstärkerstufe, welche aus den PMOS-Transistoren **M3C** und dem NMOS Transistor **MB1C** besteht und einen invertierenden Verstärker darstellt.

5.1 Dimensionierung

Bei der Dimensionierung des Operationsverstärkers ist es vorteilhaft, beide Eingangssignale zunächst auf exakt den gleichen Wert einzustellen, indem hierbei jeweils eine ideale Gleichspannungsquelle mit in diesem Fall 1,65 V an die Eingänge angeschlossen werden. Außerdem muss darauf geachtet werden, dass alle Transistoren, die Stromspiegel bilden, die gleiche Geometrie besitzen. Dies gilt insbesondere für **MB1A** zu **MB1B** bzw. zu **MB1C**, **M1A** zu **M1B**, und **M2A** zu **M2B** bzw. zu **M3C** aus **Abbildung 33**. Wichtig ist zudem, dass die Transistoren **M3C** und **MB1C**, die in Reihe geschaltet sind und durch die der gleiche Strom durchfließt, mit dem gleichen Skalierungsfaktor (Multiplikator: 12) multipliziert werden, weil sich ein Ungleichgewicht zwischen dem bereitgestellten und aufgenommenen Strom einstellt und Transistoren aus der Sättigung in den linearen Bereich getrieben werden. Der zunächst durch eine ideale Stromquelle eingestellte Strom von 100 μA des Operationsverstärkers wird durch den Transistor **MB1A** geleitet und auf den Transistor **MB1B** gespiegelt. Die Aufgabe des Transistors **MB1A** besteht darin, einen möglichst rauschfreien Konstantstrom zu erzeugen. Dazu ist es hilfreich, die Transistoren **MB1A**, **MB1B** und **MB1C** mit höheren Sättigungsspannungen als die anderen Transistoren zu wählen. Hintergrund ist, dass Transistoren mit hoher Sättigungsspannung im Strombereich weniger stark rauschen als Transistoren mit niedriger Sättigungsspannung. Außerdem können die Schwellenspannungen einzelner auf dem Chip platzierter Transistoren variieren. Je höher die Sättigungsspannung, desto weniger stark wird der Arbeitspunkt der Transistoren durch die Variation der Schwellenspannung beeinflusst. Dementsprechend wurden die Transistoren **MB1A**, **MB1B** und **MB1C** so dimensioniert, dass sich eine Sättigungsspannung von 300 mV einstellt. Dieser Strom fließt vom Transistor **MB1B** zu den N-Zero-Transistoren **M1A** und **M1B**, die das differentielle Eingangstransistorpaar des Verstärkers bilden. N-Zero-Transistoren können nicht in ein eigenes isoliertes P-Substrat platziert werden und sitzen somit im globalen Chip-Substrat, welcher immer mit der Masse verbunden ist. Deshalb werden die Bulk-Anschlüsse von **M1A** und **M1B** nicht mit den Source-Anschlüssen verbunden, sondern mit Masse **GND**. Der Vorteil der N-Zero-Transistoren besteht jedoch darin, dass sie eine sehr geringe Schwellenspannung besitzen, die fast bei 0 V liegt. Dies ermöglicht eine Erweiterung des Eingangsspannungsbereichs zu kleineren Werten. Die invertierenden oder nichtinvertierenden Eingänge eines Verstärkers können

anhand ihrer Auswirkung auf das Ausgangssignal identifiziert werden. Eine Erhöhung des Potentials des nicht invertierenden Eingangs führt auch zu einer Erhöhung des Ausgangssignals. Steigt das Potential am invertierenden Eingang, sinkt das Ausgangssignal. In dieser Schaltung entspricht das Gate des Transistors **M1A** dem invertierenden Eingang und das Gate des Transistors **M1B** dem nichtinvertierenden Eingang. Diese Transistoren werden so eingestellt, dass die Sättigungsspannung 75 mV beträgt, was dem Betrieb im Operationsbereich der schwachen Inversion entspricht. Bei schwacher Inversion verursachen kleine Änderungen der Gate-Source-Spannung große exponentielle Änderungen des Transistorkanalstroms. Dies entspricht einer hohen Steilheit im Transistor. Die Transistorsteilheit stellt den Betrag der Stromänderung am Arbeitspunkt dar, wenn sich die Gate-Source-Spannung ändert. Mit einer kleinen Sättigungsspannung kann eine große Transkonduktanz des Transistors erreicht werden. Die Transkonduktanz wird erhöht, indem die Breite des Transistors **M3C** bzw. **MB1C** vergrößert wird. Alle anderen Transistoren sind so eingestellt, dass die Sättigungsspannung 200 mV beträgt, was ein guter Kompromiss zwischen Rauschen, Genauigkeit und Steilheit ist.

Die Transistorsteilheit wird beschrieben mit der Formel:

$$g_m = \frac{2I}{U_{GS} - U_{th}} = \frac{2I}{U_{DSAT}} \quad (63)$$

Während die spektrale Rauschleistungsdichte gegeben ist durch:

$$S_T = \frac{8}{3} \cdot k_B \cdot T \cdot g_m \quad (64)$$

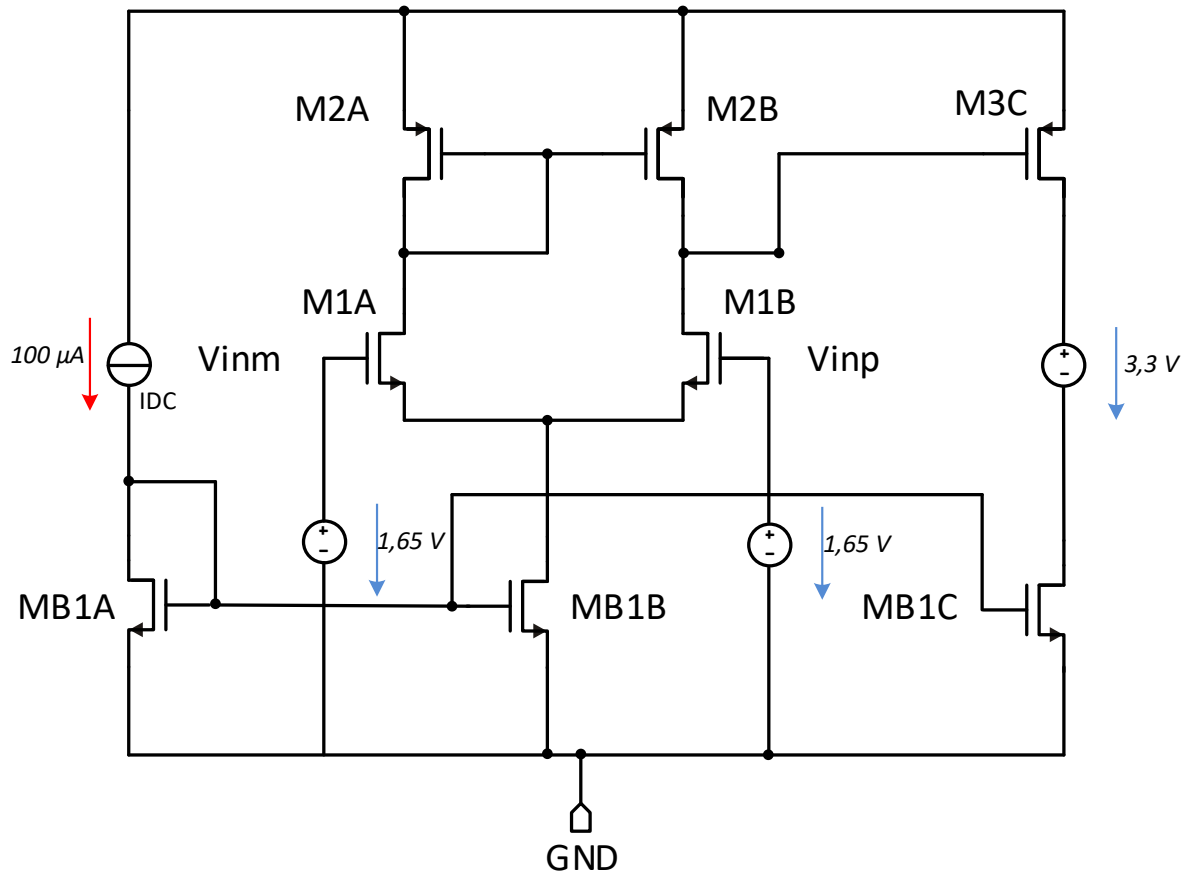


Abbildung 33: Testbench zur Einstellung der Arbeitspunkte des OPVs

5.2 Symbol

Nach Einstellung der richtigen Arbeitspunkte der Transistoren wird ein Schaltsymbol erzeugt. Durch diesem ist es möglich, hierarchische Schaltpläne zu erstellen. Bei komplexen Schaltplänen ist es vorteilhaft, verschiedene Komponenten in separaten Schaltplänen unterzubringen und so die Übersichtlichkeit zu verbessern.

Dazu werden zuvor alle idealen Strom- und Spannungsquellen aus dem Stromkreis entfernt. Die ideale Stromquelle wird durch eine Biasing-Schaltung ersetzt, welcher 100 µA liefert.

Die Pins werden sinnvoll benannt und in einem neuen Schematic entsprechend an die Pins des Verstärkersymbols angeschlossen. Die Kombination aus der zweistufigen Verstärkerschaltung und die damit verbundene Biasing-Schaltung stellt in **Abbildung 34** letztendlich das Symbol des OPVs mit seinen Pin-Anschlüssen dar.

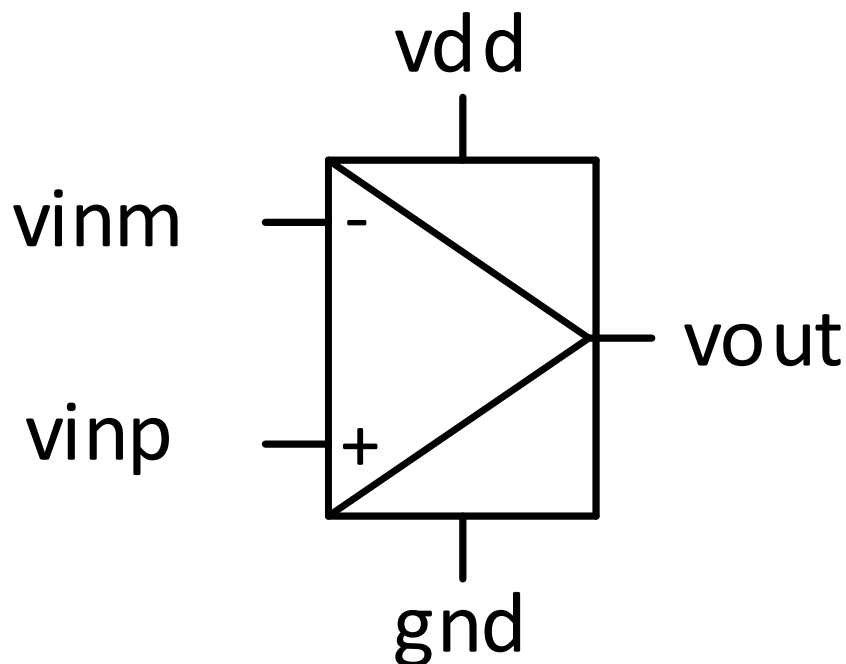


Abbildung 34: Schaltsymbol des OPVs (Differenzverstärker)

Dieser selbst entworfene und dimensionierte OPV ersetzt nun das Modell des idealen OPVs aus **Abbildung 27** der Bandgap-Referenzschaltung.

5.3 Stabilität der Bandgapschaltung

Beim Entwurf von OPV-Schaltungen muss besonders auf die Stabilität geachtet werden.

Der reale OPV besteht aus einer Kettenschaltung von verschiedenen Verstärkerstufen, die sich alle wie ein Tiefpass-Filter verhalten. Bei höheren Frequenzen wird die Verstärkung geringer und die Phasenverschiebung größer. Die Phasenverschiebung der einzelnen Verstärkerstufen summieren sich dabei auf. Regelkreise, die im geöffneten Zustand bei einer Leerlaufverstärkung von $V_0 > 1$ eine zusätzliche Phasenverschiebung von 180° aufweisen, können instabil werden. [6]

Anhand des "speziellen Nyquist-Kriteriums" kann die Stabilität bewertet werden, ohne die Übertragungsfunktion zu kennen. Es wird nur die Ortskurve oder alternativ das Bode-Diagramm des offenen Regelkreises benötigt.

In einem Regelkreis mit invertierender Wirkung beginnt der Phasengang bei 180° und fällt mit zunehmender Frequenz ab. Nach dem speziellen Nyquist-Kriterium darf bei der Frequenz, bei der der 0 dB-Durchgang liegt, die Phasenreserve nicht einen Wert kleiner als 0° erreichen. Ein Qualitätsmerkmal für die Stabilität eines Regelkreises ist die Phasenreserve bzw. der Phasenrand. Je größer der Phasenrand ist, umso gedämpfter reagiert der Regelkreis auf äußere Einflüsse. Damit das System ausreichend gedämpft ist, muss der Phasenrand mindestens $\geq 60^\circ$ betragen.

5.3.1 Simulationen für die Stabilität

Auch nach dem Entwurf des OPVs muss die Schaltung simuliert und validiert werden, um sicherzustellen, dass sie bestimmte Kriterien erfüllt. Die wichtigsten Kriterien sind hierbei die Referenzspannung, die Schleifenverstärkung (loop gain) in Amplituden- (magnitude), der Phasengang (phase), die Grenzfrequenz und die Phasenreserve bzw. der Phasenrand (phase margin). Diese Spezifikationen müssen auch eingehalten werden, wenn sich verschiedene Parameter wie Versorgungsspannung und die Temperatur ändern. Darüber hinaus müssen die Auswirkungen von Produktionsschwankungen berücksichtigt werden, indem sogenannte Corner und Monte-Carlo-Simulationen durchgeführt werden.

5.3.1.1 AC-Simulation

Um das Frequenzverhalten zu charakterisieren, schließt man wie in **Abbildung 37** am nichtinvertierenden (+) Eingang des Operationsverstärkers eine Spannungsquelle mit einem AC Magnitude von 1 V an. Dadurch, dass man für die Amplitude des Wechselsignals den Wert 1 V einsetzt, kann man die Verstärkung direkt ablesen. Man platziert zudem zuvor eine Induktivität (L_0 , L_1 ; 1 TH) und eine Kapazität (C_{T0} , C_{T1} ; 1 TF) jeweils an den Eingängen des Operationsverstärkers, damit der Regelkreis aufgebrochen wird, sodass die Rückführung von Wechselanteilen unterbunden, während Gleichspannungsanteile für die richtige Einstellung des Arbeitspunkts weitergeleitet werden. Durch das Frequenzverhalten kann auf die Stabilität des Regelkreises zurückgeschlossen werden.

Dabei werden zwei unterschiedliche Varianten zur Kompensation getestet:

1. Am Ausgang des OPVs wird eine sehr große Kapazität C_L platziert.
2. Zwischen erster und zweiter Verstärkerstufe des OPVs wird eine Kapazität C_C zusammen mit einem Widerstand R_C in Reihe geschaltet. Bei dieser Variante handelt es sich um eine Miller-Kompensation.

Es wird zunächst eine DC-Analyse und Stabilitäts-Analyse ohne jegliche Kompensation durchgeführt.

Die Simulationen zeigen, dass sich im nominellen Arbeitspunkt die Ausgangsspannung von 1,2 V zwar einstellt, jedoch der Phasenrand $\sim 0^\circ$ beträgt und der OPV somit instabil ist.

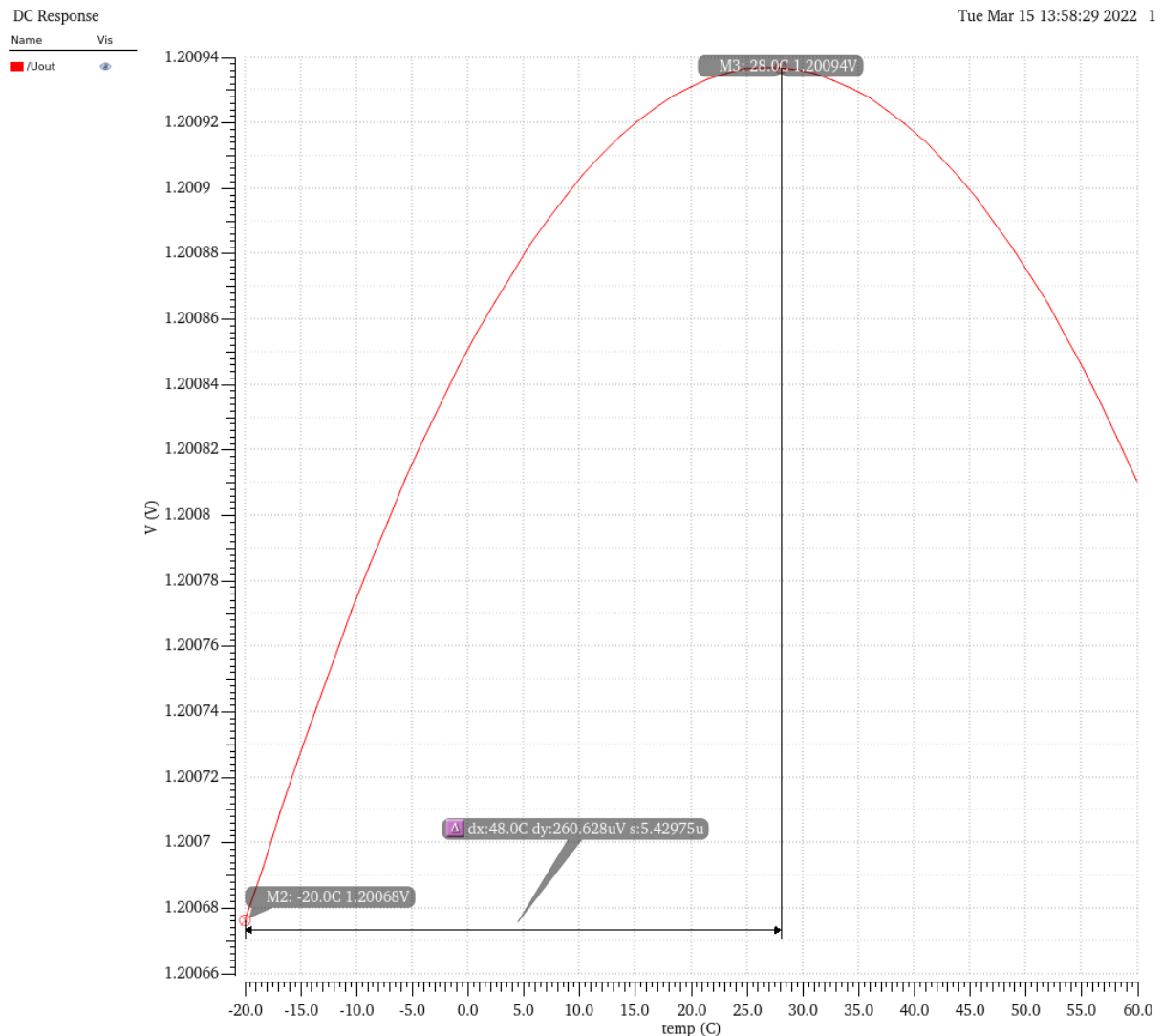


Abbildung 35: Grafische Darstellung der Ausgangsspannung U_{out} ohne Kompensation

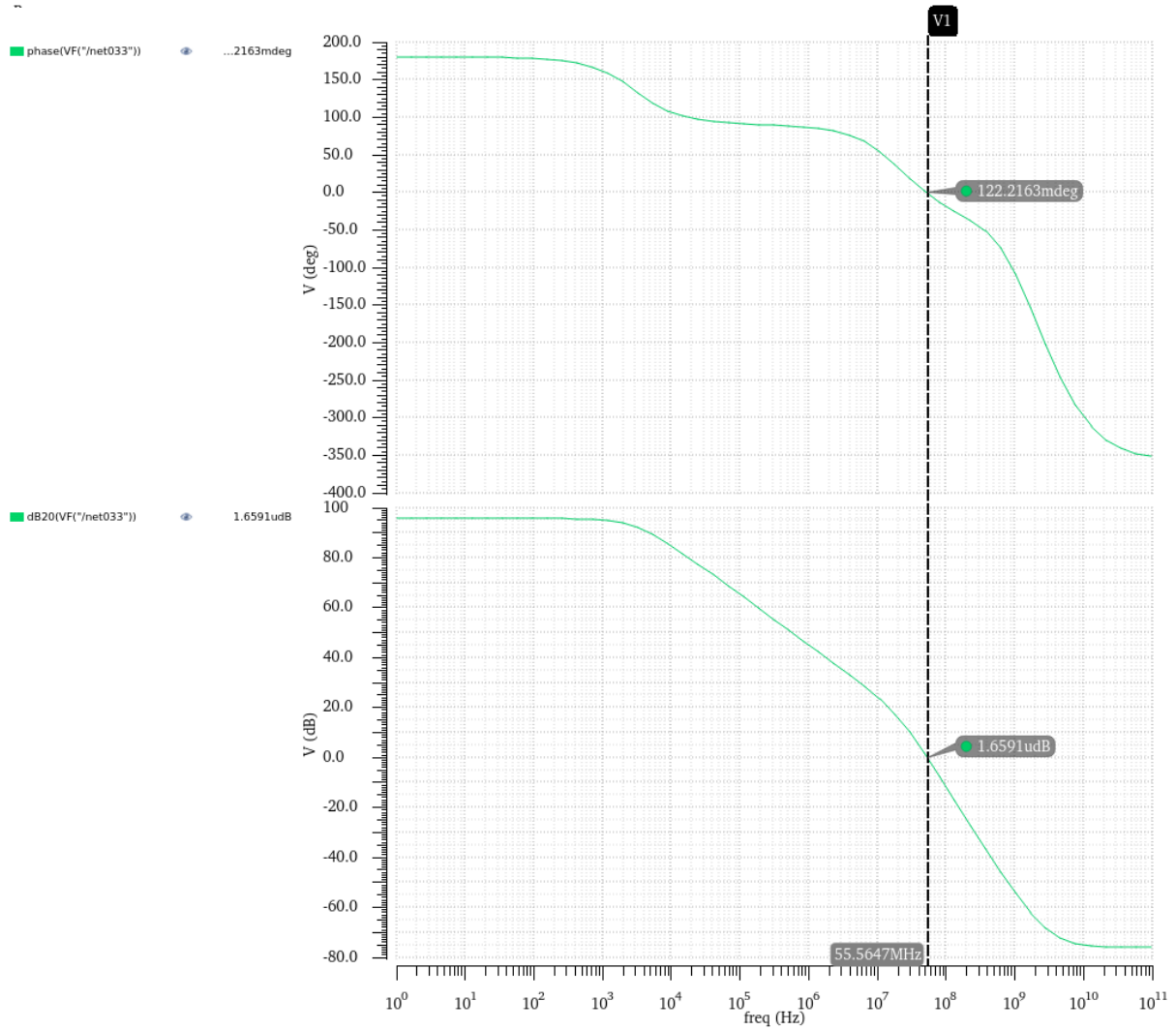


Abbildung 36: Phasenrand des OPVs ohne Kompensation

Nun wird wie in **Abbildung 37** eine Kapazität C_L mit 300 pF am Ausgang des OPVs angeschlossen.

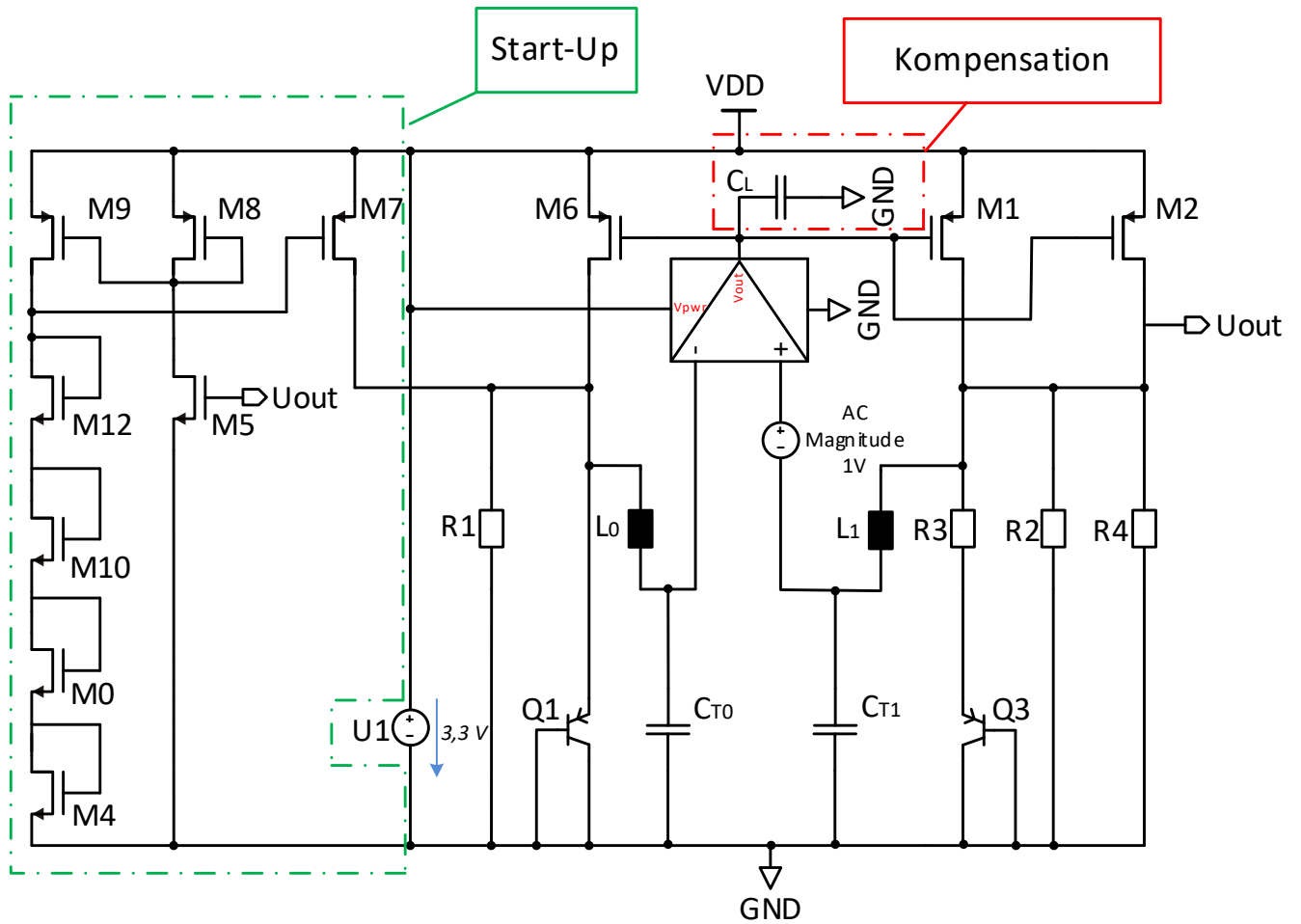


Abbildung 37: Aufgebrochener Regelkreis mit einer Kapazität am Ausgang des OPVs

Die Untersuchung der Stabilität zeigt, dass im nominellen Arbeitspunkt der Phasenrand $\sim -3,6^\circ$ beträgt und der OPV somit immer noch instabil ist.

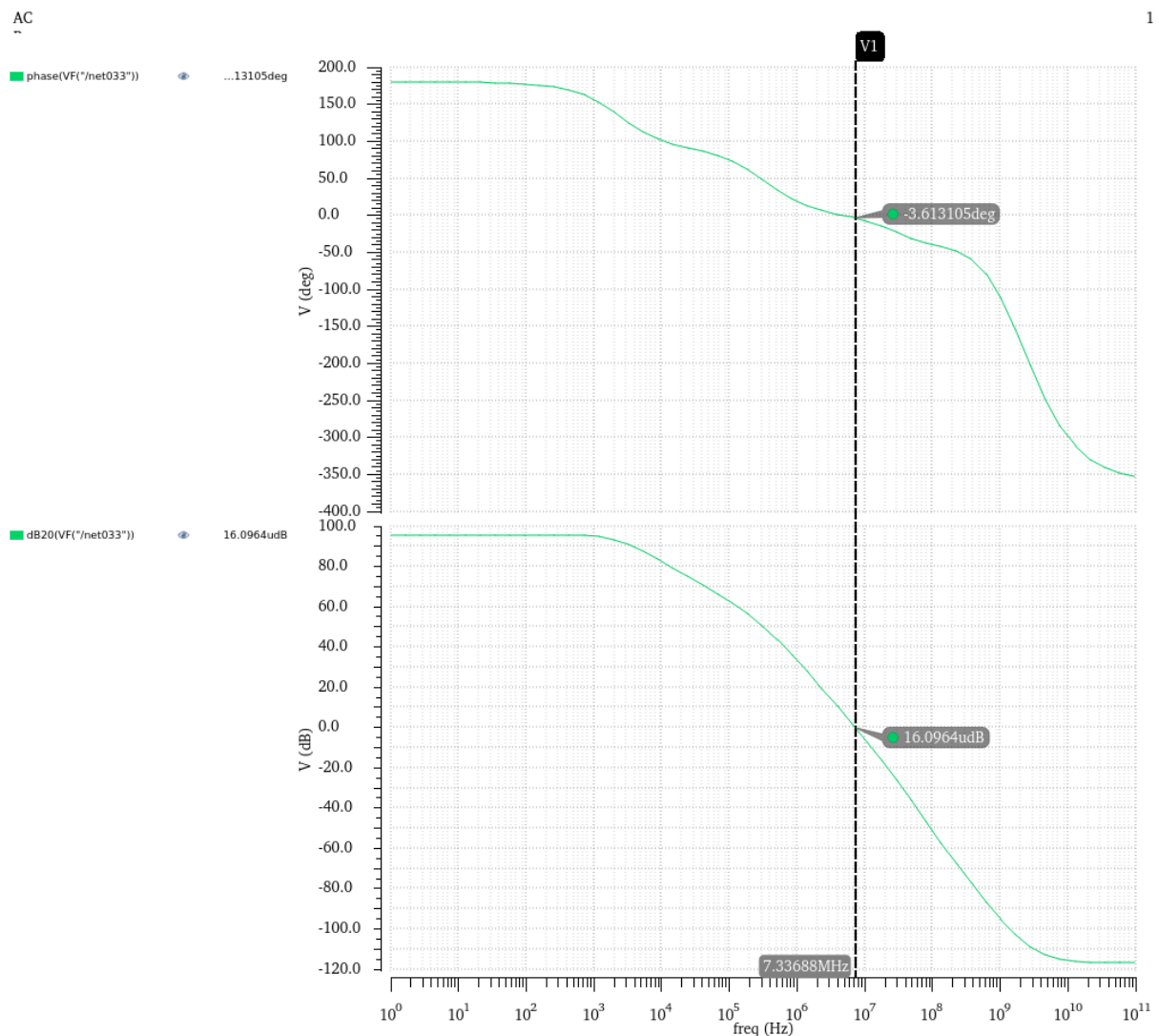


Abbildung 38: Phasenrand des OPVs mit 300 pF Kompensation

Ein Kondensator mit einer Kapazität größer als einige Hunderte Picofarad benötigt bei Integration eine enorme Implementierungsfläche und erscheint deswegen nicht praktikabel. Da die erste Variante die Stabilitätsbedingung von mindestens $\geq 60^\circ$ nicht erfüllen konnte, wird nun die zweite Variante wie in **Abbildung 39** angewandt.

Bei dieser Variante wird zudem für die Verbesserung des Frequenzverhaltens des OPVs ein Tiefpass-Filter in das Biasing-Netzwerk eingefügt, welches eine sehr niedrige Grenzfrequenz besitzt.

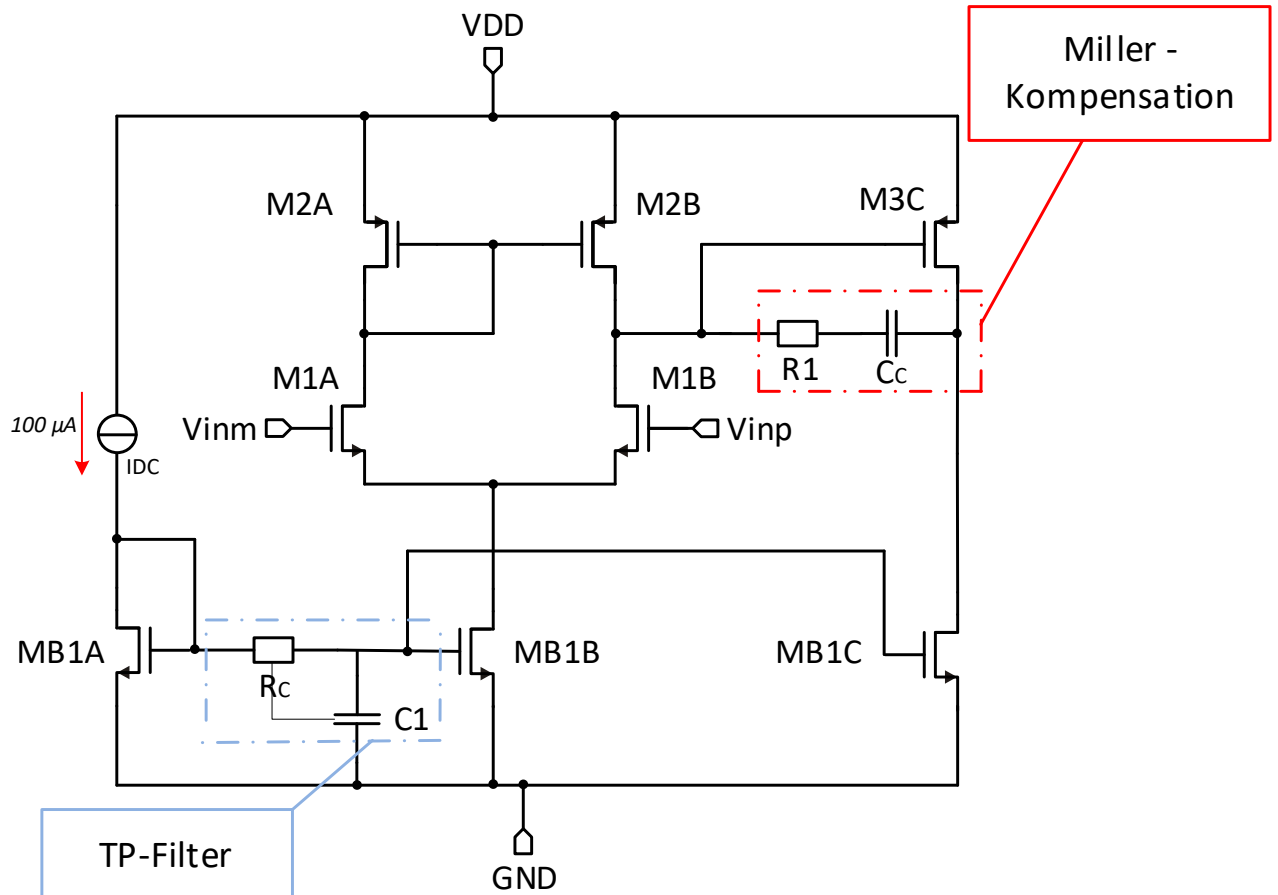


Abbildung 39: OPVs mit Tiefpass-Filter und Miller-Kompensation

Bei der Miller-Kompensation wird eine Reihenschaltung von Kondensator und Widerstand zwischen dem Eingang und dem Ausgang der zweiten Stufe geschaltet. Bei Verwendung dieser Beschaltung wird durch die Verstärkung der zweiten Stufe aufgrund des Miller-Effekts die kapazitive Belastung der ersten Stufe effektiv vergrößert, sodass sich am Ausgang der ersten Stufe ein niederfrequenter Pol einstellt. Der Widerstand sorgt dafür, dass sich eine Nullstelle im linken komplexen Halbraum ergibt, die phasenhebend wirkt. Es werden mehrere Variablen eingeführt, um durch Sweeps die optimalen Widerstands- und Kapazitätswerte der Miller-Kompensation zu ermitteln.

Das Ergebnis dieser Simulation ist in **Abbildung 40** abgebildet. Wie der Darstellung zu entnehmen ist, werden bei einem Widerstandswert von 0Ω die besten Ergebnisse in Bezug auf die Phasenergebnisse erzielt.

Point	Corner	cap_var	m_var	res_var	Pass/Fail	value(phaseDegUnwrapp...)
304	nom	100p	33.33	0		84.88
206	nom	66.67p	55.56	0		84.84
503	nom	166.7p	22.22	0		84.71
205	nom	66.67p	44.44	0		84.43
403	nom	133.3p	22.22	0		84.42
204	nom	66.67p	33.33	0		83.79
303	nom	100p	22.22	0		83.64
203	nom	66.67p	22.22	0		82.53
110	nom	33.33p	100	0		82.12
902	nom	300p	11.11	0		81.88
109	nom	33.33p	88.89	0		81.88
602	nom	200p	11.11	0		81.79
802	nom	266.7p	11.11	0		81.62
108	nom	33.33p	77.78	0		81.6
702	nom	233.3p	11.11	0		81.59
107	nom	33.33p	66.67	0		81.3
502	nom	166.7p	11.11	0		81.02
106	nom	33.33p	55.56	0		80.92
402	nom	133.3p	11.11	0		80.83
105	nom	33.33p	44.44	0		80.44
302	nom	100p	11.11	0		79.92
104	nom	33.33p	33.33	0		79.71
202	nom	66.67p	11.11	0		78.83
103	nom	33.33p	22.22	0		78.37
102	nom	33.33p	11.11	0		74.54
120	nom	33.33p	100	11.11K		51.51
220	nom	66.67p	100	11.11K		51.45
320	nom	100p	100	11.11K		51.44
420	nom	133.3p	100	11.11K		51.43
520	nom	166.7p	100	11.11K		51.42
620	nom	200p	100	11.11K		51.42
720	nom	233.3p	100	11.11K		51.42
820	nom	266.7p	100	11.11K		51.41

Abbildung 40: Variable Sweep zur Bestimmung der Widerstands- und Kapazitätswerte, sowie dem Multiplier

Somit entfällt der Widerstand R_c , welcher üblicherweise in Reihe zu der Kapazität verschaltet wird. Für den Kondensator C_c wird ein Kapazitätswert von ~ 30 pF ausgewählt. Für die Transistoren **M3C** und **MB1C** der zweiten Verstärkerstufe wird jeweils ein Multiplier von 12 gewählt.

Mit dem gewählten Kondensator C_c (Miller-Kompensation), der zur Frequenzkompensation dient, wird die Stabilität nun signifikant verbessert. Die Kapazität sorgt dafür, dass die Grenzfrequenz, bei dem der 20 dB Abfall des Betrags der Schleifenverstärkung beginnt, schon bei geringeren Frequenzen erreicht wird. Dadurch wird auch der 0 dB-Durchgang bereits schon bei geringen

Frequenzen erreicht. Der Phasenrand bei dieser Dimensionierung beträgt $\sim 75^\circ$ und die Bandgap-Schaltung ist somit stabil.

Es gibt mehrere Möglichkeiten, um die Arbeitspunkte eines Operationsverstärkers einzustellen. Eine Möglichkeit besteht darin, eine ideale Stromquelle zu verwenden. Die Stromquelle prägt den Strom I_{DC} ein, während die Sättigungsspannung der Transistoren über die Geometrie eingestellt werden kann. Diese Art der Arbeitspunkteinstellung ist aber nur für die Simulation nützlich, da solche idealen Stromquellen in integrierten Schaltungen nicht real implementiert werden können. Daher ist es notwendig, die Arbeitspunkteinstellung durch eine Biasing-Schaltung zu erzielen. Die idealen Kapazitäten und Widerstände werden ebenfalls durch reale Bauelemente ersetzt.

In **Abbildung 41** ist das Symbol der Biasing-Schaltung zu sehen, welcher mit der zweistufigen Verstärker-Schaltung verbunden ist und das endgültige Design des OPVs mit der Miller-Kompensation darstellt.

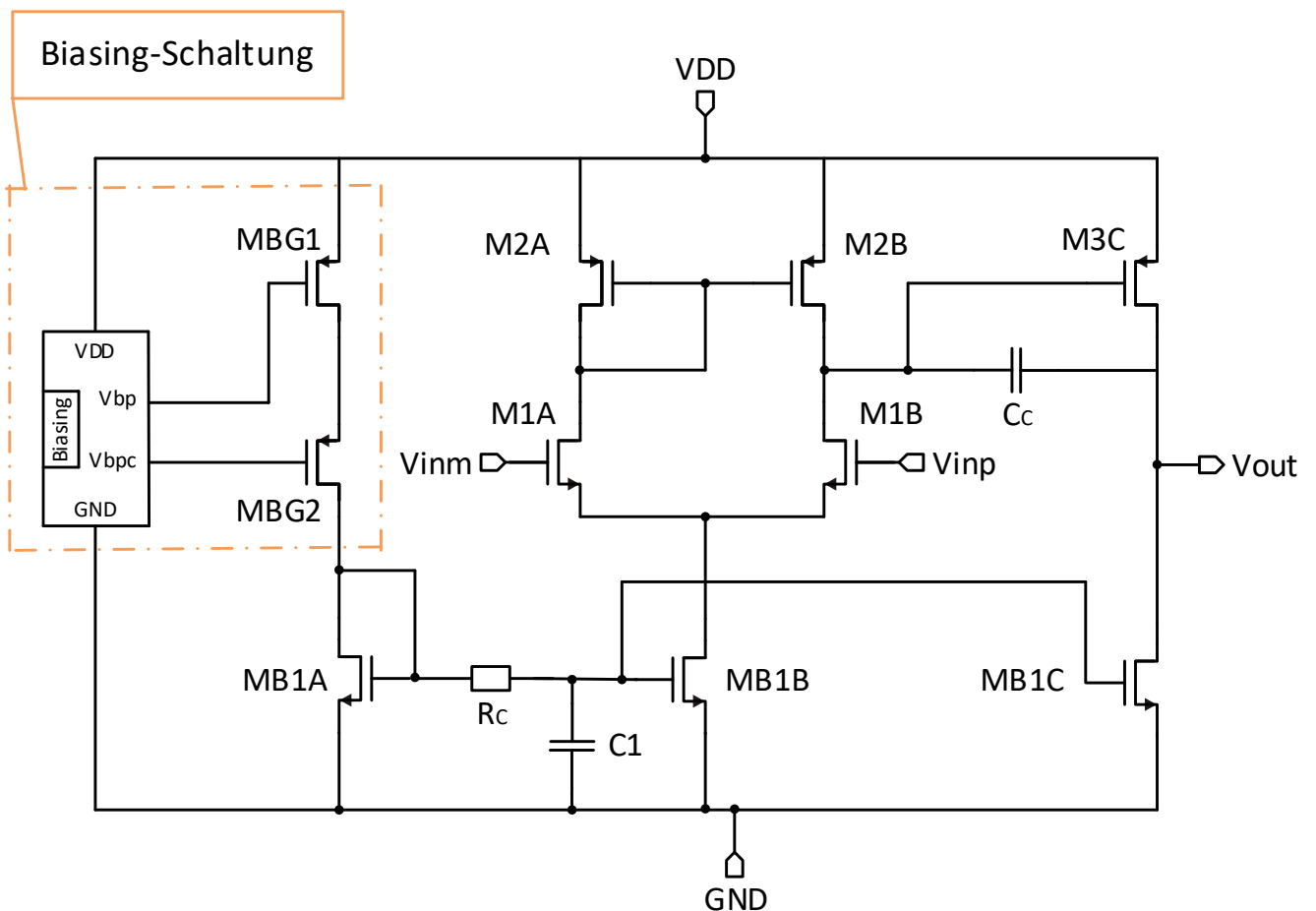


Abbildung 41: OPV mit Biasing-Stromquelle

Auswahl der Parameter für den Widerstand und den Kondensatoren

Menge	Bezeichnung	Länge μM	Breite μM	Wert $\text{k}\Omega$
1	R_C	798,82	1,0	100,0007

Tabelle 8: Stückliste für den Widerstand R_C im OPV

Multiplier	Bezeichnung	Länge μM	Breite μM	Wert pF
1	C_1	100	100	10,03
3	C_C	100	100	30,09

Tabelle 9: Stückliste für die Miller-Kompensation

Auswahl der Parameter für die Transistoren im OPV

NMOS:

Multiplier	Bezeichnung	Länge	Totale Breite	Finger
1	MB1A	1,7 μM	16,8 μM	1
1	MB1B	1,7 μM	16,8 μM	1
1	MB1C	1,7 μM	16,8 μM	1

Tabelle 10: Stückliste für NMOS Transistoren im OPV

PMOS:

Multiplier	Bezeichnung	Länge	Breite	Finger
10	MBG1	1,7 μM	18 μM	1
20	MBG2	340 μM	1,35 μM	1
1	M2A	1,7 μM	90,1 μM	1
1	M2B	1,7 μM	90,1 μM	1
12	M3C	1,7 μM	90,1 μM	2

Tabelle 11: Stückliste für PMOS Transistoren im OPV

N-Zero (Differentialpärchen):

Menge	Bezeichnung	Länge	Totale Breite	Finger
1	M1A	800 nM	100 μ M	1
1	M1B	800 nM	100 μ M	1

Tabelle 12: Stückliste für N-Zero Transistoren im OPV

Für ein besseres Start-Up-Verhalten werden die Transistoren aus dem Start-Up-Circuit in **Abbildung 27** mit folgenden Parametern und Transistortypen ersetzt:

Die NMOS-Transistoren **M12**, **M10**, **M0** und **M4** werden durch N-Low-Voltage-Transistoren ersetzt und behalten ihre Parameter aus **Tabelle 7**. Diese N-LV-Transistoren haben eine kleinere Schwellenspannung. Die Transistoren **M5**, **M7**, **M8** und **M9** aus **Tabelle 6** bzw. **Tabelle 7** erhalten jeweils einen Multiplier von $m = 10$ und behalten ihre Längen, so wie Breiten.

Die Untersuchung der Stabilität mit der zweiten Variante (Miller-Kompensation) zeigt, dass im nominellen Arbeitspunkt der Phasenrand $\sim 76,3^\circ$ beträgt und die Bandgap-Schaltung somit stabil ist.

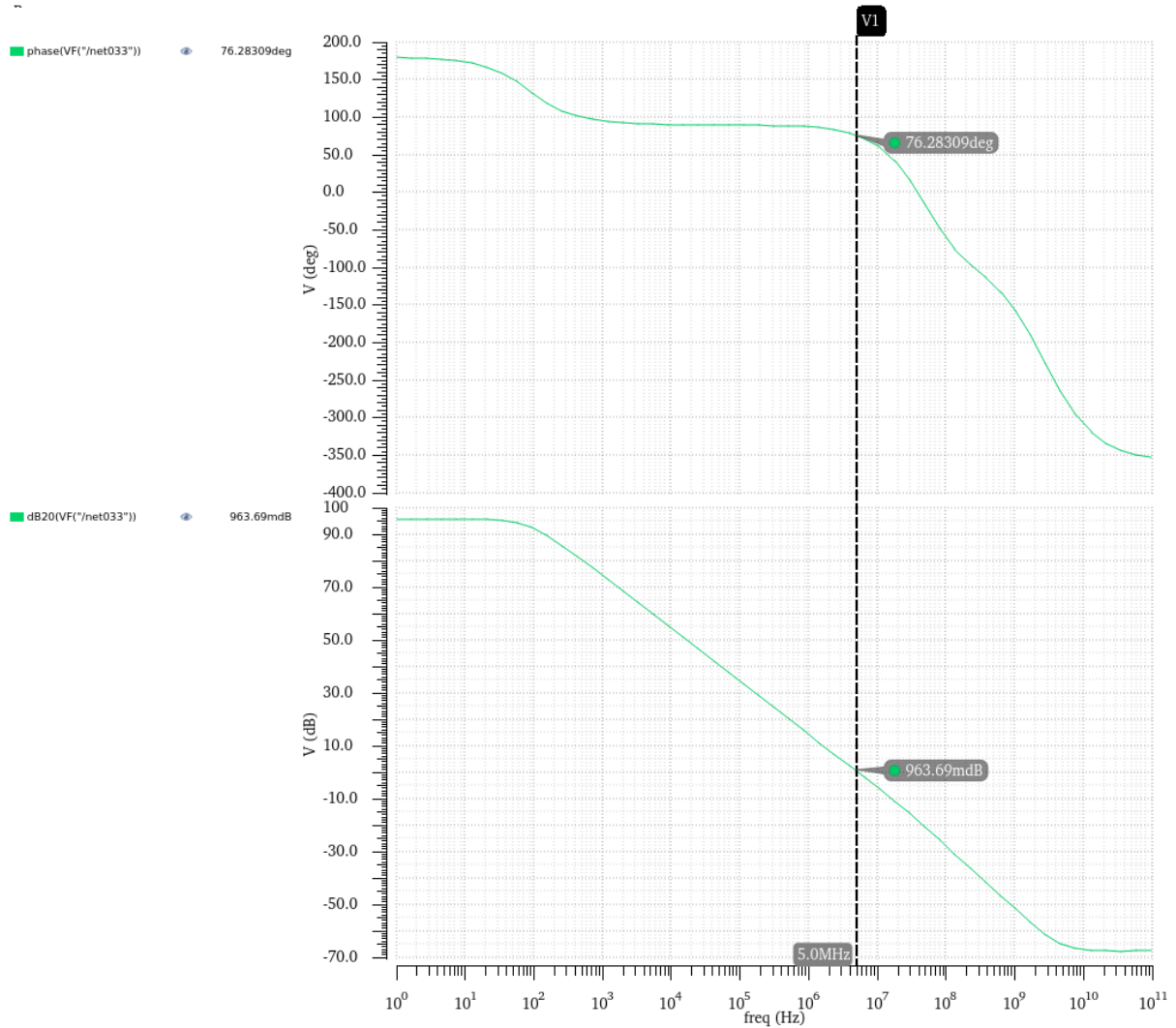


Abbildung 42: Phasenrand des OPVs mit Miller-Kompensation

5.3.1.2 Corner-Analyse

Für den Phasenrand wird ein gültiger Wertebereich von 60° bis 180° eingestellt. Die Analyse zeigt, dass die Referenzschaltung unter allen möglichen Zuständen den erwünschten Phasenrand $\geq 60^\circ$ erreicht und somit stabil ist.

mm180_bjt_v121	mm180_lvt33_v113	mm180_mimcap_v101	mm180_reg33_v114	mm180_reg33bpw_v123	mm180_res_v141	mm180_zvt33_v113	temperature	Pass/Fail	Phase Margin
ff_bip	ff	mimcaps_min	ff	ff	res_min	ff	-20	pass	76.25
ff_bip	ff	mimcaps_min	ff	ff	res_min	ff	27	pass	77.76
ff_bip	ff	mimcaps_min	ff	ff	res_min	ff	60	pass	78.67
tt_bip	fnsp	mimcaps_typ	fnsp	fnsp	res_typ	fnsp	-20	pass	76.82
tt_bip	fnsp	mimcaps_typ	fnsp	fnsp	res_typ	fnsp	27	pass	78.34
tt_bip	fnsp	mimcaps_typ	fnsp	fnsp	res_typ	fnsp	60	pass	79.29
tt_bip	fnsp	mimcaps_typ	snfp	snfp	res_typ	snfp	-20	pass	76.46
tt_bip	fnsp	mimcaps_typ	snfp	snfp	res_typ	snfp	27	pass	78.12
tt_bip	fnsp	mimcaps_typ	snfp	snfp	res_typ	snfp	60	pass	79.08
tt_bip	snfp	mimcaps_typ	snfp	snfp	res_typ	snfp	-20	pass	76.46
tt_bip	snfp	mimcaps_typ	snfp	snfp	res_typ	snfp	27	pass	78.12
tt_bip	snfp	mimcaps_typ	snfp	snfp	res_typ	snfp	60	pass	79.08
ff_bip	ss	mimcaps_max	ss	ss	res_max	ss	-20	pass	77.14
ff_bip	ss	mimcaps_max	ss	ss	res_max	ss	27	pass	78.8
ff_bip	ss	mimcaps_max	ss	ss	res_max	ss	60	pass	79.75
tt_bip	tt	mimcaps_typ	tt	tt	res_typ	tt	-20	pass	76.69
tt_bip	tt	mimcaps_typ	tt	tt	res_typ	tt	27	pass	78.26
tt_bip	tt	mimcaps_typ	tt	tt	res_typ	tt	60	pass	79.21

Abbildung 43: Corner-Simulation für die Stabilität mit der Miller-Kompensation

5.3.1.3 Monte-Carlo-Simulation

Die Monte-Carlo-Simulation bezieht sich auf die Variationen während der Herstellung eines Mikroelektronikchips. Mikroelektronikchips werden aus Wafern hergestellt. Das Grundmaterial eines Wafers ist Quarzsand. Durch mehrere chemischen Abläufe erhält man durch diesen Quarzsand ein perfektes Siliziumgestell. Dieses Gestell wird dann in dünne, runde Platten geschnitten, welche Wafer genannt werden. Der Wafer wird ebenfalls in rechteckige Strukturen zersägt, die schließlich mehrere Chips ergeben. Das Verhalten von gleichen Transistoren auf demselben Chip variieren. Diese Variationen bezeichnet man meist als lokale Variationen bzw. mit dem englischen Wort "Mismatch". Des Weiteren kann sich das Verhalten auch bei der Produktion von Chip zu Chip und von Wafer zu Wafer ändern. Derartige Variationen bezeichnet man meist als global bzw. als Prozessvariationen. Im Simulator unter der Option „Statistical Variation“ wird ausgewählt, ob einer dieser beiden Fälle allein oder beide gleichzeitig berücksichtigt werden sollen. Auch ist unter der Kategorie „Number of Points“ die Anzahl der Simulationsdurchläufe einstellbar.

Für die Charakterisierung der Bandgap-Schaltung werden sowohl lokale als auch globale Variationen berücksichtigt und 200 Simulationsdurchläufe festgelegt. Die Monte-Carlo Simulationsmodelle der UMC 180 nm Technologie stellen eine Variable Sigma bereit, die bei der Generierung der Bauteilvariationen ausgewertet wird. Die Bauteilvariationen werden in den Simulationsmodellen als Gaußverteilung statistisch beschrieben, wobei der Parameter SIGMA der Standardabweichung der Gaußschen-Glockenkurve entspricht. Die Variable Sigma wird mit 3 gleichgesetzt, wodurch die Werte von bis zu drei 3 Sigma-Abschnitten links und rechts vom Mittelwert der Verteilung bei der Bauteilvariation berücksichtigt werden. [2]

Das Ergebnis der Monte Carlo Simulation ist in **Abbildung 44** zu sehen. Die Standardabweichung beträgt bei der Phasenreserve $\sim 1,4^\circ$.

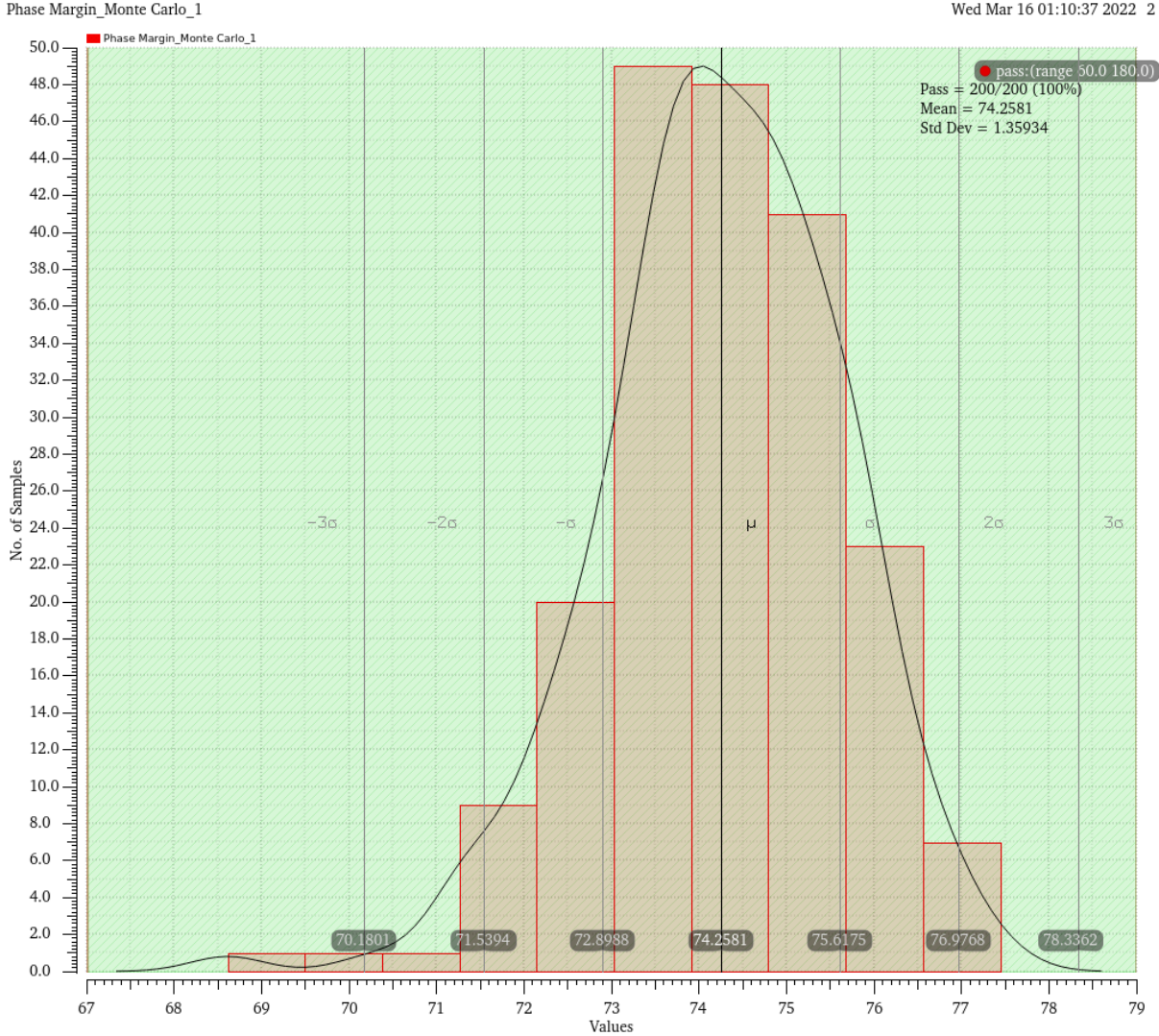


Abbildung 44: Monte-Carlo-Simulation für die Stabilität mit der Miller-Kompensation

Bei der Ausgangsspannung in **Abbildung 45** ist zu erkennen, dass auch bei steigender Temperatur die ± 20 mV eingehalten werden.

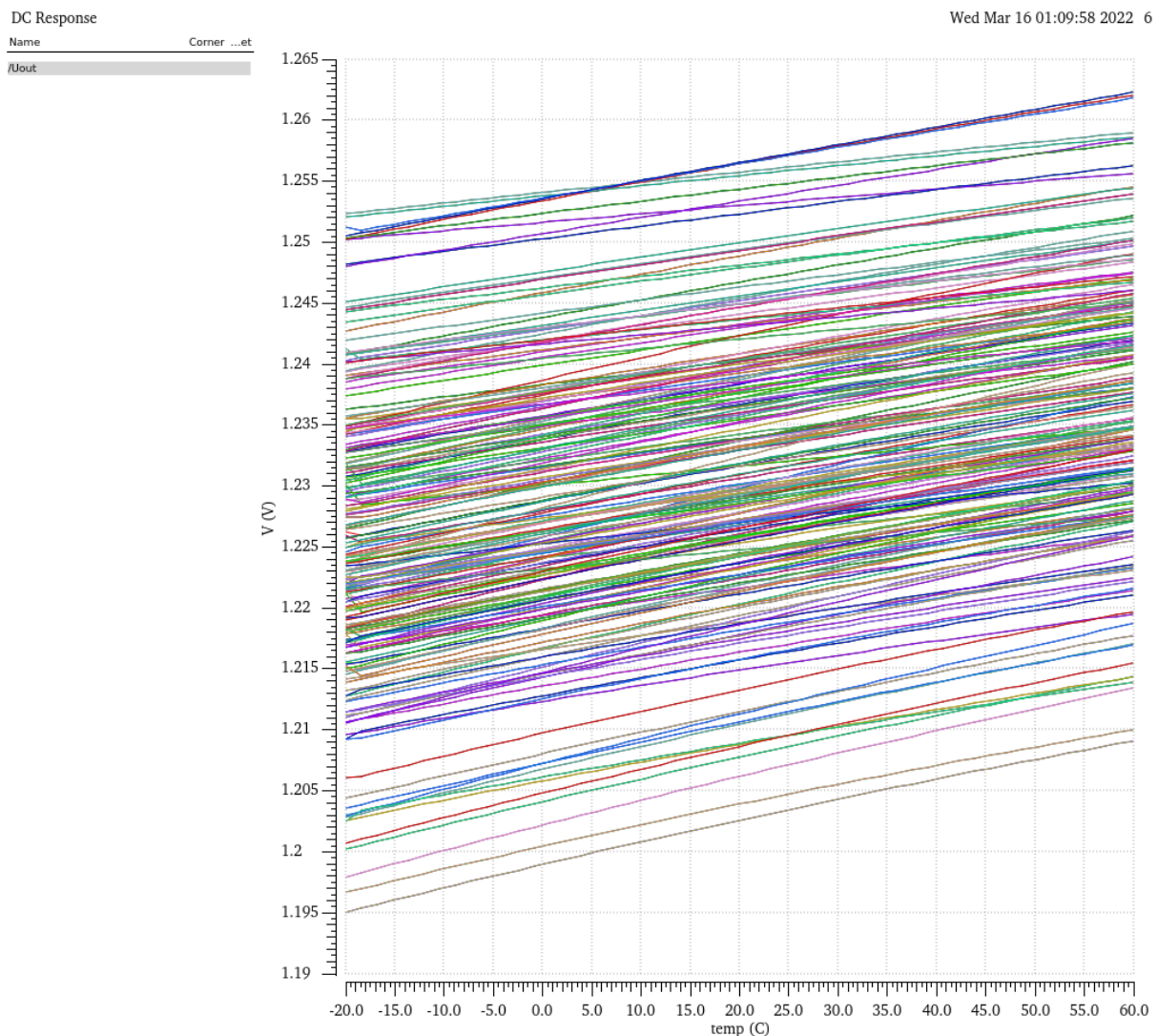


Abbildung 45: Verlauf der Ausgangsspannung V_{OUT} bei steigender Temperatur

5.3.2 DC-Sweep-Analyse für die Untersuchung des Start-Up-Verhaltens

5.3.2.1 Corner-Analyse

Für die Ausgangsspannung wird ein gültiger Wertebereich von 1,0 V bis 1,4 V eingestellt. Die Analyse in **Abbildung 46** zeigt, dass die Referenzschaltung die erwünschten 1,2 V (± 20 mV) am Ausgang liefert.

nm180_bjt_v121.lib.scs	mm180_lvt33_v113.lib.scs	mm180_mimcap_v101.lib.scs	mm180_reg33_v114.lib.scs	mm180_reg33bpw_v123.lib.scs	mm180_res_v141.lib.scs	mm180_zvt33_v113.lib.scs	temperature	Pass/Fail	VDC("/Uout')
ff_bip	ff	mimcaps_min	ff	ff	res_min	ff	-20	pass	1.211
ff_bip	ff	mimcaps_min	ff	ff	res_min	ff	27	pass	1.213
ff_bip	ff	mimcaps_min	ff	ff	res_min	ff	60	pass	1.215
tt_bip	fnsp	mimcaps_typ	fnsp	fnsp	res_typ	fnsp	-20	pass	1.201
tt_bip	fnsp	mimcaps_typ	fnsp	fnsp	res_typ	fnsp	27	pass	1.201
tt_bip	fnsp	mimcaps_typ	fnsp	fnsp	res_typ	fnsp	60	pass	1.2
tt_bip	fnsp	mimcaps_typ	snfp	snfp	res_typ	snfp	-20	pass	1.201
tt_bip	fnsp	mimcaps_typ	snfp	snfp	res_typ	snfp	27	pass	1.201
tt_bip	fnsp	mimcaps_typ	snfp	snfp	res_typ	snfp	60	pass	1.2
tt_bip	snfp	mimcaps_typ	snfp	snfp	res_typ	snfp	-20	pass	1.201
tt_bip	snfp	mimcaps_typ	snfp	snfp	res_typ	snfp	27	pass	1.201
tt_bip	snfp	mimcaps_typ	snfp	snfp	res_typ	snfp	60	pass	1.2
ff_bip	ss	mimcaps_max	ss	ss	res_max	ss	-20	pass	1.195
ff_bip	ss	mimcaps_max	ss	ss	res_max	ss	27	pass	1.194
ff_bip	ss	mimcaps_max	ss	ss	res_max	ss	60	pass	1.192
tt_bip	tt	mimcaps_typ	tt	tt	res_typ	tt	-20	pass	1.201
tt_bip	tt	mimcaps_typ	tt	tt	res_typ	tt	27	pass	1.201
tt_bip	tt	mimcaps_typ	tt	tt	res_typ	tt	60	pass	1.2

Abbildung 46: Corner-Simulation für das Start-Up-Verhalten bei einem Sweep über die Versorgungsspannung von 0 bis 3,5 V

In **Abbildung 47** ist bei einigen Fällen jedoch zu beobachten, dass sich das Start-Up-Circuit nicht immer abschaltet.

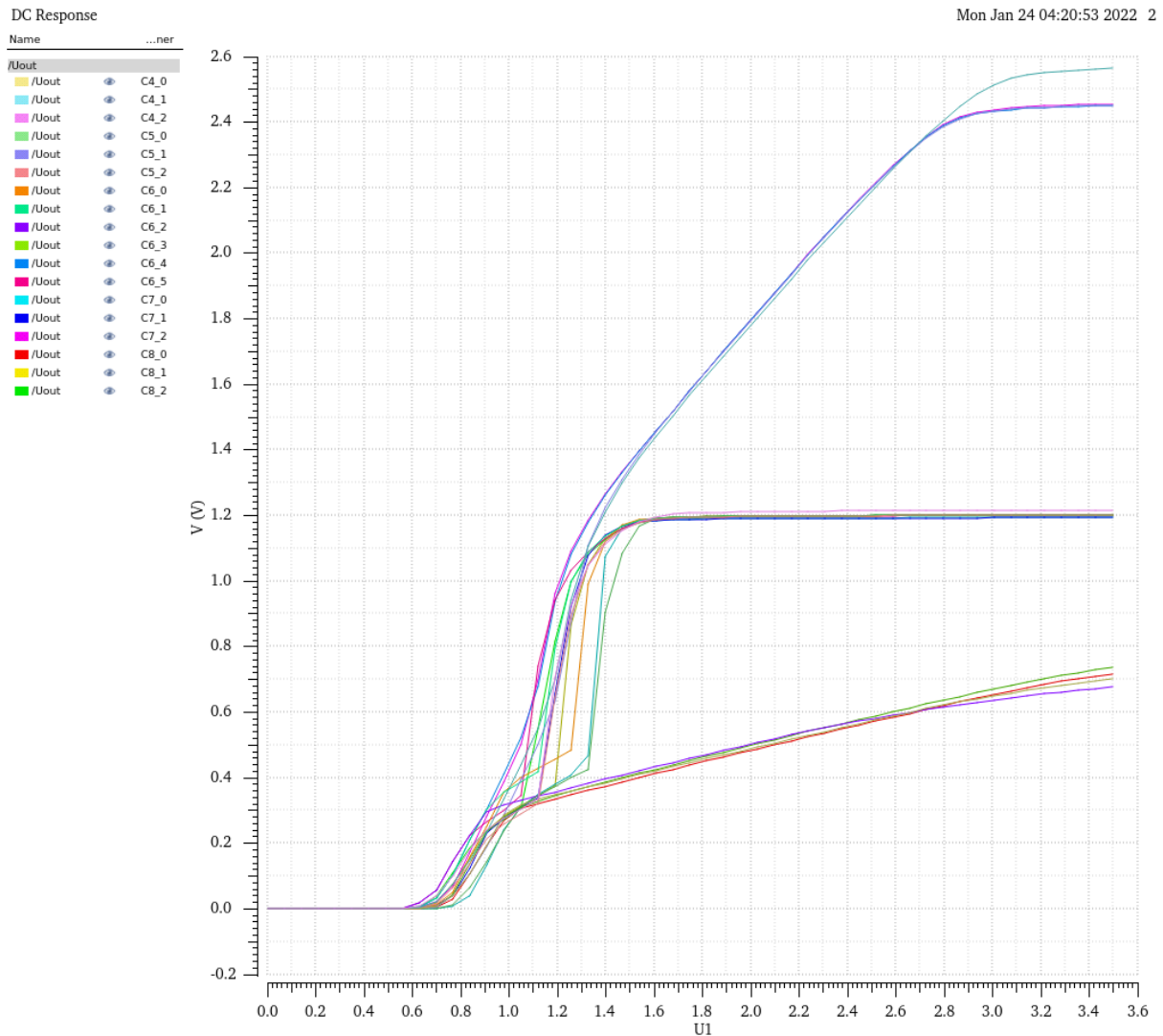


Abbildung 47: Verlauf der Ausgangsspannung V_{out} bei steigender Spannung

5.3.2.2 Monte-Carlo-Simulation

Die **Abbildung 48** und **Abbildung 49** zeigen die Monte-Carlo-Simulation und die Ausgangsspannung der Referenzschaltung für das Start-Up-Verhalten bei einem Sweep über die Versorgungsspannung von 0 bis 3,5 V.

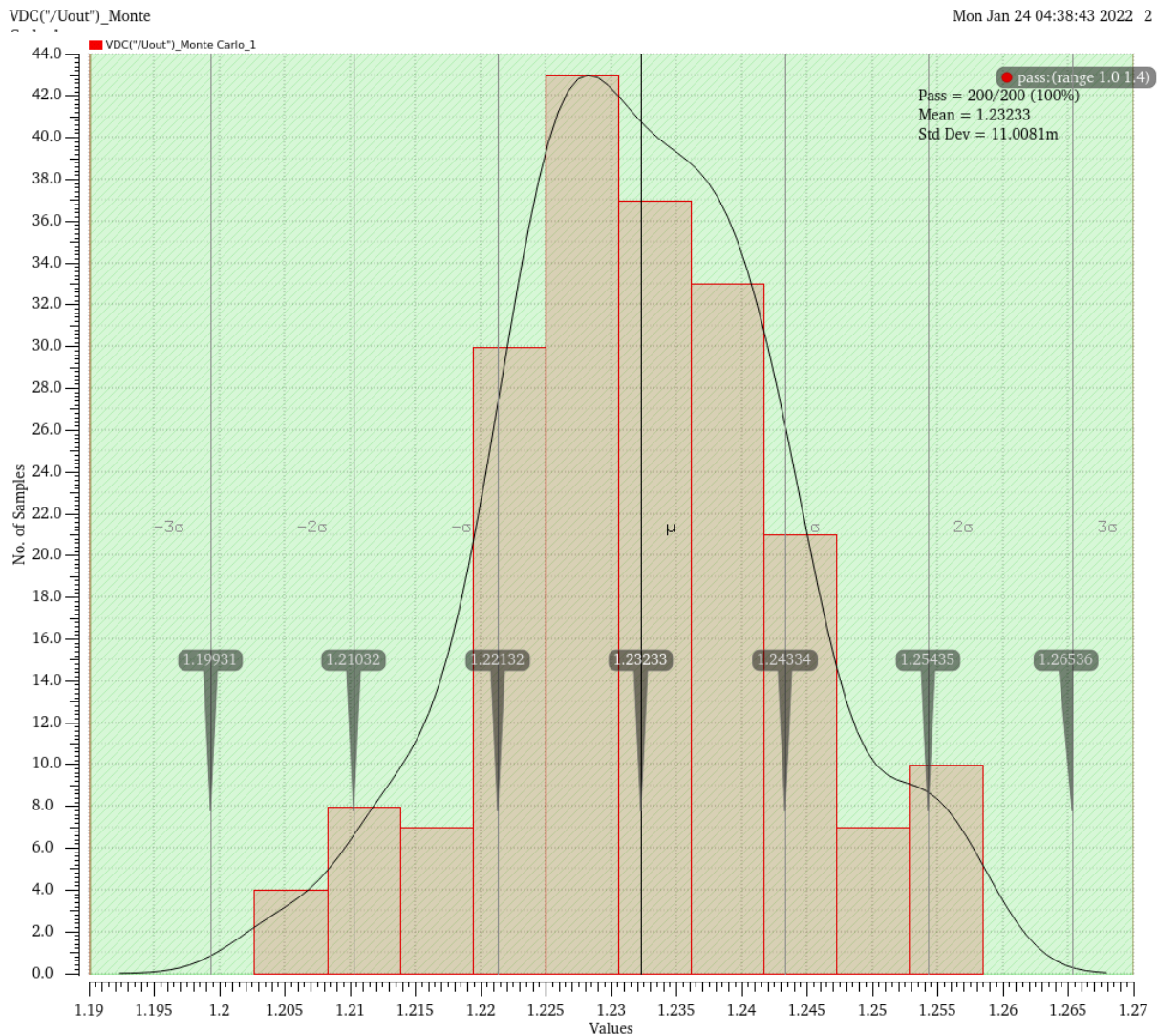


Abbildung 48: Monte-Carlo-Simulation für das Start-Up-Verhalten bei einem Sweep über die Versorgungsspannung von 0 bis 3,5 V

Edit Object Properties

Show system user CDF

Property	Value	Display
Library Name	analogLib	off
Cell Name	vpulse	off
View Name	symbol	off
Instance Name	V0	off

User Property	Master Value	Local Value	Display
Ivsignore	TRUE		off

CDF Parameter	Value	Display
Frequency name for 1/period		off
Noise file name		off
Number of noise/freq pairs	0	off
DC voltage	U1 V	off
AC magnitude		off
AC phase		off
XF magnitude		off
PAC magnitude		off
PAC phase		off
Voltage 1	0 V	off
Voltage 2	3.5 V	off
Period		off
Delay time		off
Rise time	10m s	off
Fall time	1f s	off
Pulse width	10.1m s	off
Temperature coefficient 1		off
Temperature coefficient 2		off

Abbildung 50: Einstellungen für die pulsierende Spannungsquelle

5.3.3.1 Corner-Analyse

In **Abbildung 51** erkennt man, dass das Start-Up-Circuit spätestens nach ca. 4,5 ms startet und somit funktioniert.

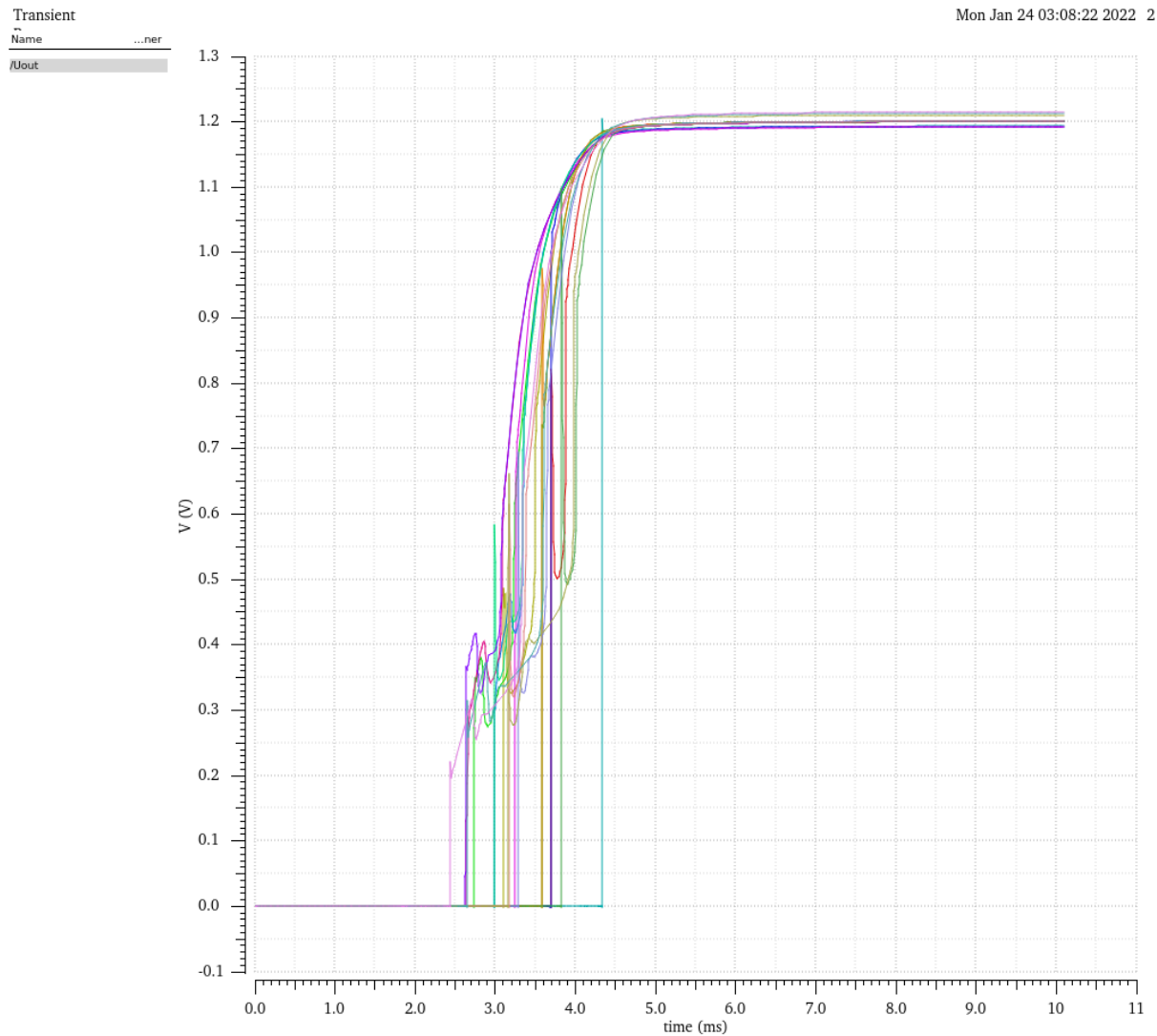


Abbildung 51: Einschaltzeit und Verlauf der Ausgangsspannung der Start-Up-Schaltung für die Transiente Corner-Simulation

5.3.3.2 Monte-Carlo-Simulation

Auch bei der Monte-Carlo-Simulation in **Abbildung 52** erkennt man, dass das Start-Up-Circuit startet und funktioniert.

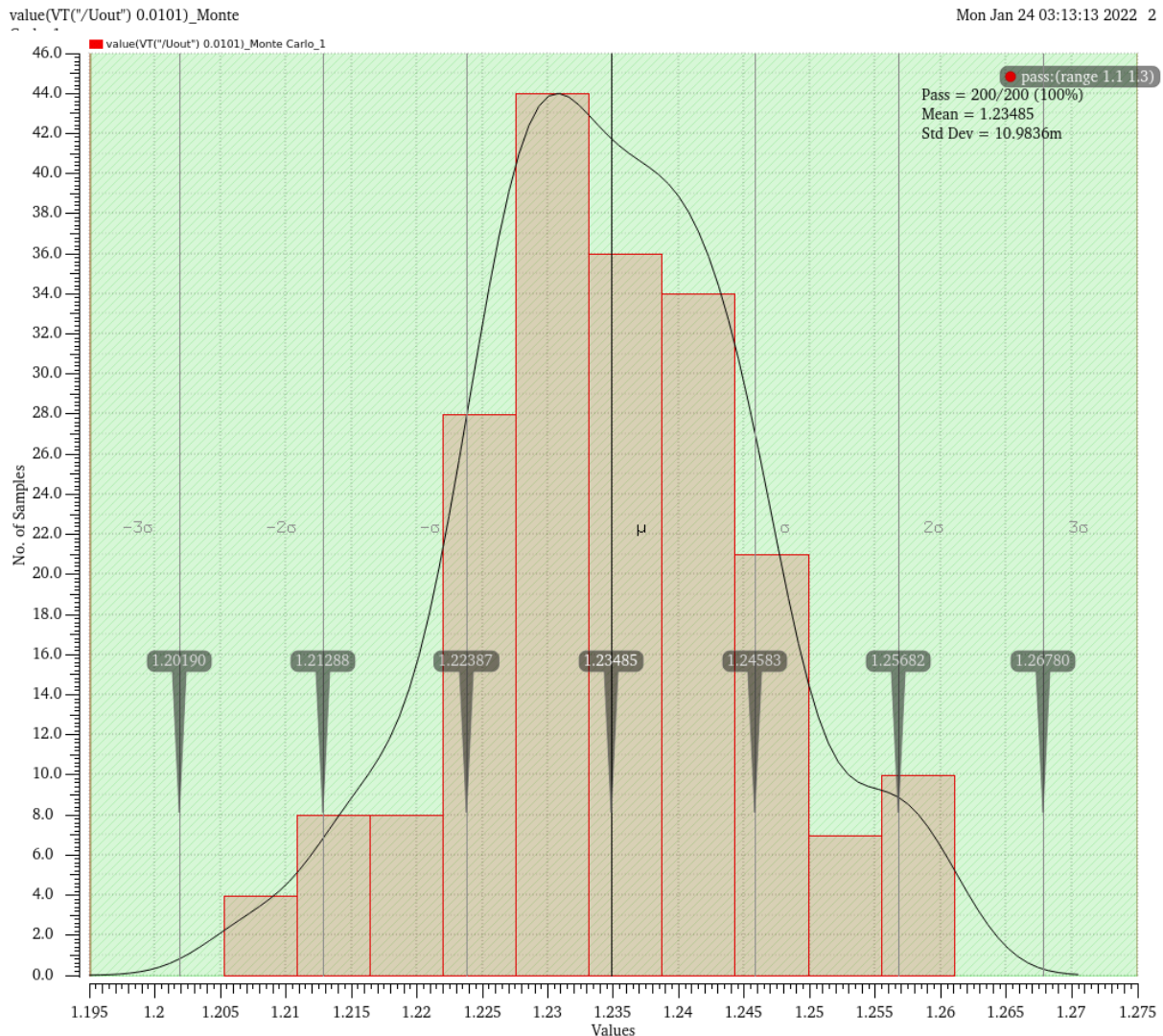


Abbildung 52: Transiente Monte-Carlo-Simulation für das Start-Up-Verhalten bei einer Anstiegszeit von 10,1 ms

Da die Simulationen in der Transiente-Analyse im Gegensatz zur DC-Sweep-Analyse über die Versorgungsspannung von 0 bis 3,5 V funktionieren und den richtigen Arbeitspunkt einnehmen, lässt man dieses Design als funktionsfähig gelten. Die Transiente-Analyse stellt als Funktion der Zeit den realistischen Einschaltvorgang dar und ist somit der DC-Sweep-Analyse über der Versorgungsspannung vorzuziehen. Die DC-Sweep-Analyse berücksichtigt keine Transienten, die sich, während das System hochfährt, einstellen.

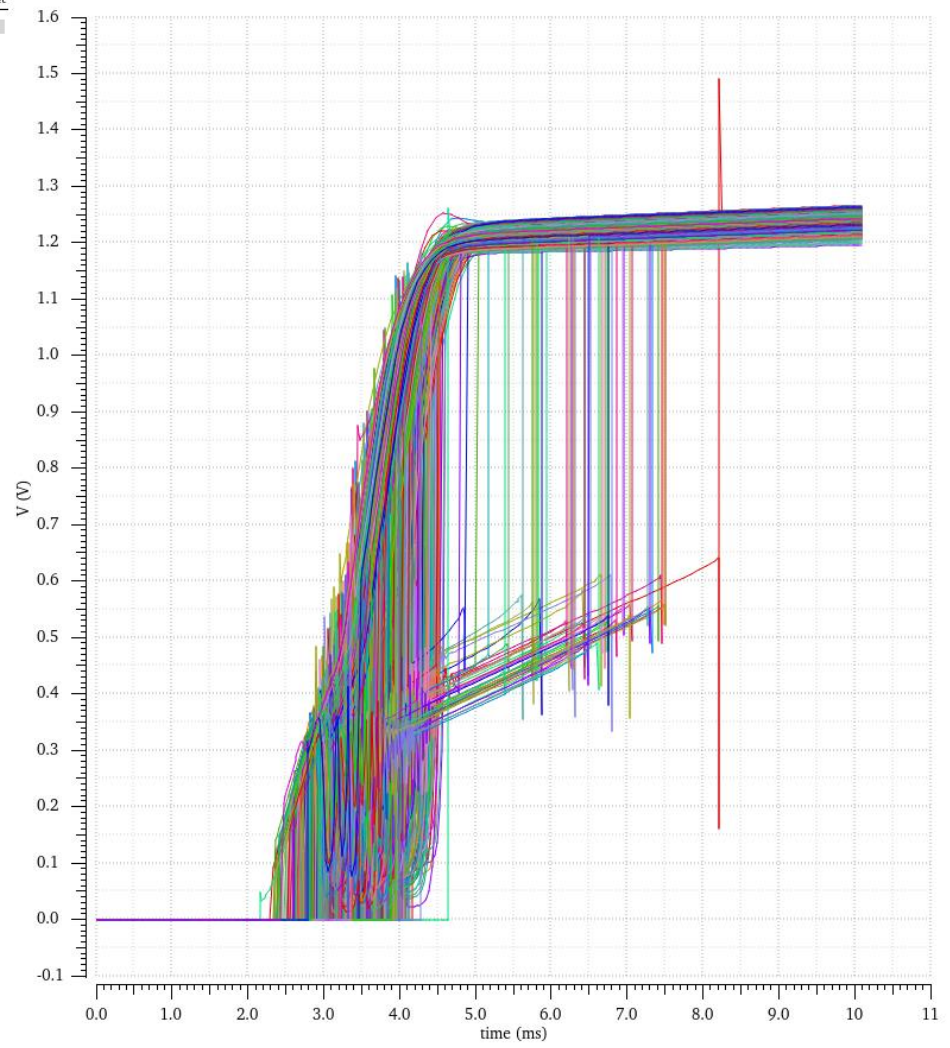


Abbildung 53: Einschaltzeit und Verlauf der Ausgangsspannung der Start-Up-Schaltung für die Transiente Monte-Carlo-Simulation

6 Fazit

In diesem Projekt wurde eine temperaturstabile Bandgap-Referenzschaltung zur Verwendung in einem synchronen Buck-Konverter entsprechend den Vorgaben erfolgreich entworfen und simuliert. Zunächst wurde die Bandgap-Referenzschaltung mit einem Verilog-A Modell eines idealen Operationsverstärkers entworfen. Nachdem diese vollständig aufgebaut und die Parameter des Operationsverstärkers ermittelt worden sind, wurde ein zweistufiger OpAmp entworfen.

Zusätzlich wurde eine Biasing-Schaltung benötigt, welche zuvor im Labor der FH-Dortmund von einem anderen Studenten erfolgreich entworfen und getestet worden war.

Nach dem vollständigen Entwurf wurde jede Schaltung einzeln auf bestimmte Kriterien wie z. B. Corner, Stabilität und Temperaturabhängigkeit untersucht. Anschließend wurde das Modell des idealen Operationsverstärkers durch den neu entworfenen OpAmp ersetzt und alle Simulationen der Referenzschaltung wurden erneut durchgeführt.

Unter den vorgegebenen Umgebungstemperaturen sowie möglichen Eingangsspannungsschwankungen liefert die Bandgap-Referenzspannungsquelle innerhalb des Toleranzbereiches die gewünschte Referenzspannung von 1,2 V und weist eine Stabilität mit einem Phasenrand von ca. 75° auf. Somit ist die Bandgap-Spannungsreferenzquelle für ihre vorgesehene Verwendung als integrierte Schaltung im synchronen Buck-Konverter geeignet und das Layout kann durchgeführt werden.

Die Bachelorarbeit wurde hiermit erfolgreich abgeschlossen.

An dieser Stelle bedanke ich mich bei der Fachhochschule Dortmund und besonders beim Herrn Prof. Dr.-Ing. Michael Karagounis für seine Betreuung und Unterstützung während des Projekts.

Abbildungsverzeichnis

Abbildung 1: Darstellung der Spannungen U_{BE} und Dotierungsschichten des PNP Transistors [1].....	4
Abbildung 2: Prinzipieller Aufbau eines NMOS-Transistors im Querschnitt.....	5
Abbildung 3: Schaltsymbole für ein NMOS.....	6
Abbildung 4: Prinzipieller Aufbau eines PMOS-Transistors im Querschnitt.....	7
Abbildung 5: Schaltsymbole für ein PMOS.....	8
Abbildung 6: Linear- und Sättigungsbereich [2].....	9
Abbildung 7: Parasitäre Kapazitäten eines Transistors [3].....	10
Abbildung 8: Stromspiegel [5].....	11
Abbildung 9: Grundschialtung eines OPV mit virtuellem Kurzschluss.....	12
Abbildung 10: Regelkreis [3].....	14
Abbildung 11 :Ortskurve für stabiles und instabiles System [3].....	15
Abbildung 12:Stabilität überprüfen anhand des Bode-Diagramms [3].....	16
Abbildung 13: Phasenreserve in der Ortskurve.....	17
Abbildung 14: Grundaufbau des Buck-Konverters.....	18
Abbildung 15: Regelkreis des Buck-Konverters mit einzeln markierten Komponenten.....	18
Abbildung 16: Laststromfluss bei geschlossenem HSS.....	19
Abbildung 17: PID-Regler mit Spannungsreferenzquelle.....	20
Abbildung 18: Darstellung einer Sägezahnspannung.....	21
Abbildung 19: Darstellung der negativen und positiven Temperaturkoeffizienten [1].....	22
Abbildung 20: Grundaufbau der Bandgap-Spannungseferenzschaltung.....	23
Abbildung 21: Darstellung der Spannungen U_{BE} am PNP-Transistor [1].....	24
Abbildung 22: Darstellung der Spannungen U_{BE1} und U_{BE2} [1].....	26
Abbildung 23: Widerstands-Array für R1.....	32
Abbildung 24: Widerstands-Array für R2.....	33
Abbildung 25: Widerstands-Array für R3.....	34
Abbildung 26: Widerstands-Array für R4.....	35
Abbildung 27: Gesamtschialtung der Bandgap-Referenzschaltung.....	37
Abbildung 28: Grafische Darstellung der Ausgangsspannung U_{out} bei einer Eingangsspannung von 3,3 V.....	40
Abbildung 29: Grafische Darstellung der Ausgangsspannung U_{out} einer Eingangsspannung von 2.5V.....	41
Abbildung 30: Grafische Darstellung der Ausgangsspannung U_{out} bei einer Eingangsspannung von 3,5 V.....	42
Abbildung 31: Darstellung der schlechtesten bzw. besten Corner.....	43
Abbildung 32: Darstellung der Bandgap-Referenzspannung als Funktion der Temperatur für verschiedene Corner und Versorgungsspannungen.....	44
Abbildung 33: Testbench zur Einstellung der Arbeitspunkte des OPVs.....	47
Abbildung 34: Schaltsymbol des OPVs (Differenzverstärker).....	48
Abbildung 35: Grafische Darstellung der Ausgangsspannung U_{out} ohne Kompensation.....	50
Abbildung 36: Phasenrand des OPVs ohne Kompensation.....	51
Abbildung 37: Aufgebrochener Regelkreis mit einer Kapazität am Ausgang des OPVs.....	52
Abbildung 38: Phasenrand des OPVs mit 300 pF Kompensation.....	53
Abbildung 39: OPVs mit Tiefpass-Filter und Miller-Kompensation.....	54
Abbildung 40: Variable Sweep zur Bestimmung der Widerstands- und Kapazitätswerte, sowie dem Multiplier.....	55
Abbildung 41: OPV mit Biasing-Stromquelle.....	56
Abbildung 42: Phasenrand des OPVs mit Miller-Kompensation.....	59
Abbildung 43: Corner-Simulation für die Stabilität mit der Miller-Kompensation.....	60
Abbildung 44: Monte-Carlo-Simulation für die Stabilität mit der Miller-Kompensation.....	61
Abbildung 45: Verlauf der Ausgangsspannung V_{OUT} bei steigender Temperatur.....	62
Abbildung 46: Corner-Simulation für das Start-Up-Verhalten bei einem Sweep über die Versorgungsspannung von 0 bis 3,5 V.....	63
Abbildung 47: Verlauf der Ausgangsspannung V_{OUT} bei steigender Spannung.....	63
Abbildung 48: Monte-Carlo-Simulation für das Start-Up-Verhalten bei einem Sweep über die Versorgungsspannung von 0 bis 3,5 V.....	64
Abbildung 49: Verlauf der Ausgangsspannung V_{OUT} bei steigender Spannung.....	65
Abbildung 50: Einstellungen für die pulsierende Spannungsquelle.....	66
Abbildung 51: Einschaltzeit und Verlauf der Ausgangsspannung der Start-Up-Schialtung für die Transiente Corner-Simulation.....	67

Abbildung 52: Transiente Monte-Carlo-Simulation für das Start-Up-Verhalten bei einer Anstiegszeit von 10,1 ms.....	68
Abbildung 53: Einschaltzeit und Verlauf der Ausgangsspannung der Start-Up-Schaltung für die Transiente Monte-Carlo-Simulation.....	69

Tabellenverzeichnis

Tabelle 1: Stückliste für den Widerstand R1	32
Tabelle 2: Stückliste für den Widerstand R2	33
Tabelle 3: Stückliste für den Widerstand R3	34
Tabelle 4: Stückliste für den Widerstand R4	35
Tabelle 5: Stückliste für bipolare Transistoren.....	35
Tabelle 6: Stückliste für PMOS Transistoren	36
Tabelle 7: Stückliste für NMOS Transistoren	36
Tabelle 8: Stückliste für den Widerstand R_c im OPV.....	57
Tabelle 9: Stückliste für die Miller-Kompensation	57
Tabelle 10: Stückliste für NMOS Transistoren im OPV	57
Tabelle 11: Stückliste für PMOS Transistoren im OPV	57
Tabelle 12: Stückliste für N-Zero Transistoren im OPV.....	58

Quellenverzeichnis

- [1] Prof. Dr.-Ing. Micheal Karagounis, *Computer unterstützter Entwurf in der Mikroelektronik, Kapitel 6: Bandgap-Spannungsreferenz, Folie 2-6, Wintersemester 16/17.*

- [2] Taner Saglam, *Bachelorarbeit: Entwicklung eines Schwellendiskriminators für einen synchronen Abwärts-wandler in einer 180nm CMOS Technologie, Seite 30 und wurden übernommen*

- [3] Deniz Sahin, *Bachelorarbeit: Entwurf eines Low-Drop Out Regulators in 180nm CMOS Technologie für die Verwendung in einem synchronen DC-DC Spannungswandler, Seite 16, 17, 18, 19 und 39 wurden übernommen*

- [4] Semih Yilmaz, *Masterthesis: Entwurf eines Low-Drop Out Regulators in 180nm CMOS Technologie für die Verwendung in einem synchronen DC-DC Spannungswandler, Seite 14 wurde übernommen*

- [5] Prof. Dr.-Ing. Micheal Karagounis, *Computer unterstützter Entwurf in der Mikroelektronik, Kapitel 3: Arbeitspunkteinstellung, Folie 5, Wintersemester 17/18.*

- [6] Prof. Dr. Ing. Michael Schmidt, *Hochfrequenztechnik, Stabilitätsbedingungen Operationsverstärker, Wintersemester 19/20*

Erklärung

Hiermit versichere ich an Eides statt, dass die von mir vorgelegte Arbeit selbstständig und ohne unzulässige fremde Hilfe erstellt worden ist. Alle verwendeten Quellen sind in der Arbeit so aufgeführt, dass Art und Umfang der Verwendung nachvollziehbar sind.

Dortmund, den 19.04.22

Alperen Yigit