

Strahlenharter CAN Physical Layer in 65 nm CMOS Technologie für das Kontrollsystem des ATLAS Pixeldetektors

Masterthesis

Erstprüfer: Prof. Dr. Michael Karagounis

Zweitprüfer: Alexander Walsemann

Autor: Tobias Fröse

Abgabetermin: 30.10.19

Kurzzusammenfassung

Die vorliegende Masterthesis beschreibt die Entwicklung eines Strahlenharten CAN Physical Layer in einer 65 nm CMOS Technologie für das Kontrollsystem des ATLAS Pixeldetektors. Dieser CAN Physical Layer ist Bestandteil des DCS Chips (Detector Control System), der im Rahmen des Upgrades des ATLAS Pixeldetektors zum High Luminosity Large Hadron Collider (HL-LHC) entwickelt wird. Die Aufgabe des DCS Chips ist die Steuerung und Überwachung der Sensorik des ATLAS Pixeldetektors. Die Transistoren der verwendeten Technologie dürfen mit maximal 1,2 Volt betrieben werden. Um dennoch die Kompatibilität zum CAN Standard beizubehalten ist es notwendig mit wesentlich höheren Spannungspegeln zu arbeiten. Im Verlauf dieser Masterthesis werden zu diesem Zweck ein CAN Treiber, ein Levelshifter und ein CAN Empfänger entworfen, die dazugehörigen Layouts erstellt und die Eigenschaften der Schaltungen auf dem ersten gefertigten Prototyp des DCS Chips vermessen.

Abstract

This thesis describes the development of a radiation hard CAN physical layer in a 65 nm CMOS technology for the control system of the ATLAS pixel detector. This CAN physical layer is part of the Detector Control System (DCS) chip, which is being developed as part of the upgrade of the ATLAS pixel detector to the High Luminosity Large Hadron Collider (HL-LHC). The task of the DCS chip is the control and monitoring of the sensor technology in the ATLAS pixel detector. The transistors of the used technology shall be operated with a maximum voltage of 1.2 volts. Nevertheless, to maintain compatibility with the CAN standard, it is necessary to work with much higher voltage levels. In this thesis, a CAN driver, a level shifter and a CAN receiver are designed, the associated layouts are generated and the measurement of the first produced prototype of the DCS chip is carried out.

Eidesstattliche Erklärung

Hiermit versichere ich an Eides statt, dass die von mir vorgelegte Prüfungsleistung selbstständig und ohne unzulässige fremde Hilfe erstellt worden ist. Alle verwendeten Quellen sind in der Arbeit so aufgeführt, dass Art und Umfang der Verwendung nachvollziehbar sind

Ort, Datum

Unterschrift

Inhalt

1.	Einleitung.....	1
2.	CAN Treiber.....	2
2.1.	Beschreibung und Anforderungen	2
2.2.	Grundfunktion CAN Treiber	2
2.3.	Strahlenharter CAN Treiber	3
2.4.	Anforderungen an den CAN Treiber.....	4
2.4.1.	Transistorkette	5
2.4.2.	Biasschaltung.....	8
2.5.	Gesamtschaltung.....	10
3.	Levelshifter	11
3.1.	Beschreibung und Anforderungen	11
3.2.	Grundmodell Levelshifter	11
3.3.	Einstellung des Levelshifters	14
3.4.	Synchronisation der NMOS/PMOS Steuersignale des CAN Treibers.....	16
3.5.	Endergebnis und weitere Aufgaben	19
4.	Simulationsergebnisse CAN Treiber und Levelshifter	20
4.1.	Simulationsergebnisse	24
4.1.1.	Cornersimulation	24
4.1.2.	Transiente Signalanalyse.....	26
4.1.3.	Monte Carlo (Mismatch).....	28
4.1.4.	Monte Carlo (Process)	30
5.	CAN Empfänger.....	31
5.1.	Beschreibung und Anforderungen	31
5.2.	Eingangsstufe	32
5.3.	Komparator mit PMOS Eingangsstufe	34
5.3.1.	Dominanter Zustand im Komparator mit PMOS Eingangsstufe.....	35
5.3.2.	Rezessiver Zustand im Komparator mit PMOS Eingangsstufe	36
5.3.3.	Arbeitsbereich Transistor M8.....	37
5.4.	Komparator mit NMOS Eingangsstufe.....	38
5.4.1.	Dominanter Zustand im Komparator mit NMOS Eingangsstufe	39
5.4.2.	Rezessiver Zustand im Komparator mit NMOS Eingangsstufe	40
5.4.3.	Arbeitsbereich Transistor M7.....	41
5.5.	Endverstärkung	42
5.6.	Simulationsergebnisse CAN Empfänger.....	43

6.	Layout.....	44
6.1.	Allgemein	44
6.1.1.	Erläuterung Schichten.....	44
6.1.2.	Bauteile	47
6.1.3.	Begriffe Layoutdesign	54
6.2.	Layout des Levelshifters.....	56
6.2.1.	Allgemein	56
6.2.2.	Position Kontakte	56
6.2.3.	Bauteilpositionierung.....	57
6.2.4.	Dimensionierung der Bauteile im Layout.....	59
6.3.	Layout des CAN Treibers.....	60
6.3.1.	Floorplan des CAN Treibers.....	60
6.3.2.	Position Kontakte	61
6.3.3.	Bauteilpositionierung.....	62
6.3.4.	Layout Dimensionierung der Bauteile	63
6.4.	Layout des CAN Empfängers	65
6.4.1.	Floorplan des CAN Empfängers.....	65
6.4.2.	Position der Kontakte	66
6.4.3.	Positionierung der Bauteile.....	68
6.4.4.	Dimensionierung der Bauteile im Layout.....	68
6.5.	Floorplan.....	69
7.	Ergebnis nach Produktion.....	72
7.1.	Messungen am CAN Treiber	73
7.2.	Messungen am CAN Empfänger.....	74
8.	Zusammenfassung	75
8.1.	Ausblick.....	76
9.	Anhang	77
10.	Literatur	88

Abbildungsverzeichnis

Abbildung 1: CAN Treiber (einfach)	2
Abbildung 2: Blockdiagramm CAN Treiber	3
Abbildung 3: Steuersignale PMOS (rot) und NMOS (blau)	4
Abbildung 4: Ausgangssignal CAN Treiber	5
Abbildung 5: Transistorkette NMOS Teil	5
Abbildung 6: Transistorketten PMOS und NMOS Teil	7
Abbildung 7: NMOS CAN Treiber	8
Abbildung 8: Spannungsteiler R8/R9	9
Abbildung 9: Gesamtschaltung CAN Treiber	10
Abbildung 10: Einfacher Inverter	11
Abbildung 11: Grundmodell Levelshifter	12
Abbildung 12: Ausgangspegel Levelshifter	13
Abbildung 13: Schaltbild Transistoreinstellung VDD3V6	14
Abbildung 14: Oberes Ausgangssignal und Eingangssignal	16
Abbildung 15: Schaltbild Transistoreinstellung VDD1V2	17
Abbildung 16: Steuersignale NMOS (unten) und PMOS (oben)	18
Abbildung 17: Blockschaltbild gesamt	20
Abbildung 18: Flanken vor und nach Verzögerungskette. Alle Corner. Steigende Flanke PMOS vor (rot) nach (gelb). Fallende Flanke NMOS vor (blau) nach (grün).	21
Abbildung 19: Flanken vor und nach Verzögerungskette. Alle Corner. Fallende Flanke PMOS vor (rot) nach (gelb). Steigende Flanke NMOS vor (blau) nach (grün).	22
Abbildung 20: Verzögerungskette. Oben: Verzögerung PMOS Steuersignal. Mitte: Flankensteilheit PMOS. Unten: Flankensteilheit NMOS	23
Abbildung 21: Output Setup Cornersimulation	24
Abbildung 22: Cornersimulation Vbus = 2V	25
Abbildung 23: Cornersimulation Vbus = 3V	25
Abbildung 24: CAN_H, CAN_L, V_Diff	26
Abbildung 25: Monte Carlo (Mismatch)	28
Abbildung 26: Output Setup für Transistor M0	29
Abbildung 27: Monte Carlo (Process)	30
Abbildung 28: Gesamtschaltung CAN Empfänger	31
Abbildung 29: Eingangssignale und Potentiale a und b	33
Abbildung 30: Entscheidungsnetzwerk mit PMOS Eingangsstufe	34
Abbildung 31: Entscheidungsnetzwerk mit PMOS Eingangsstufe. Arbeitspunkt im dominanten Zustand	35
Abbildung 32: Entscheidungsnetzwerk mit PMOS Eingangsstufe. Arbeitspunkt im rezessiven Zustand	36
Abbildung 33: Entscheidungsnetzwerk mit NMOS Eingangsstufe	38
Abbildung 34: Entscheidungsnetzwerk mit NMOS Eingangsstufe. Arbeitspunkt im dominanten Zustand	39
Abbildung 35: Entscheidungsnetzwerk mit NMOS Eingangsstufe. Arbeitspunkt im rezessiven Zustand	40
Abbildung 36: Verstärker oberer und unterer Schaltungsteil	42
Abbildung 37: CAN Empfänger Ein- und Ausgangssignal	43
Abbildung 38: Wannenstruktur aus NW (grün) und DNW (blau)	45
Abbildung 39: Layout Widerstand (RPDMY und RH ausgeblendet)	47
Abbildung 40: MOM Kapazität. Links: Metallebene 1. Rechts Metallebene 1 und 2. Ohne VIAs.	48

Abbildung 41: Ausschnitt eines Kondensators im Layout.....	48
Abbildung 42: Layout PMOS und NMOS Transistoren M1 bis M4 des Levelshifter.....	49
Abbildung 43: Layout NMOS und PMOS Transistoren Levelshifter. Metallisierung unterster Ebene und DNW.....	50
Abbildung 44: Layout Inverterschaltung.....	51
Abbildung 45: Layout PMOS Transistoren mit Dummy.....	52
Abbildung 46: Layout Widerstand mit Dummy.....	53
Abbildung 47: Layout Levelshifter Bauteilpositionierung.....	56
Abbildung 48: Layout Levelshifter IO.....	56
Abbildung 49: Layout Levelshifter links Bauteile.....	57
Abbildung 50: Layout Levelshifter rechts Bauteile.....	57
Abbildung 51: Layout Levelshifter Transistoren in der Mitte.....	58
Abbildung 52: Layout CAN Treiber Bauteilpositionierung.....	60
Abbildung 53: Layout CAN Treiber IO.....	61
Abbildung 54: Layout CAN Treiber Kapazitäten und Widerstände.....	62
Abbildung 55: Layout CAN Empfänger.....	65
Abbildung 56: Schaltbild CAN Empfänger.....	65
Abbildung 57: Spannungsteilung CAN_L im CAN Empfänger.....	66
Abbildung 58: Transistoren und Inverterstufen im CAN Empfänger.....	67
Abbildung 59: Floorplan Gesamtansicht.....	69
Abbildung 60: Pading: Ringstruktur und Pad für Bonding.....	70
Abbildung 61: Messaufbau DCS Prototyp.....	72
Abbildung 62: Messergebnis CAN Treiber. Lila: CAN_H. Rot: CAN_L. Grün: IN.....	73
Abbildung 63: Messergebnis CAN Empfänger. Lila: CAN_H. Rot: CAN_L, Grün: OUT.....	74

1. Einleitung

Das ATLAS Projekt ist einer der beiden großen Experimente des Large Hadron Collider (LHC) am europäischen Forschungszentrum CERN. Mit diesem Detektor werden Kollisionen zwischen Teilchen beobachtet, Theorien der Teilchenphysik überprüft und nach neuen Teilchen jenseits des aktuellen Wissensstandes gesucht. Ein großer Meilenstein des ATLAS Experiments ist der Nachweis des Higgs-Boson.

Ein wichtiger Bestandteil des ATLAS Experiments ist der Pixel Detektor. Um die Kollisionshäufigkeit zu steigern und die Genauigkeit der Analyse zu verbessern wird der Large Hadron Collider zum High Luminosity LHC ausgebaut. Für dieses Ziel werden deutlich mehr Pixelsensoren verbaut. Die Stromversorgung über Zuleitungen für die Pixelsensoren wird dabei zu einem kritischen Thema. Es ist nicht mehr möglich die erhöhte Anzahl an Pixelsensoren parallel zu verschalten. Stattdessen wird eine serielle Stromversorgung eingeführt. Diese Umstellung senkt erheblich den Strombedarf und die Materialkosten, die in Versorgungsleitungen investiert werden müssten. Allerdings erzeugt diese Umstellung auch die Problematik, dass ein einzelnes beschädigtes Pixelmodul zum Ausfall aller in einer seriellen Versorgungskette verschalteten Pixelmodule führen wird. Um diesem Problem beizukommen, wird in einer Zusammenarbeit der Fachhochschule Dortmund mit der Bergischen Universität Wuppertal ein neues Detektor-Kontroll-System (DCS) entwickelt. Dieses Detektor-Kontroll-System soll es ermöglichen, vitale Daten der seriell verschalteten Pixelmodule zu überwachen und bei Bedarf einzelne Module zu überbrücken, um diese vor Überlastung zu schützen oder bei Beschädigung den Stromfluss in der Versorgungskette aufrecht zu erhalten.

Für die Kommunikation zwischen dem DCS Chip im Pixeldetektor und dem DCS Computer in der Leitwarte greift das DCS System auf den aus der Automobilindustrie bekannten CAN Standard [4] zurück. Hauptbestandteil dieser Masterthesis ist die Entwicklung des CAN Physical Layers, der für diese Kommunikationsstrecke benötigt wird. Das Kernproblem dieser Aufgabe wird durch die geforderte Strahlenhärte hervorgerufen. Da der DCS Chip nahe an den zu überwachenden Pixelsensoren betrieben wird, ist er der vollen Strahlungs-dosis des Experiments ausgesetzt. Um trotz der Strahlung den sicheren Betrieb der Schaltung über die komplette Lebensdauer zu gewährleisten, sollen alle Transistoren mit dünnem Gate-Oxid in der gewählten 65 nm Technologie von TSMC verwendet werden. Außerdem darf nicht mit minimalen Transistorlängen und -breiten gearbeitet werden. Dadurch wird eine Verschiebung der Schwellenspannung mit zunehmender Strahlungs-dosis vermieden. Durch diese dünnen Gateoxide ist die Spannung, die an den Transistoren anliegt, auf 1,2 V begrenzt. Um dem CAN Standard einzuhalten ist es allerdings nötig mit erheblich höheren Spannungen zu arbeiten.

Die Zielsetzung dieser Masterthesis ist die Entwicklung eines strahlenharten CAN Treibers und eines CAN Empfängers, die mit hohen Versorgungsspannungen von bis zu 3,6 V zuverlässig arbeiten, um die vom CAN Standard vorgegebenen Richtwerte einzuhalten. Im Verlauf dieser Masterthesis werden die benötigten Schaltungen entwickelt und simuliert. Es wird ein Layout für jede Schaltung erzeugt und anschließend eine Messung am ersten Prototyp mit einer gefertigten Testumgebung durchgeführt.

2. CAN Treiber

2.1. Beschreibung und Anforderungen

Gegenstand dieses Kapitels ist die Entwicklung des benötigten strahlenharten CAN Treibers.

Eine besondere Herausforderung des Projekts besteht darin, die Treiberschaltung so aufzubauen, dass trotz der Versorgungsspannung von 3,6V sichergestellt wird, dass unter allen Simulationsbedingungen die maximale erlaubte Spannung nicht überschritten wird. Der sichere Betrieb der Schaltung muss sowohl bei Raumtemperatur als auch bei der Betriebstemperatur von -20°C gewährleistet sein. Auch Prozessvariationen dürfen nicht zu einer Überschreitung der Spannungsgrenzen führen.

2.2. Grundfunktion CAN Treiber

Abbildung 1 zeigt eine einfache Umsetzung, die zur Erzeugung eines CAN Signals verwendet werden kann.

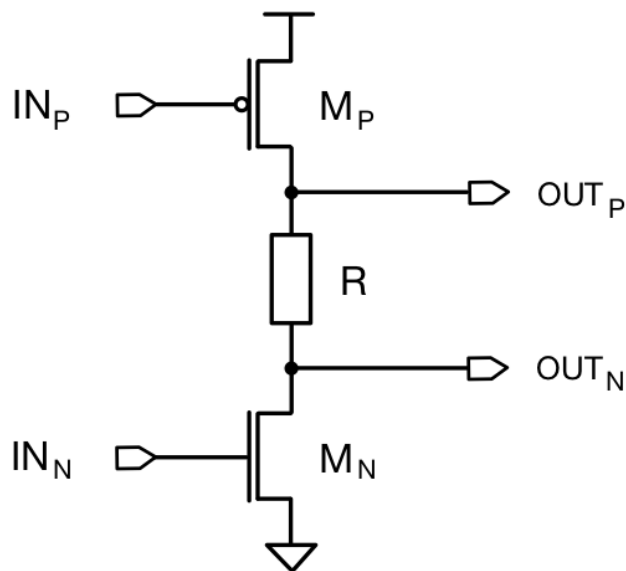


Abbildung 1: CAN Treiber (einfach)

Um mit dieser Schaltung ein CAN Standard konformes Signal zu erzeugen, werden zwei Zustände benötigt.

Im ersten Zustand werden die Gatepotentiale beider Transistoren so angesteuert, dass die Transistoren schließen. IN_P wird kleiner als die obere Spannungsversorgung während IN_N ein Potential oberhalb der Masse annimmt. Der resultierende Stromfluss erzeugt am Widerstand R einen Spannungsabfall. Die differentielle Spannung zwischen OUT_P und OUT_N erhöht sich. Die differentielle Spannung hängt proportional mit dem Stromfluss durch die Transistoren zusammen und wird nur von den Drain-Source Spannungen der Transistoren begrenzt, die wiederum vom Kanalwiderstand der Transistoren im geschlossenen Zustand bestimmt wird. Eine hohe differentielle Spannung stellt im CAN Standard die logische 0 dar und wird dominanter Zustand genannt.

Für den zweiten Zustand werden beide Transistoren geöffnet. IN_N nimmt das Massepotential an während IN_P auf die obere Spannungsversorgung gelegt wird. Der Stromfluss geht gegen 0 A und damit ist auch die differentielle Spannung 0 V. Das Potential an OUT_P und OUT_N wird von außen eingestellt und liegt im CAN Standard zwischen 2 V und 3 V. Eine differentielle Spannung unter 50 mV wird im CAN Standard als rezessiver Zustand betrachtet.

2.3. Strahlenharter CAN Treiber

Abbildung 2 zeigt ein Blockdiagramm des CAN Treibers, mit den nötigen Veränderungen für die strahlungsharte Ausführung durch kaskodierte Dünngateoxid-Transistoren. Die Steuersignale für PMOS und NMOS Teil werden von einem Levelshifter erzeugt, der eigens für diesen CAN Treiber entwickelt wurde und in Kapitel 3 vorgestellt wird. Zur Erzeugung des CAN Ausgangssignals werden zwei Zustände benötigt. Im dominanten Zustand wird die logische 0 übertragen. Die Transistorkette wird leitend und der Stromfluss erzeugt einen Spannungsabfall über den Terminierungswiderstand. Im rezessiven Zustand wird die logische 1 übertragen. Hier ist die Transistorkette geöffnet. Das Potential wird von außen an CAN_H und CAN_L eingestellt.

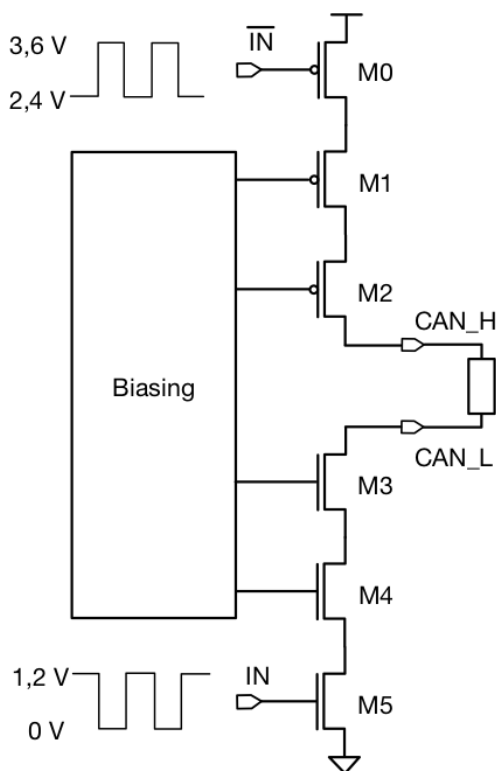


Abbildung 2: Blockdiagramm CAN Treiber

2.4. Anforderungen an den CAN Treiber

Dieses Kapitel befasst sich mit den grundlegenden Schaltungselementen, die zur Erzeugung des CAN Treibers verwendet werden. Außerdem werden Anforderungen an den CAN Treiber vermittelt und die Signale an Ein- und Ausgang erläutert.

Der CAN Treiber soll ein Signal mit einer Bitrate von 150 kbit/s erzeugen. Alle Simulationen werden mit einer Frequenz von 75 kHz und einer alternierenden Bitfolge (Rechtecksignal) durchgeführt. Im rezessiven Zustand wird der Bus mit einer Biasspannung von 2,5 V eingestellt. Um ein CAN Standard konformes Signal zu erzeugen, muss das Ausgangssignal über folgende Charakteristiken verfügen.

Dominanter Zustand:

- Potential CAN_H zwischen 2,75 V und 4,5 V
- Potential CAN_L zwischen 0,5 V und 2,25 V
- Differentielle Spannung zwischen CAN_H und CAN_L im Bereich von 1,5 V bis 3 V

Rezessiver Zustand (Biasspannung aktiv):

- Potential CAN_H und CAN_L zwischen 2 V und 3 V
- Differentielle Spannung zwischen CAN_H und CAN_L im Bereich von -0,5 V bis 50 mV

Rezessiver Zustand (Biasspannung inaktiv):

- Potential CAN_H und CAN_L zwischen -0,1 V und 0,1 V
- Differentielle Spannung zwischen CAN_H und CAN_L im Bereich von -0,2 V bis 0,2 V

Es werden zwei Steuersignale benötigt. Diese Steuersignale werden von einem Levelshifter und einer nachgeschalteten Verzögerungsschaltung bereitgestellt. In Abbildung 3 werden die erzeugten Steuersignale für den PMOS sowie für den NMOS Teil des CAN Treiber dargestellt.

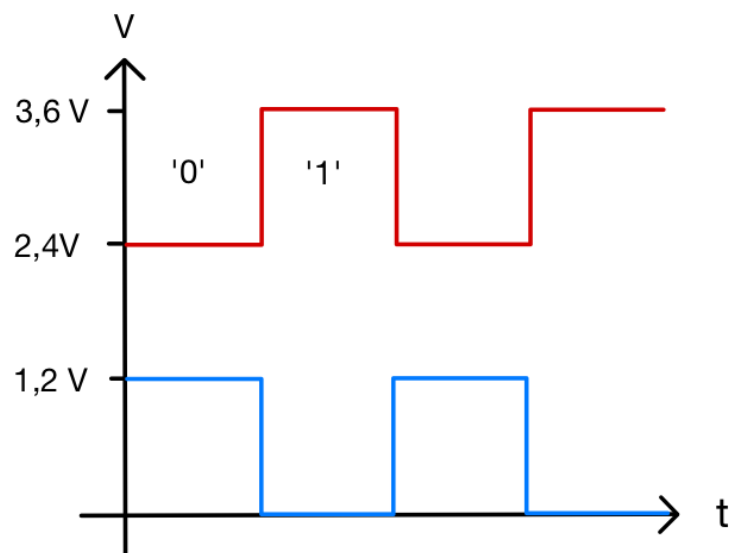


Abbildung 3: Steuersignale PMOS (rot) und NMOS (blau)

Wenn das Steuersignal für den PMOS Teil der Schaltung (rot) 2,4 V beträgt und das Steuersignal für den NMOS Teil der Schaltung (blau) 1,2 V beträgt, befindet sich der CAN Treiber im dominanten Zustand. Der rezessive Zustand stellt sich ein, wenn am Gate des PMOS 3,6 V und am Gate des NMOS 0 V anliegen. Abbildung 4 zeigt die benötigten Ausgangssignale des CAN Treibers.

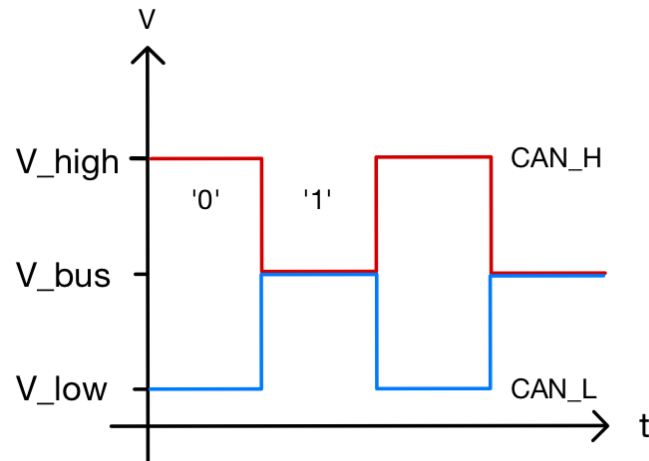


Abbildung 4: Ausgangssignal CAN Treiber

2.4.1. Transistorkette

Da die obere Spannungsversorgung bei 3,6 V liegt und die Technologie der Transistoren eine maximale Spannung von 1,2 V zwischen den Anschlüssen Gate, Source, Drain und Bulk erlaubt, ist es erforderlich, die Schaltung aus Abbildung 1 zu erweitern.

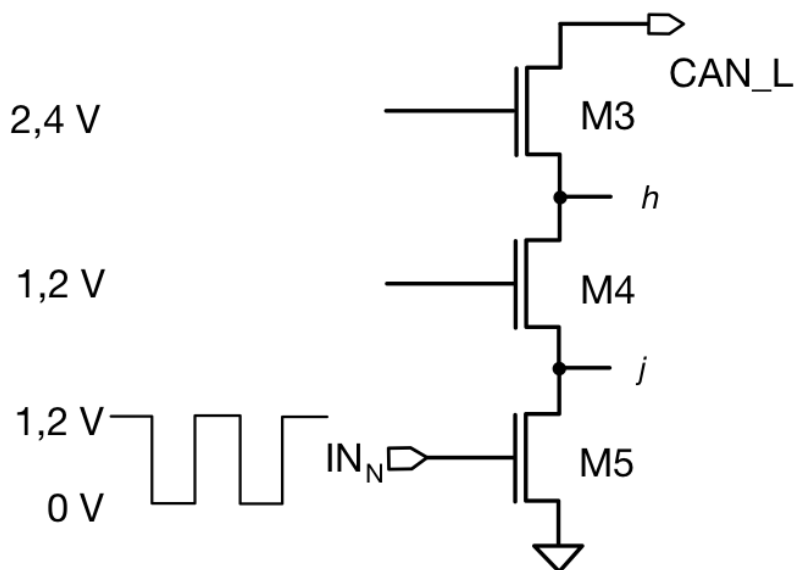


Abbildung 5: Transistorkette NMOS Teil

Abbildung 5 zeigt die Transistorkette, die für den NMOS Teil des CAN Treibers eingesetzt wird.

Rezessiver Zustand

Im rezessiven Zustand wird das Potential an CAN_L über eine externe Busspannung eingestellt. Diese Spannung hat ein Potential von $V_{\text{Bias}} = 2,5 \text{ V}$. Selbst bei gleichmäßiger Spannungsteilung erfordern die Technologiegrenzen bei einer Gesamtspannung von $2,5 \text{ V}$ eine Aufteilung auf mindestens drei Transistoren. Damit kann die Transistorkette mit einer Gesamtspannung von bis zu $3,6 \text{ V}$ betrieben werden. Außerdem ist die Transistorkette durch die Verwendung eines dritten Transistors gegen folgende Probleme abgesichert:

- Spannungserhöhung auf dem Bus durch unterschiedliche Massepotentiale der Biasspannung im rezessiven Zustand.
- Spannungsspitzen durch Asynchronität der Steuersignale IN_N und IN_P auf den Gate-Source- sowie auf den Drain-Source Strecken der Transistoren.
- Spannungsspitzen durch Umladevorgänge der Kapazitäten zwischen Gate-Source- und Drain-Source an den Transistoren.

Im rezessiven Zustand liegt am Gate von Transistor M5 eine Spannung von 0 V an. Transistor M5 ist somit geöffnet.

Da das Gatepotential an Transistor M4 auf $1,2 \text{ V}$ eingestellt ist, kann das Potential j in diesem Zustand ebenfalls auf maximal $1,2 \text{ V}$ geladen werden. Sobald das Potential j $1,2 \text{ V}$ erreicht, wird die Gate-Source Spannung an Transistor M4 klein und der Transistor öffnet. Die hinzugefügte Ladung auf diesem Punkt kann durch den geöffneten Transistor M5 nicht abgeführt werden.

Transistor M3 und das Potential h verhalten sich entsprechend. Mit steigendem Potential h sinkt die Gate-Source Spannung an Transistor M3 und der Transistor öffnet. Das Sourcepotential dieses Transistors kann die angelegte Gatespannung von $2,4 \text{ V}$ nicht übersteigen. Die hinzugefügte Ladung auf dem Potentialpunkt h kann durch den bereits geöffneten Transistor M4 nicht mehr abgeführt werden.

Abbildung 6 zeigt die Erweiterung um die Transistorkette für den PMOS Teil der Schaltung. Die Transistorkette im NMOS Teil besteht aus drei Transistoren, um mit der Biasspannung von $2,5 \text{ V}$ arbeiten zu können. Zwischen dieser Biasspannung und der maximalen Betriebsspannung von $3,6 \text{ V}$ verbleibt noch eine Differenz von $1,1 \text{ V}$ für den PMOS Teil der Schaltung. Diese Differenz wäre klein genug, um den PMOS Teil der Schaltung als einzelnen Transistor umzusetzen. Um eine höhere Synchronität im Schaltverhalten zwischen den beiden Schaltungsteilen zu erhalten, wird der PMOS Teil der Schaltung ebenfalls mit drei Transistoren umgesetzt.

Im rezessiven Zustand liegt am Gate von Transistor M0 eine Spannung von $3,6 \text{ V}$ an. Die Gate-Source Spannung ist minimal und der Transistor M0 ist geöffnet.

Das Gatepotential von Transistor M1 ist auf $2,4 \text{ V}$ eingestellt. Das Potential c liegt im Umschaltmoment eine Drain-Source Spannung unterhalb von $3,6 \text{ V}$. Da Transistor M0 geöffnet ist, kann dem Potential c keine weitere Ladung hinzugefügt werden. Über den geschlossenen Transistor M1 wird die Ladung am Potentialpunkt c solange abgeführt, bis die Gate-Source Spannung an Transistor M1 minimal wird und den Transistor öffnet. Das Potential c kann somit die angelegte Gatespannung von Transistor M1 nicht unterschreiten. Das Potential e wird durch die angelegte Gatespannung von $2,4 \text{ V}$ an Transistor M2 begrenzt.

Dominanter Zustand

Befindet sich die Schaltung im dominanten Zustand, geht das Potential an CAN_L gegen 0 V. In diesem Zustand werden die Technologiegrenzen von den Drain-Source Spannungen an den Transistoren nicht verletzt. Da das Potential CAN_L durch die hohe differentielle Spannung in diesem Zustand nach unten getrieben wird, sind auch die Potentiale an den Punkten *h* und *j* sehr gering. Die Drain-Source Spannungen über die Transistoren sind in diesem Zustand unkritisch.

Da die Gatepotentiale der Transistoren M3 und M4 fest eingestellt sind, kommt es im dominanten Zustand, bei Potentialen unter 1,2 V für CAN_L, zu einer kritischen Gate-Source Spannung an Transistor M3. Um diese kritische Spannung zu verhindern, wird im folgenden Kapitel eine Möglichkeit vorgestellt, mit der das Gatepotential an M3 abhängig vom Potential an CAN_L eingestellt wird.

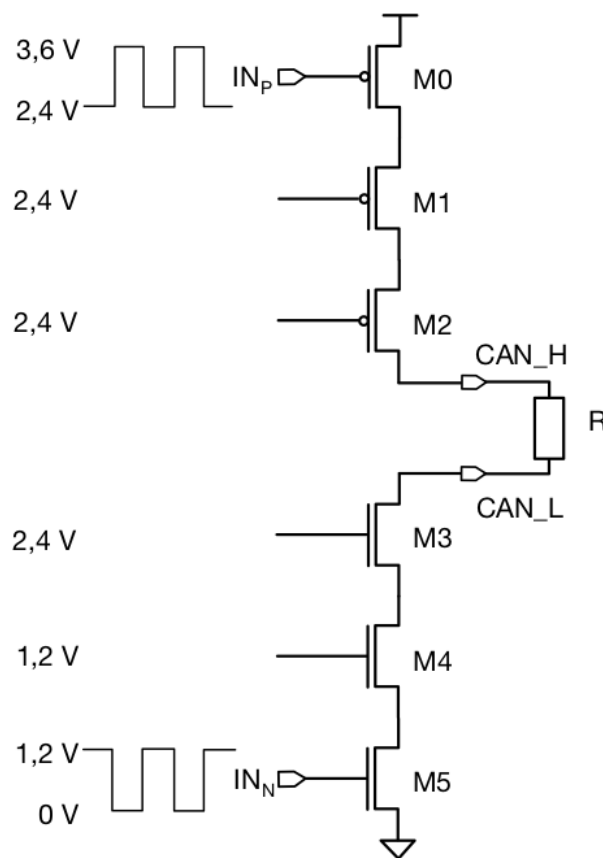


Abbildung 6: Transistorketten PMOS und NMOS Teil

2.4.2. Biasschaltung

Wenn das Gatepotential an M3, wie im Kapitel 2.2. beschrieben, fest auf 2,4 V eingestellt wäre, dürfte das Potential CAN_L die Grenzen von 1,2 V und 3,6 V nicht unter- bzw. überschreiten, da andernfalls die Gate-Source Spannung des Transistors M3 die von der Technologie vorgegebene Spannungsgrenze überschreiten würde. Aus diesem Grund wird für die Ansteuerung der Kaskodetransistoren M1 bis M4 in Abbildung 6 eine Biasschaltung eingeführt, welche ursprünglich aus der Schaltung eines ADSL Treibers stammt [3]. Abbildung 7 zeigt den NMOS Teil des CAN Treibers. Die Funktion wird anhand des NMOS Teils des Treibers erläutert und verhält sich entsprechend für den PMOS Teil.

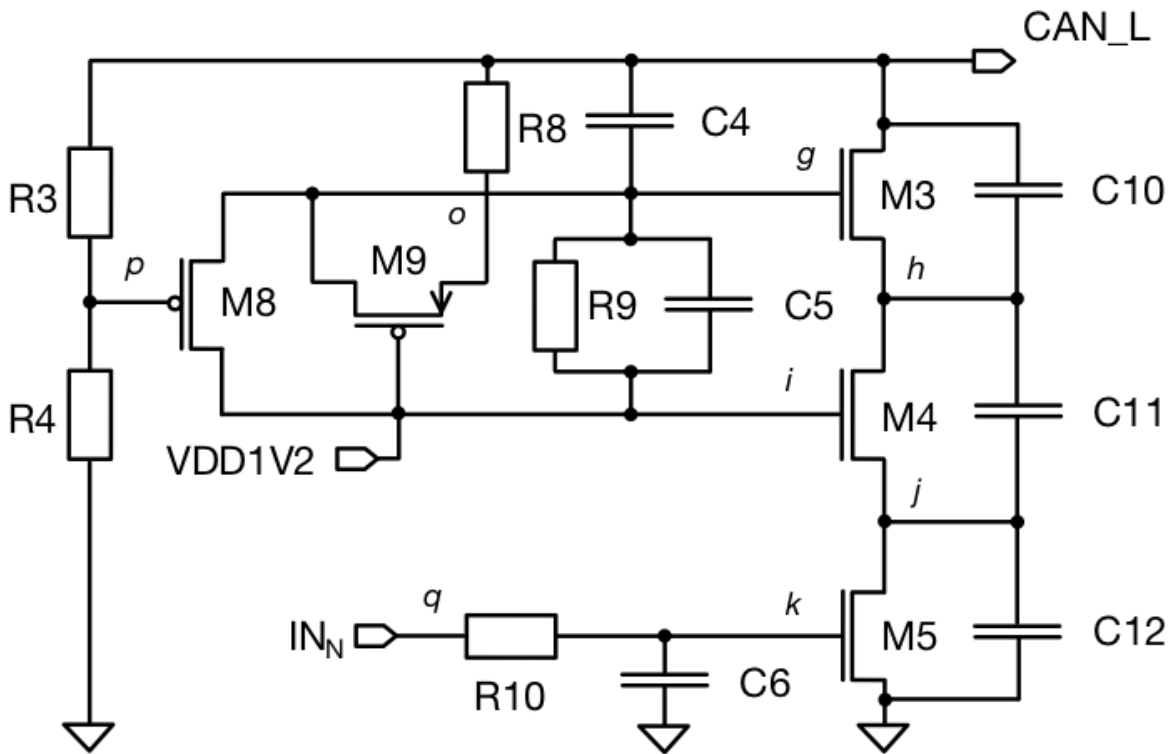


Abbildung 7: NMOS CAN Treiber

Die Biasschaltung besteht aus den zwei Spannungsteilern R3/R4 und R8/R9 und den Transistoren M8 und M9, die für die Einstellung des Gatepotentials an M3 verwendet werden. Die Kapazitäten C4, C5 und C6 bilden RC-Glieder, mit denen die Umladegeschwindigkeiten der Gatepotentiale angeglichen werden kann. Die Kapazitäten C10 bis C12 werden eingeführt, um Spannungsspitzen im Umschaltmoment der Zustände zu kompensieren.

Das Steuersignal IN_N hat keinen direkten Einfluss auf die Gatepotentiale der Transistoren M3 und M4. Die Biasschaltung wird wie folgt mit dem Potential CAN_L gesteuert.

Im dominanten Zustand sorgt die über den Terminierungswiderstand abfallende Spannung für ein niedriges Potential an CAN_L und damit auch für ein niedriges Potential der Punkte *o* und *p*. Die Source-Gate Spannung des Transistors M9 sinkt und öffnet damit den Transistor. Die steigende Source-Gate Spannung an Transistor M8 schließt den Transistor und verbindet den Gateanschluss von Transistor M3 mit der 1,2 V Spannungsquelle VDD1V2. Durch dieses Verhalten kann das Potential CAN_L bis auf 0 V sinken, ohne dass die Source-Gate Spannung des Transistors M3 die Technologiegrenzen überschreitet.

Im rezessiven Zustand wird das Potential CAN_L auf einen Wert zwischen 2 V und 3 V eingestellt. In diesem Zustand wird das Gatepotential für M3 über den Spannungsteiler R8/R9 eingestellt. Das hohe Potential an CAN_L schließt den Transistor M9 und öffnet den Transistor M8. Abbildung 8 zeigt eine veränderte Darstellung des Spannungsteiler R8/R9 über die Drain-Source Strecke von Transistor M9.

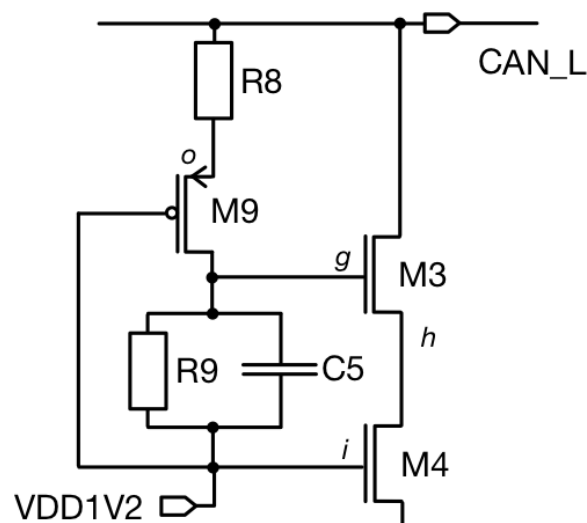


Abbildung 8: Spannungsteiler R8/R9

Das Potential *g* für den Gateanschluss von Transistor M3 wird mit folgender Formel berechnet.

$$U_g = \frac{R9}{R8 + R9} \times (U_{CAN_L} - 1,2 V)$$

Diese Formel vernachlässigt die Drain-Source Spannung über M9. Werden die Widerstände R8 und R9 gleich dimensioniert, so bildet sich der Vorfaktor 0,5 und das Potential *g* wird mittig zwischen den Potentialen CAN_L und 1,2 V eingestellt. Durch dieses Verhalten kann das Potential CAN_L bis auf 3,6 V steigen, ohne dass die Source-Gate Spannung des Transistors M3 den zulässigen Spannungsbereich überschreitet. Bei diesem maximalen Potential an CAN_L von 3,6 V wird das Gatepotential von M3 auf 2,4 V eingestellt.

2.5. Gesamtschaltung

Abbildung 9 zeigt die Gesamtschaltung des CAN Treibers. Der Aufbau und die Funktion des NMOS Teils dieser Schaltung wurde in Kapitel 2 erläutert. Der PMOS Teil wird entsprechend gespiegelt realisiert. Der hinzugekommene Terminierungswiderstand R11 verbindet die beiden Teilschaltungen und erzeugt die differentielle Spannung im dominanten Zustand.

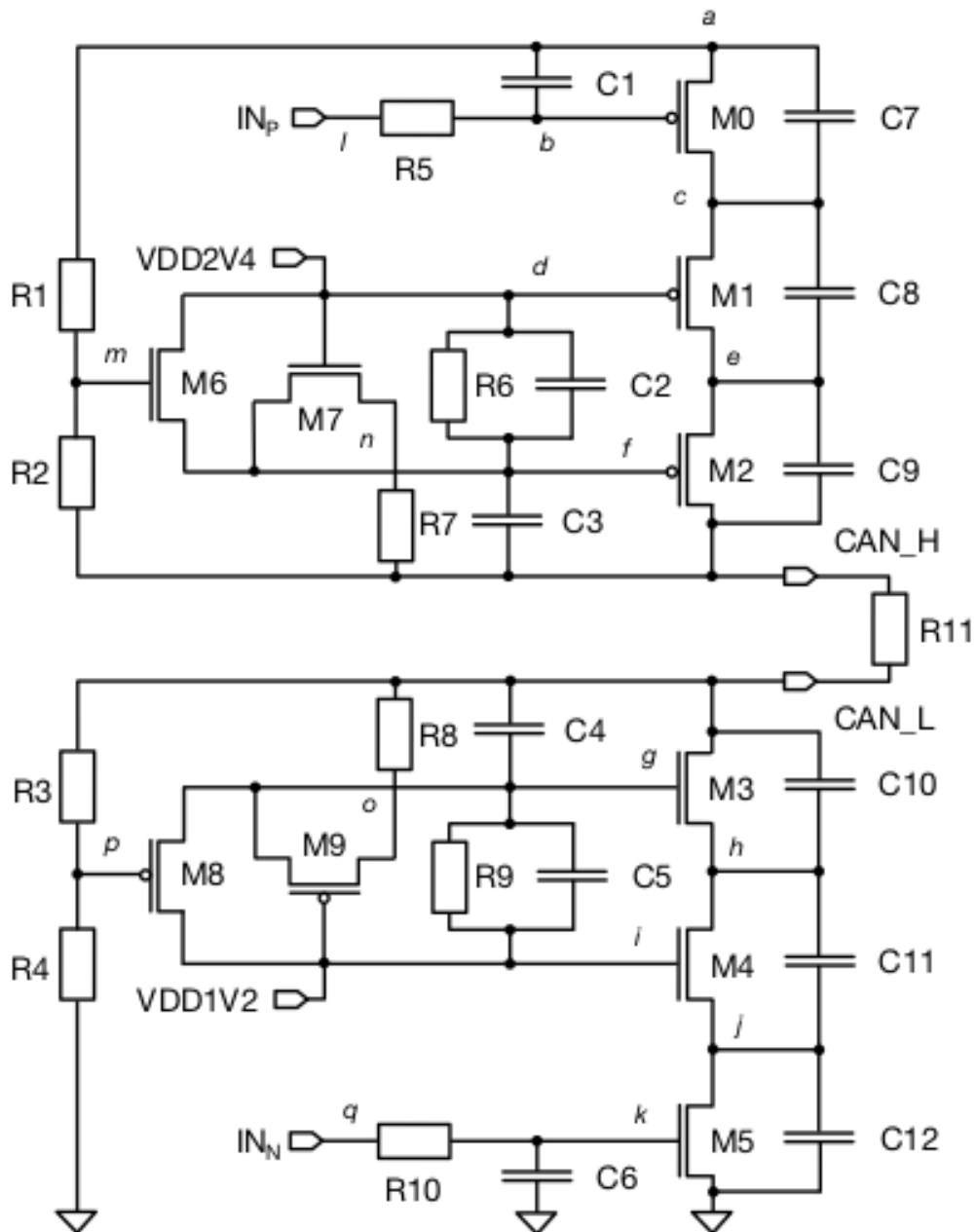


Abbildung 9: Gesamtschaltung CAN Treiber

Um diese Schaltung zu betreiben, wird ein Levelshifter zur Erzeugung beider Steuersignale IN_P und IN_N benötigt. Der Levelshifter wird im folgenden Kapitel vorgestellt.

3. Levelshifter

3.1. Beschreibung und Anforderungen

Gegenstand dieses Kapitels ist die Entwicklung eines Levelshifters der zur Ansteuerung des vorgestellten CAN Treibers verwendet wird. Der CAN Treiber benötigt zur Erzeugung des BUS-Pegels zwei Eingangssignale. Um den CAN Bus in den rezessiven Zustand zu versetzen (logisch 1) wird für den NMOS Teil der Schaltung eine Spannung von 0 V und für den PMOS Teil der Schaltung eine Spannung von 3,6 V benötigt. Für den dominanten BUS Zustand (logisch 0), wird für den NMOS Teil eine Spannung von 1,2 V und für den PMOS Teil eine Spannung von 2,4 V benötigt. Die zu übertragenen Bits werden jedoch von der Buskontrolllogik als Standard CMOS Signale mit Pegeln zwischen 0 V und 1,2 V generiert. Der im folgenden beschriebene Levelshifter muss daher das Steuersignal auf den Pegel 2,4V/3,6V wandeln und gleichzeitig die Synchronität zum Signal mit den niedrigen Pegeln gewährleisten. Die geforderte Übertragungsrate des CAN Treibers liegt bei 150 kbit/s, was einer Bitzeit von 6,67 μ s entspricht. In der Simulation wurden die Steuersignale durch ein Taktsignal mit 75 kHz generiert, da eine Halbperiode dieses Taktsignals genau der geforderten Bitzeit entspricht.

3.2. Grundmodell Levelshifter

In diesem Kapitel wird die grundlegende Funktion des gewählten Levelshifters erläutert und im Anschluss aufgezeigt, welche Änderungen und Erweiterungen vorgenommen werden müssen, um den Anforderungen des Projekts gerecht zu werden.

Levelshifter werden immer dann verwendet, wenn Steuersignale zwischen zwei Schaltungsteilen übertragen werden, die mit verschiedenen Versorgungsspannungen betrieben werden. Ohne die Signalanpassung durch den Levelshifter kann es an der Schnittstelle zwischen den zwei Spannungsversorgungsdomänen zu erhöhten Ruheströmen kommen.

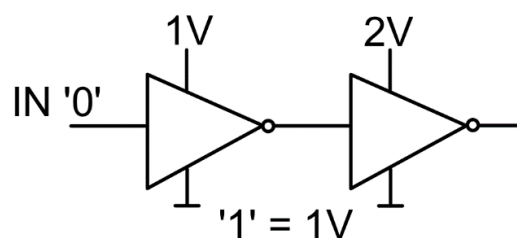


Abbildung 10: Einfacher Inverter

Wie in Abbildung 10 am Beispiel eines einfachen Inverters zu sehen ist, kann es beispielsweise dazu kommen, dass auf Grund der Signalfehlanspassung alle Transistoren des Inverters in der Versorgungsspannungsdomäne mit der höheren Spannung geschlossen sind und sich dadurch ein Strompfad von der Versorgungsspannung zu Masse ergibt, was zu einer höheren statischen Leistungsaufnahme führt.

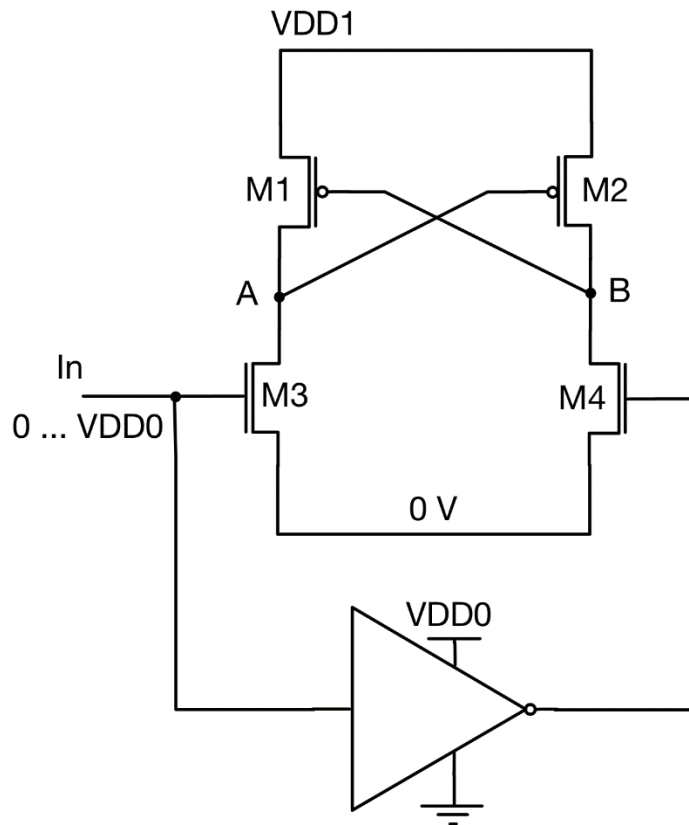


Abbildung 11: Grundmodell Levelshifter

Zur Umgehung dieser Problematik werden Schaltungen wie die in Abbildung 11 eingesetzt. Die NMOS und PMOS Strukturen sind im linken und rechten Pfad identisch dimensioniert. Im unteren Teil der Abbildung befindet sich ein Inverter, der für eine invertierte Ansteuerung der beiden Schaltungspfade sorgt. Zusätzlich werden oft weitere Inverter am Eingang und Ausgang zur Entkopplung des Levelshifters von den vor und nachgeschalteten Gattern verwendet.

Bei einer logischen 1 am Eingang In des Levelshifters liegt die Spannung VDD0 am Gate des Transistors M3 an, während das Gate des Transistors M4 auf Masse gezogen wird. Dadurch ist M3 geschlossen und M4 geöffnet. Resultierend aus den Strömen, welche die Transistoren M3 und M4 einprägen, erhöht sich die Gatespannung des Transistors M1, während sich am Gate des Transistors M2 ein niedriges Potential einstellt. Potential B nähert sich demnach bei einer logischen 1 am Eingang des Levelshifters der Versorgungsspannung VDD1, während das Potential A auf Masse bleibt. Durch den symmetrischen Aufbau stellen sich die inversen Spannungsverhältnisse bei einer Ansteuerung des Levelshifters mit einer logischen 0 ein. Potential A oder B können als Ausgang des Levelshifters verwendet werden. Das Ausgangssignal zeichnet sich dadurch aus, dass es im High-Zustand den neuen Pegel VDD1 annimmt. Während des Betriebes sind immer entweder der PMOS Transistor oder der NMOS Transistor, der im gleichen Zweig der Schaltung liegt, geöffnet. Dadurch kommt es zu keiner erhöhten statischen Leistungsaufnahme.

Die folgende Grafik zeigt die für die Ansteuerung des CAN Treibers benötigten Pegel, welche der Levelshifter liefern muss.

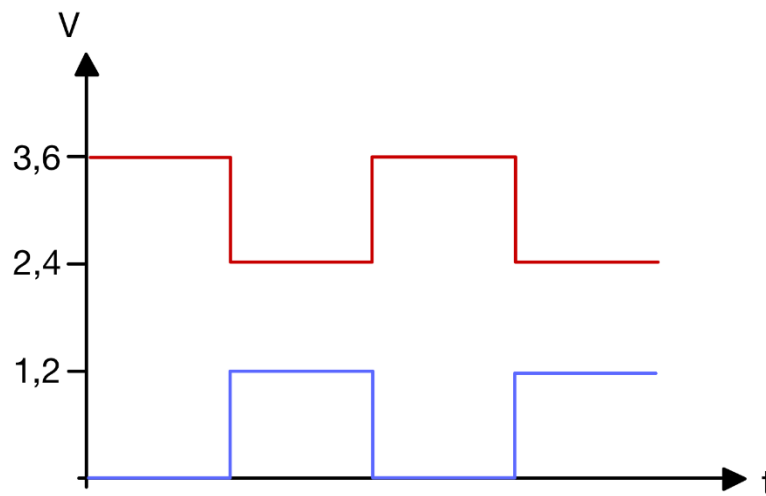


Abbildung 12: Ausgangspegel Levelshifter

Der in rot dargestellte Signalverlauf entspricht dem Gatepotential des PMOS Transistors im CAN Treiber, während der blau gefärbte Signalverlauf dem Gatepotential des NMOS Transistors darstellt. Durch dieses Muster werden PMOS und NMOS Teil gleichzeitig geschlossen bzw. geöffnet, wodurch sich der CAN BUS entweder im rezessiven oder dominanten Zustand befindet. Um mit der Schaltung aus Abbildung 11 die geforderten Pegel zu erzeugen ist es nötig, dass die untere Spannung des Levelshifters auf 2,4 V und die obere Spannung auf 3,6 V angehoben wird. Eine besondere Herausforderung stellt die Ansteuerung der Transistoren M3 und M4 in diesem Fall dar. Durch das Eingangssignal, welches Standard CMOS Pegel verwendet, ist es nicht möglich die Transistoren M3 und M4 vollständig zu öffnen und zu schließen. In Kapitel 3.3 wird eine einstellende Schaltung vorgestellt, die dieses Problem löst.

Da der CAN Treiber sehr empfindlich auf eine Asynchronität zwischen dem PMOS und dem NMOS Steuersignal reagiert ist es nicht möglich das Levelshifter Eingangssignal direkt an den Gateanschluss des NMOS Transistors im CAN Treiber weiterzuführen. Stattdessen ist es nötig die im Levelshifter erzeugte Laufzeit sowie den Flankenverlauf des PMOS Signals für das NMOS Signal nachzubilden. Die verwendete Synchronisierungsschaltung wird in Kapitel 3.4 vorgestellt.

3.3. Einstellung des Levelshifters

In diesem Kapitel wird die Schaltung vorgestellt, welche die Pegelanpassung für die Gate-Spannungen der NMOS Transistoren M3 und M4 durchführt, um diese vollständig öffnen und schließen zu können. Abbildung 13 zeigt die vollständige Schaltung, die neben dem bereits vorgestellten Levelshifter noch einen weiteren Schaltungsteil umfasst, mit der die Pegelanpassung der Eingangssignale erzielt wird.

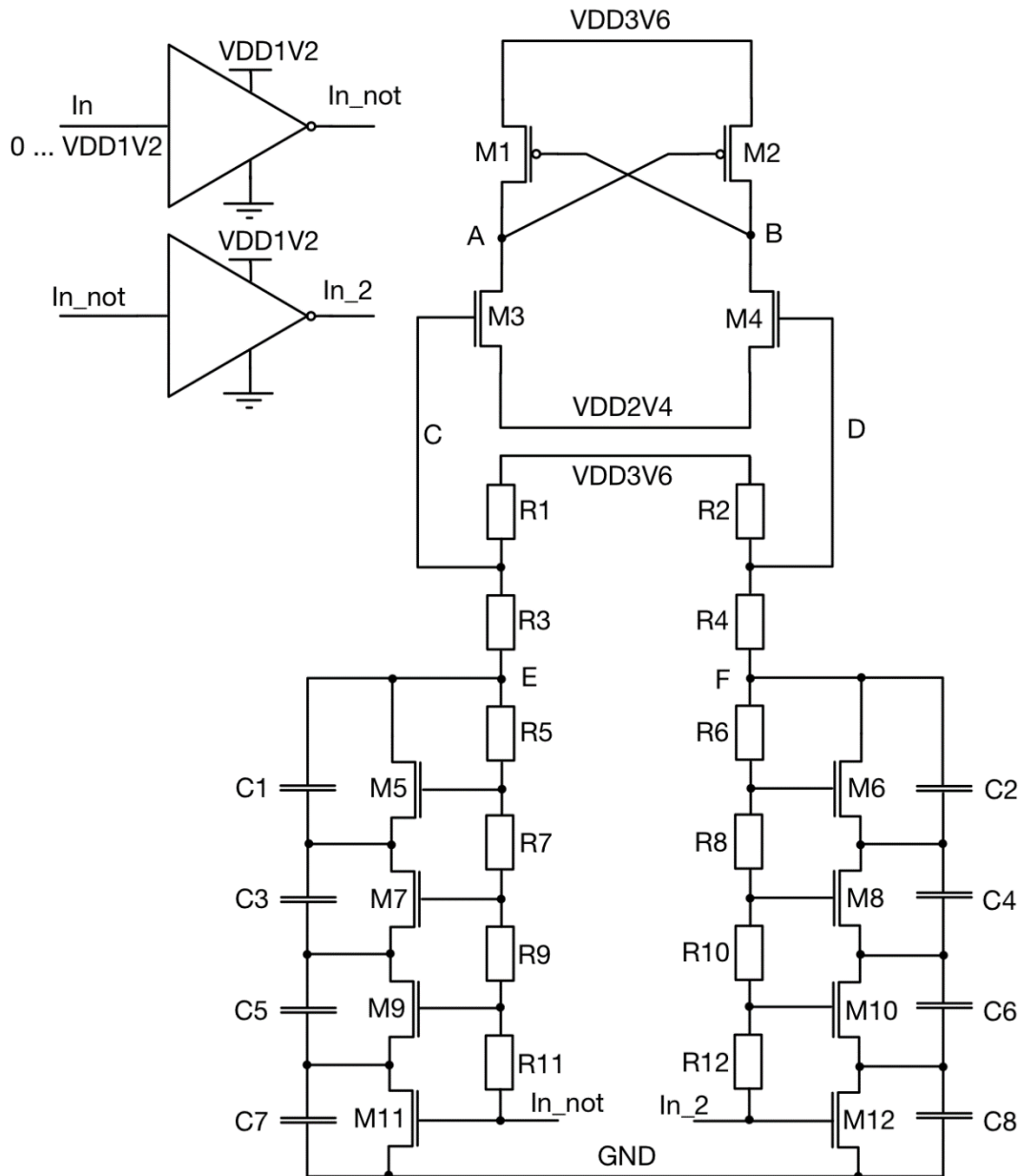


Abbildung 13: Schaltbild Transistoreinstellung VDD3V6

Dieser zusätzliche Schaltungsteil besteht im Wesentlichen aus zwei Spannungsteilern mit konfigurierbarem Teilungsfaktor. Da die Erweiterung für beide Signalpfade vollkommen symmetrisch aufgebaut ist, wird im Folgenden nur ein Signalpfad beschrieben. Ein Teil des Spannungsteilers, R5 bis R12, wird je nach Schaltungszustand zugeschaltet oder durch parallel geschaltete Transistoren kurzgeschlossen. Durch den Ansatz des variablen Spannungsteilers ist es möglich die Pegeländerung der Signale C und D soweit zu erhöhen, dass M3 und M4 entweder durchgehend geschlossen oder geöffnet bleiben. Der Spannungsteiler besteht aus dem Widerstand R3, welcher doppelt so groß dimensioniert als der Widerstand R1 ist und den Widerständen R5 bis R12, welche um den Faktor 5 größer als R1 sind. Die NMOS Transistoren M5 bis M12 sind nach dem Stacked-Transistor Prinzip verschaltet. Die Kapazitäten, die den Drain-Source Strecken zugeschaltet sind, verhindern hohe Spannungsspitzen während der Umschaltvorgänge, um Spannungen oberhalb von 1,32 Volt nicht zu überschreiten. Im Folgenden werden die beiden Schaltzustände anhand des linken Strompfades erläutert.

Wenn am Signal In_not 0 V anliegt, ist der Transistor M11 geöffnet. Der Strom aus der Spannungsquelle VDD3V6 fließt durch die Widerstandskette und wird anschließend im ansteuernden Inverter nach Masse abgeleitet. Durch die hohen Widerstandswerte der Widerstände R5 bis R11 stellt sich an ihnen ein hoher Spannungsabfall ein. Das Potential E steigt somit zu hohen Werten. Die Spannungsteilung zwischen R1 und R3, R5, R7, R9, R11 stellt die Spannung am Knoten C ein, welcher mit dem Gate von M3 verbunden ist und erreicht ebenfalls sehr hohe Werte bei nahezu 3,6V. Die Gate-Source Spannung an M3 erreicht somit einen Wert von nahezu 1,2 V. Mit dieser hohen Spannung am Gate von M3 ist der Transistor im geschlossenen Zustand.

Im komplementären Zustand liegt an In_not eine Spannung von 1,2 V an. Der Transistor M11 ist somit geschlossen und durch die Anhebung der Gate-Potentiale der Transistoren M5-M9 werden auch diese Transistoren leitfähig. In Folge werden die Widerstände R5, R7, R9 und R11 durch die parallel geschalteten Transistoren kurzgeschlossen. Da R3 doppelt so groß wie R1 gewählt wurde und die Spannung am Punkt E nahezu 0 V entspricht, stellt sich ein minimaler Spannungswert von 2,4 V ein. Mit einer Spannung von 2,4 V an Punkt C ist sichergestellt, dass M3 geöffnet ist.

Da zwischen den beiden Eingängen In_not und In_2 eine Invertierung vorliegt, ist immer nur ein Pfad im geöffneten Zustand, während der andere Pfad sich im geschlossenen Zustand befindet. Auch die Ausgänge A und B stellen jeweils das Ausgangssignal und dessen Invertierung zur Verfügung. Zur Entkopplung des Levelshifters wird ein Inverter an den Ausgang geschaltet. Für eine symmetrische Belastung der beiden Zweige befindet sich im anderen Zweig ebenfalls ein Inverter.

3.4. Synchronisation der NMOS/PMOS Steuersignale des CAN Treibers

In diesem Kapitel wird die Problematik behandelt, welche sich durch eine zeitliche Verzögerung zwischen den PMOS und NMOS Steuersignalen im CAN Treiber ergibt. Abbildung 14 stellt das, mit der Schaltung aus Kapitel 3 erzeugte PMOS Steuersignal dem NMOS Signal gegenüber, welches auch gleichzeitig das Eingangssignal des Levelshifters darstellt.

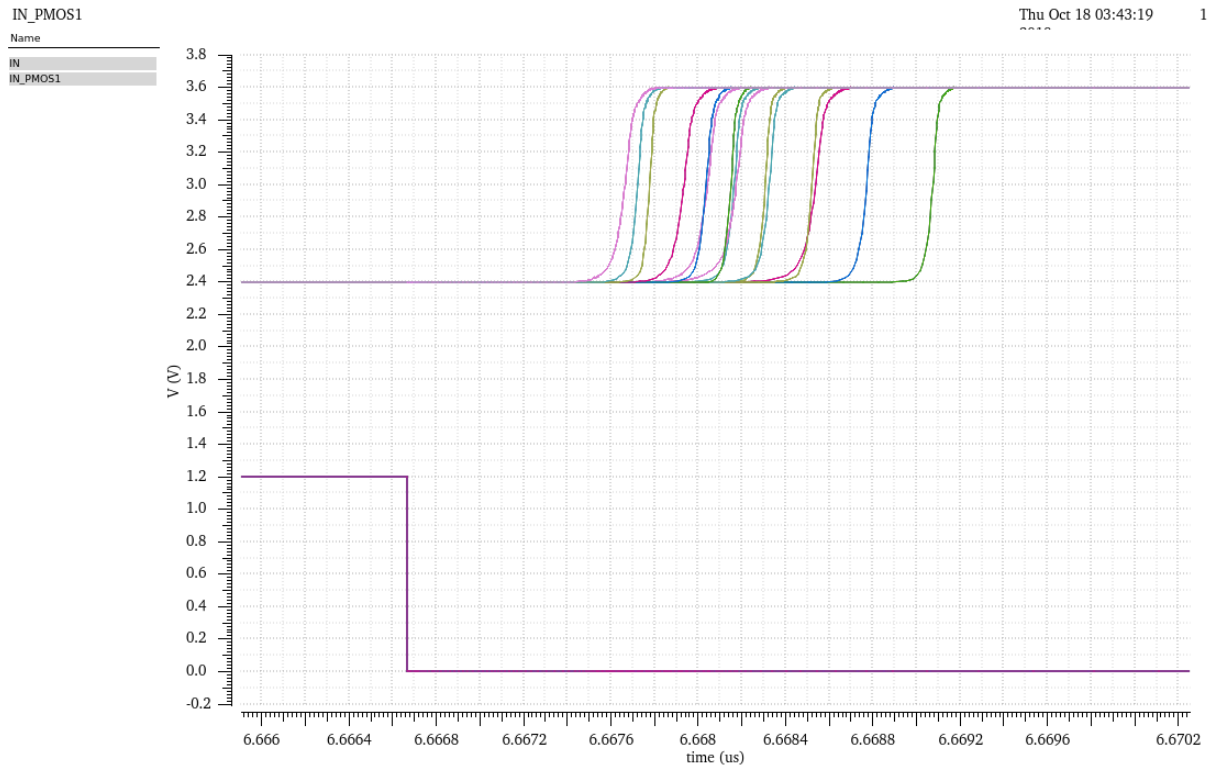


Abbildung 14: Oberes Ausgangssignal und Eingangssignal

Im oberen Bereich der Abbildung 14 sind die Simulationsergebnisse des Levelshifter Ausgang bzw. des PMOS Steuersignals über alle Corner und für die Temperaturen -40 °C, 27 °C sowie 120 °C dargestellt, während im unteren Bereich das Levelshifter Eingangssignal bzw. das NMOS Steuersignal dargestellt ist. Durch Simulationen am CAN Treiber hat sich herausgestellt, dass es bereits ab einer Signalverzögerung zwischen den NMOS und PMOS Steuersignalen von 200 ps zu Transistorspannungen jenseits der 1,32 V Grenze kommt. Es ist daher dringend nötig die beiden Ausgangssignale zueinander zu synchronisieren.

Ein Ansatz für die Synchronisation zwischen dem PMOS und dem NMOS Steuersignal besteht darin, den Signalpfad der NMOS Steuerung an die der PMOS Steuerung anzupassen. Hierfür wird die in Abbildung 15 gezeigte Schaltung verwendet.

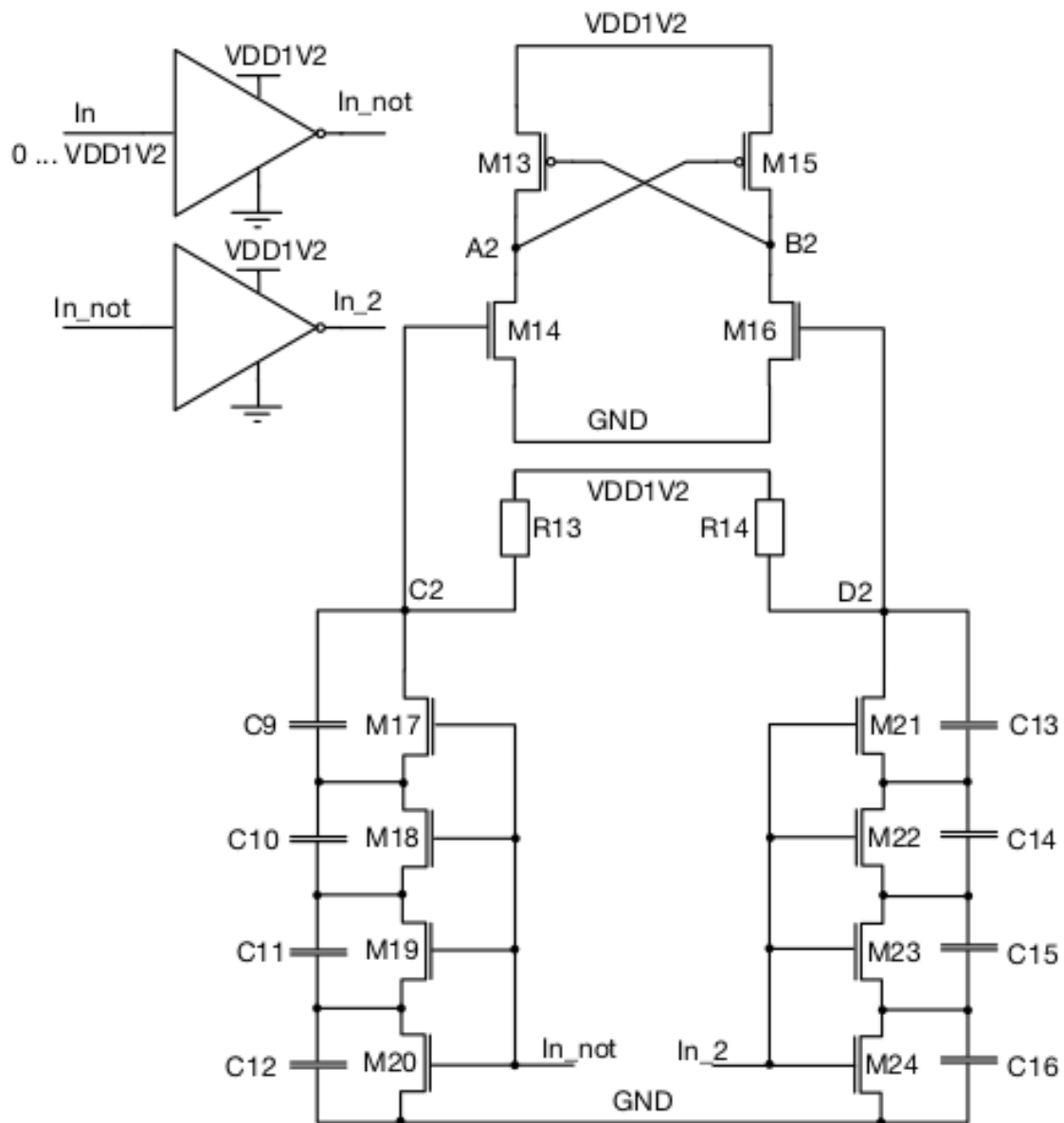


Abbildung 15: Schaltbild Transistoreinstellung VDD1V2

Diese Schaltung ist bis auf wenige Anpassungen eine Kopie der Schaltung des Levelshifters aus Abbildung 13 zur Erzeugung des PMOS Steuersignals. Um die benötigten Pegel für das NMOS Steuersignal zu erzeugen, wird die Versorgungsspannung des Levelshifters auf 1,2 V und der Masseanschluss auf 0 V gesetzt. Da der Levelshifter in diesem Fall nicht mit einer erhöhten Versorgungsspannung betrieben wird, ist es auch prinzipiell nicht mehr nötig, den Pegel des Eingangssignals über eine Widerstandskette mit konfigurierbarem Spannungsteilerfaktor einzustellen. Simulationen haben gezeigt, dass die Entfernung dieser Widerstände keinen signifikanten Einfluss auf

die Signallaufzeit nimmt und damit auch die Synchronisierung zwischen dem NMOS und dem PMOS Transistorsignal nicht beeinflusst. Durch die Entfernung der hochohmigen Widerstände kann jedoch erheblicher Flächenanteil im Layout eingespart werden, ohne die Kernfunktionalität der Schaltung zu gefährden.

Da die Schaltung aus zwei symmetrisch aufgebauten Zweigen besteht, wird die Funktion der Schaltung anhand eines Schaltungszweiges erläutert.

Wird an die Schaltung eine logische 1 angelegt, wird das Signal `In_not` zu einer logischen 0 invertiert. In diesem Zustand sind die Transistoren M17, M18, M19 und M20 geöffnet. Der Knoten C2 wird dann auf die Spannung von 1,2V aufgeladen, welche von der Spannungsquelle VDD1V2 eingepreßt wird. Damit steigt die Gate-Source Spannung des Transistors M14 ebenfalls auf 1,2 V, wodurch M14 geschlossen wird.

Wird an die Schaltung eine logische 0 angelegt, wird das Signal `In_not` zu einer logischen 1 invertiert. Die Transistoren M17, M18, M19 und M20 sind dann geschlossen. Dadurch wird der Knoten C2 über die geschlossenen Transistoren niederohmig mit dem Massepotential verbunden. Das Potential C2 entspricht dann den aufsummierten Drain-Source Spannungen der in Reihe geschalteten Transistoren und ist so gering, dass sich Transistor M14 öffnet.

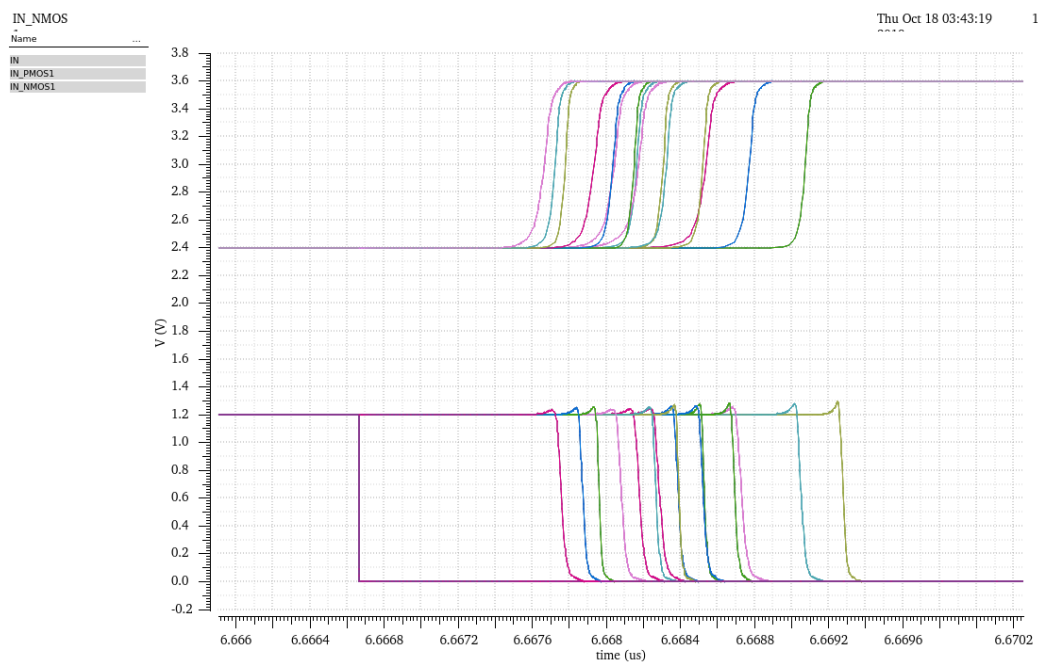


Abbildung 16: Steuersignale NMOS (unten) und PMOS (oben)

Im unteren Teil von Abbildung 16 ist die synchronisierte NMOS Steuerspannung dargestellt. Es ist deutlich zu sehen, dass sich die Temperaturvarianz und die Prozess Corner sehr ähnlich auf beide Steuerspannungen auswirken.

3.5. Endergebnis und weitere Aufgaben

In diesem Kapitel werden die Ergebnisse zusammengefasst und analysiert. Ein Schaltplan der Gesamtschaltung (Abbildung A1) und Tabellen mit den Dimensionierungen aller Bauteile (Tabelle A3 bis A6) findet sich im Anhang. Darüber hinaus ist dem Anhang A2 eine Simulation mit steigender und fallender Flanke beider Steuersignale beigefügt worden. Tabelle 1 zeigt die Verzögerungen dem PMOS und dem NMOS Steuersignal für verschiedene Temperaturen und Prozess Corner. Ein positiver Wert bedeutet, dass die Flanke des NMOS Steuersignals nacheilt.

Temperatur in °C	Corner	Delay Rising Edge in ps	Delay Falling Edge in ps
-40	ff	183	87
27	ff	151	-22
120	ff	91	-166
-40	fs	242	157
27	fs	232	63
120	fs	149	-127
-40	sf	173	76
27	sf	200	23
120	sf	115	-147
-40	ss	203	96
27	ss	283	118
120	ss	193	-73
-40	tt	222	127
27	tt	224	55
120	tt	137	-117

Tabelle 1: Verzögerung der Ausgangssignale

Für die steigende Flanke ergibt sich eine mittlere Verzögerung von 186 ps. Die Differenz zwischen der kleinsten und der größten Verzögerung beträgt 192 ps. Für die fallende Flanke ist der Mittelwert nicht aussagekräftig, da die negativen Verzögerungswerte das Resultat verfälschen. Um den CAN Treiber zuverlässig anzutreiben ist eine weitere Schaltung nötig, die die Verzögerungen ausgleicht und die Anstiegs- und Abfallzeiten der Flanken reduziert. Diese Schaltung wird unter anderem Gegenstand des nächsten Kapitels.

Die vorgestellte Levelshifter Schaltung erfüllt damit alle Anforderung, welche an sie gestellt worden sind. Die Schaltung ist strahlenhart, da keine Transistoren mit minimaler Länge oder Breite verwendet wurden. In der transienten Analyse werden die Spannungsbegrenzungen für Core Transistoren zu keinem Zeitpunkt überschritten. Der Levelshifter erzeugt die geforderten Ausgangssignale in allen Prozess-Cornern und über den geforderten Temperaturbereich.

4. Simulationsergebnisse CAN Treiber und Levelshifter

Da die Transistoren im CAN Treiber auf eine zeitliche Asynchronität der Steuersignale empfindlich reagieren, wird eine Verzögerungsschaltung auf beide Steuersignale angewendet. Diese Verzögerungsschaltung wird als Inverterkette realisiert und erhöht gleichzeitig die Flankensteilheit der Steuersignale. Die zeitliche Differenz zwischen den Flanken der Steuersignale darf während eines Zustandswechsels maximal 150ps betragen. Die folgende Abbildung 17 zeigt ein Blockschaltbild bestehend aus Levelshifter, Verzögerungsschaltung und CAN Treiber.

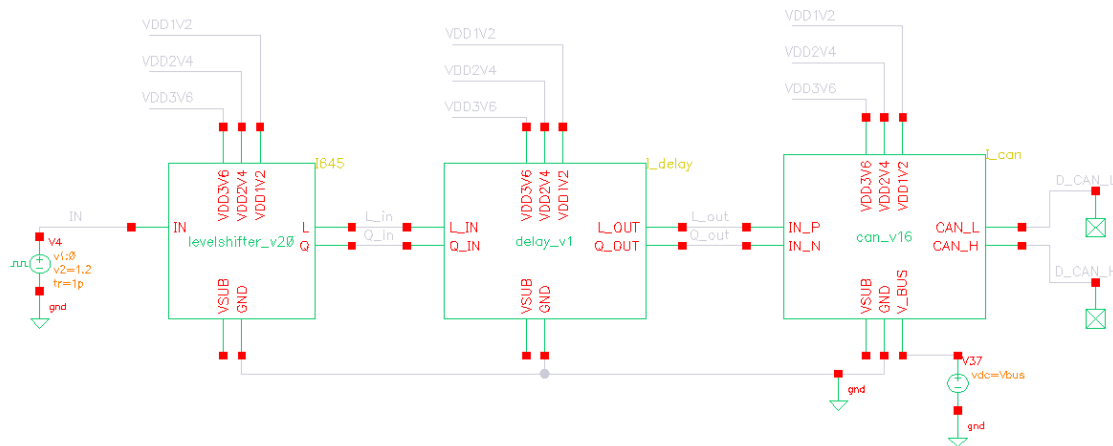


Abbildung 17: Blockschaltbild gesamt

Um die zeitliche Asynchronität der Ausgangssignale anzupassen, werden für das Steuersignal des PMOS Teils 7 Inverter und für das Steuersignal des NMOS Teils 2 Inverter eingefügt. Jeder Inverter erzeugt eine Signalverzögerung von 32ps. Außerdem werden durch Stufen parallelgeschalteter Inverter die Flankensteilheiten erhöht, um die Signalformen der Steuersignale weiter anzupassen. Jede Stufe verfügt dabei über die doppelte Anzahl paralleler Inverter der vorherigen Stufe. Im PMOS Steuersignal werden 3 Stufen (Stufe 1: 2 parallel, Stufe 2: 4 parallel, Stufe 3: 8 parallel) verwendet, während im NMOS Steuersignal nur 2 Stufen verwendet werden. Zusammengefasst wird das PMOS Steuersignal mit 10 Verzögerungen um etwa 320ps verzögert. Das NMOS Steuersignal wird mit 4 Verzögerungen um 128ps verzögert.

Abbildung 18 und Abbildung 19 zeigen den Signalverlauf für beide Steuersignale vor und nach der Verzögerungskette für die fallenden und steigenden Flanken.

Abbildung 20 zeigt den Aufbau der Verzögerungsschaltung.

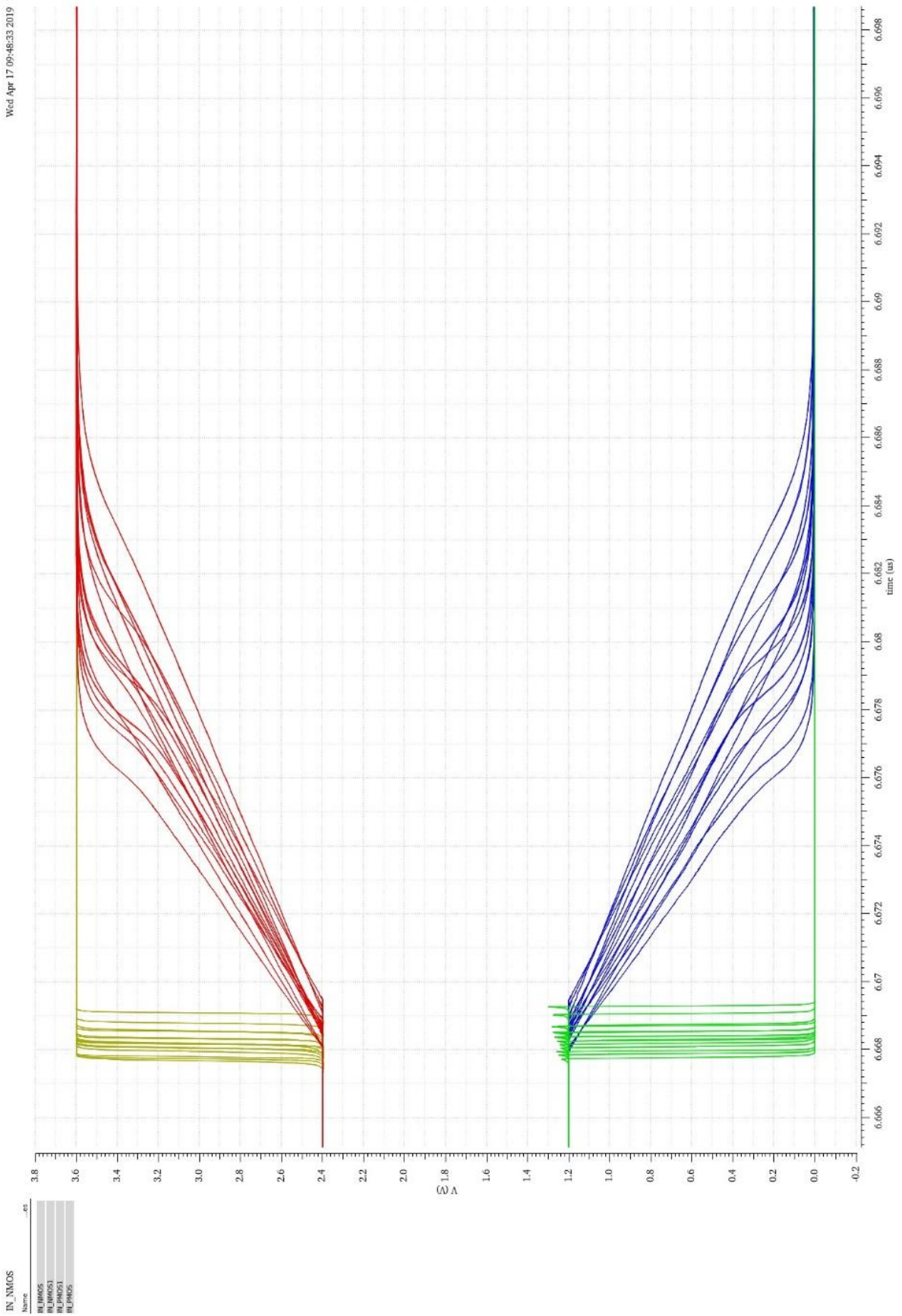


Abbildung 18: Flanken vor und nach Verzögerungskette. Alle Corner. Steigende Flanke PMOS vor (rot) nach (gelb). Fallende Flanke NMOS vor (blau) nach (grün).

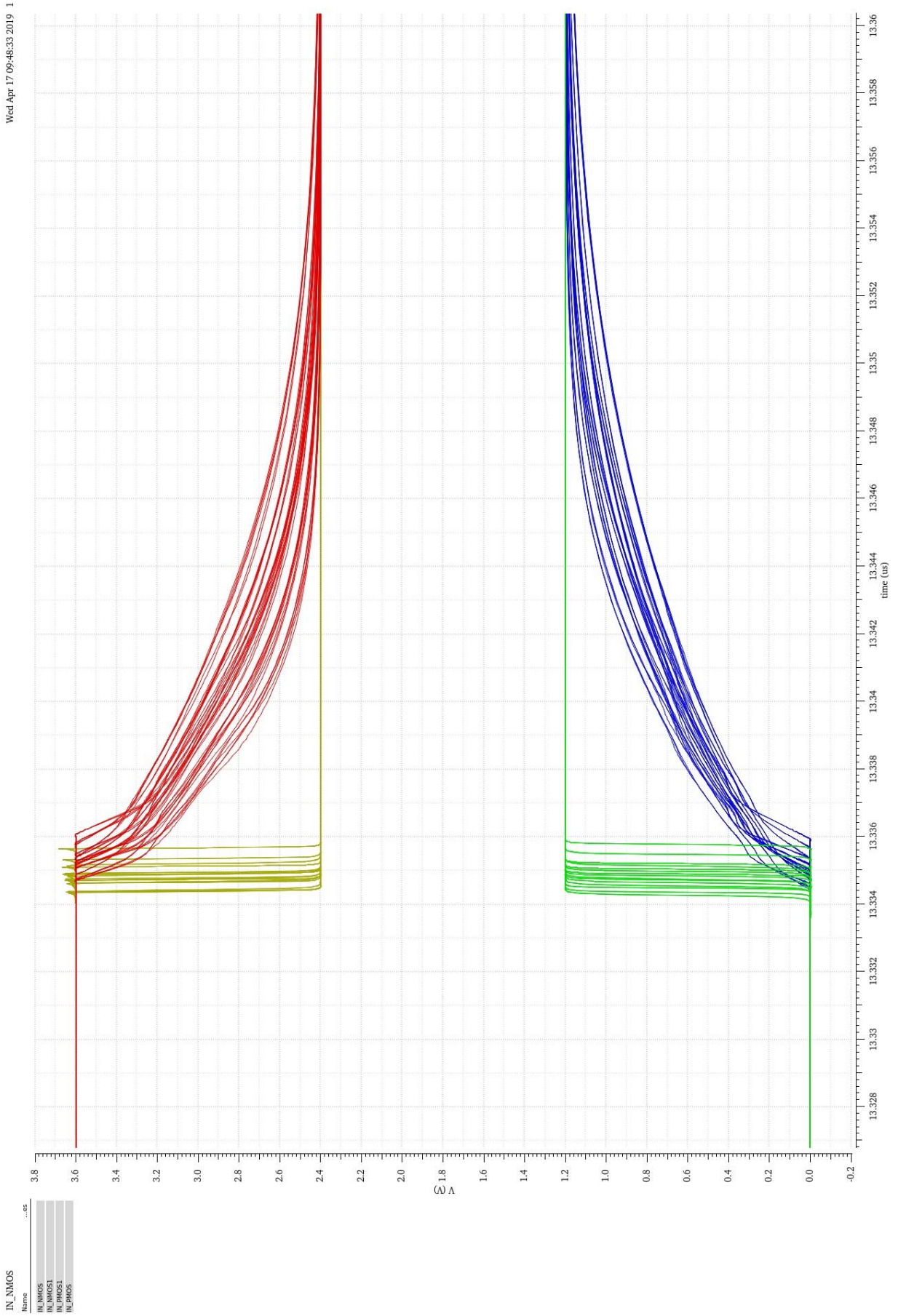


Abbildung 19: Flanken vor und nach Verzögerungskette. Alle Corner. Fallende Flanke PMOS vor (rot) nach (gelb). Steigende Flanke NMOS vor (blau) nach (grün).

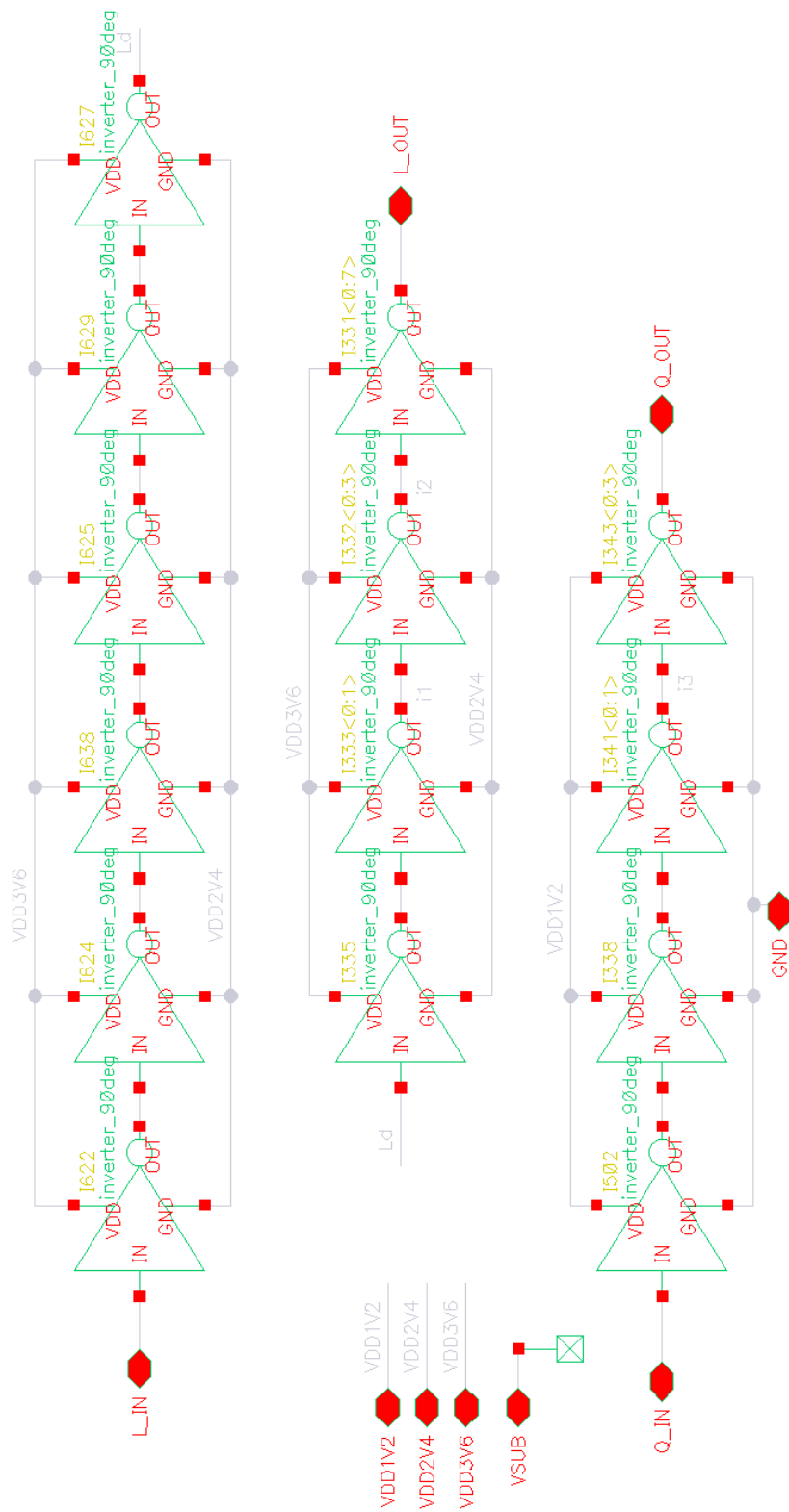


Abbildung 20: Verzögerungskette. Oben: Verzögerung PMOS Steersignal. Mitte: Flankensteilheit PMOS. Unten: Flankensteilheit NMOS.

4.1. Simulationsergebnisse

Dieses Kapitel befasst sich mit Simulationsergebnissen des CAN Treibers. Der Levelshifter und die Verzögerungsschaltung sind in den Simulationen vorgeschaltet. Die Simulationen werden mit Cadence Virtuoso ADE XL durchgeführt. Der Schwerpunkt liegt in der Einhaltung der von den Technologiegrenzen vorgegebenen maximalen Spannungen an den Transistoren sowie in der Erzeugung eines CAN Ausgangssignals, welches den Anforderungen des CAN Standards genügt.

Simulationen:

- Cornersimulation (DC):
 - Corner: tt, ff, ss, sf, fs
 - Temperatur: -40° C, 27° C, 120° C
 - Busspannung V_{bus} : 2V, 2,5V, 3V
- Monte Carlo (Mismatch) (TRANS):
 - 200 Iterationen
- Monte Carlo (Process) (TRANS):
 - 200 Iterationen

4.1.1. Cornersimulation

Die folgenden Abbildungen zeigen die Konfigurationen für den Simulationsoutput sowie die Simulationsergebnisse für eine Busspannung von 2V und 3V. Die Grenzen von 2V und 3V werden vom CAN Standard als obere und untere Grenze für die Busspannung gesetzt. Der Ausdruck „No violations“ zeigt, dass während der Simulation keine Verletzungen der Technologiegrenzen detektiert wurden.

Die Prüfung der Violations schließt die Schaltungen des Levelshifters und der Verzögerungskette ein.

Vergrößerte Ansichten des Signalverlaufs der differentiellen Spannung sowie der Signalverläufe der Spannungen CAN_H und CAN_L finden sich in Abbildung 24.

Test	Name	Type	Details	EvalType	Plot
corner		violations	Count 'All Checks/Asserts'	point	
corner	V_Diff	expr	(VT("/D_CAN_H") - VT("/D_CAN_L...))	point	
corner	D_CAN_H	expr	VT("/D_CAN_H")	point	
corner	D_CAN_L	expr	VT("/D_CAN_L")	point	
corner	IN_Pmos	expr	VT("/L_out")	point	
corner	IN_Nmos	expr	VT("/Q_out")	point	

Abbildung 21: Output Setup Cornersimulation

Point	Corner	Vbus	temperature	toplevel.scs	Count 'All Checks/Ass...
4	all_models_1...	2	-40	ff_lib	No violations
4	all_models_1...	2	27	ff_lib	No violations
4	all_models_1...	2	120	ff_lib	No violations
4	all_models_1...	2	-40	fs_lib	No violations
4	all_models_1...	2	27	fs_lib	No violations
4	all_models_1...	2	120	fs_lib	No violations
4	all_models_1...	2	-40	sf_lib	No violations
4	all_models_1...	2	27	sf_lib	No violations
4	all_models_1...	2	120	sf_lib	No violations
4	all_models_1...	2	-40	ss_lib	No violations
4	all_models_1...	2	27	ss_lib	No violations
4	all_models_1...	2	120	ss_lib	No violations
4	all_models_1...	2	-40	tt_lib	No violations
4	all_models_1...	2	27	tt_lib	No violations
4	all_models_1...	2	120	tt_lib	No violations

Abbildung 22: Cornersimulation Vbus = 2V

Point	Corner	Vbus	temperature	toplevel.scs	Count 'All Checks/Ass...
6	all_models_1...	3	-40	ff_lib	No violations
6	all_models_1...	3	27	ff_lib	No violations
6	all_models_1...	3	120	ff_lib	No violations
6	all_models_1...	3	-40	fs_lib	No violations
6	all_models_1...	3	27	fs_lib	No violations
6	all_models_1...	3	120	fs_lib	No violations
6	all_models_1...	3	-40	sf_lib	No violations
6	all_models_1...	3	27	sf_lib	No violations
6	all_models_1...	3	120	sf_lib	No violations
6	all_models_1...	3	-40	ss_lib	No violations
6	all_models_1...	3	27	ss_lib	No violations
6	all_models_1...	3	120	ss_lib	No violations
6	all_models_1...	3	-40	tt_lib	No violations
6	all_models_1...	3	27	tt_lib	No violations
6	all_models_1...	3	120	tt_lib	No violations

Abbildung 23: Cornersimulation Vbus = 3V

4.1.2. Transiente Signalanalyse

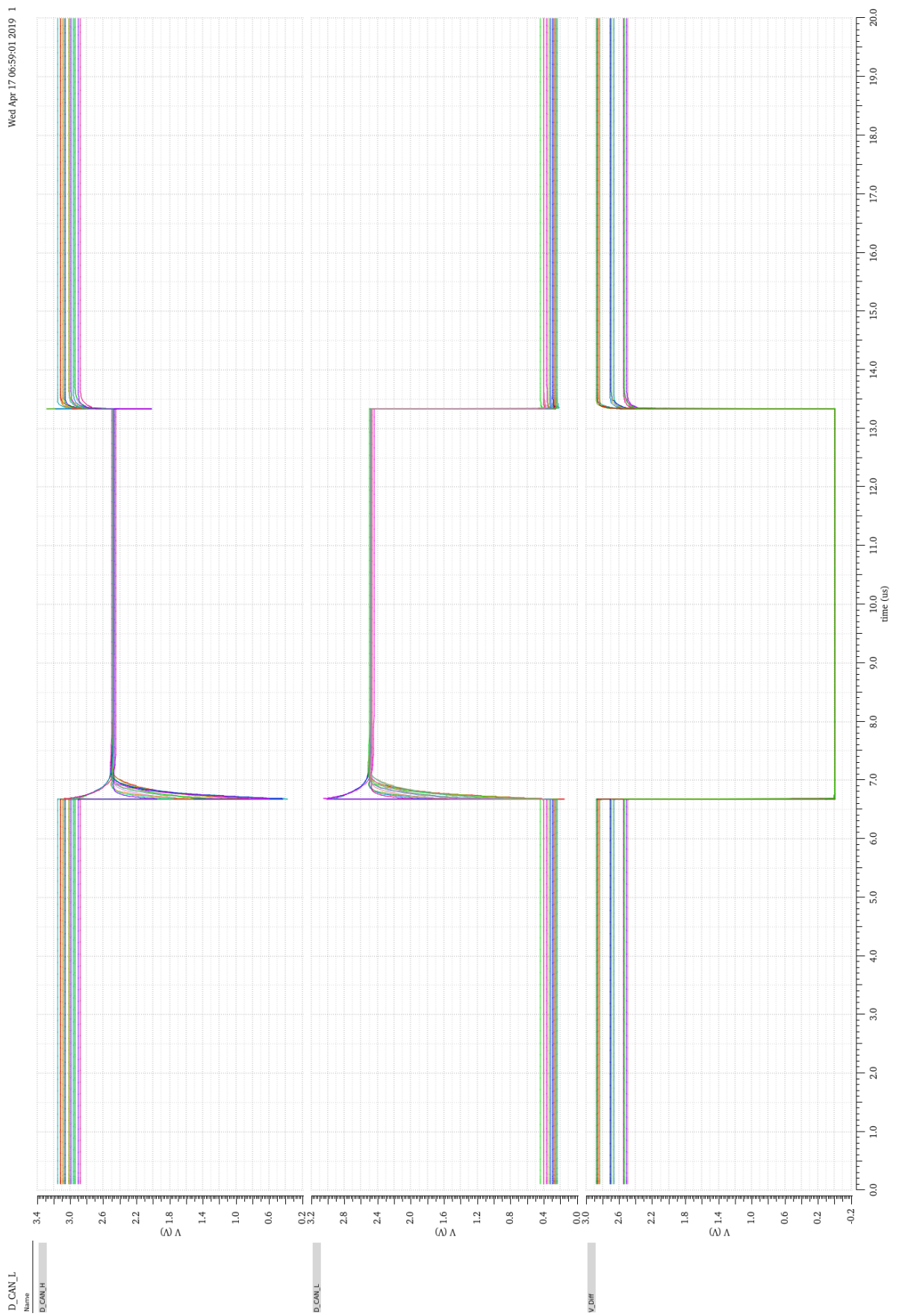


Abbildung 24: CAN_H, CAN_L, V_Diff

Abbildung 24 zeigt eine transiente Simulation des CAN Treibers mit 75 kHz über 20 μ s. Da eine Pulsbreite bei 75 kHz die Information von zwei Bits erzeugt, wird mit dieser Frequenz eine Bitrate von 150 kbit/s simuliert. Die Busspannung ist auf 2,5 V eingestellt. Die drei Temperaturen sowie die verschiedenen Corner werden in verschiedenen Farben dargestellt.

Der obere Graph zeigt die Spannung an CAN_H. Der Graph in der Mitte zeigt die Spannung an CAN_L. Im unteren Bereich wird die differentielle Spannung gezeigt. Im ersten und dritten Abschnitt auf der Zeitachse zeigt die differentielle Spannung einen Wert zwischen 2,5 V und 3 V. In diesen Bereichen ist der CAN Treiber im dominanten Zustand und übermittelt die logische „0“. Im zweiten Bereich auf der Zeitachse ist der CAN Treiber im rezessiven Zustand und übermittelt die logische „1“.

Es fällt auf, dass die benötigte Zeit zum Wechsel aus dem dominanten Zustand in den rezessiven Zustand etwa doppelt so viel Zeit in Anspruch nimmt, wie der Wechsel vom rezessiven Zustand in den dominanten Zustand. Der Umladevorgang des ersten Zustandswechsels dauert etwa 0,4 μ s. Der zweite Umladevorgang dauert hingegen nur 0,2 μ s. Dennoch sind die Auswirkungen des Umladevorgangs auf die differentielle Spannung nur im zweiten Wechsel (rezessiv zu dominant) sichtbar.

Weiterhin fällt auf, dass die Spannungsänderung während eines Zustandswechsels größtenteils zu Spannungsänderung auf CAN_L führt. Dies ist darauf zurückzuführen, dass die im rezessiven Zustand angelegte Busspannung nicht mittig zwischen Versorgungsspannung und Massepotential liegt.

Ein letzter erwähnenswerter Punkt ist die Gruppierung der Graphen der differentiellen Spannung. Durch die drei verschiedenen Temperaturen bilden sich hier im dominanten Zustand drei Gruppen. Innerhalb dieser Gruppen findet eine geringere Variation durch die verschiedenen Prozess-Corner statt. Dieser Effekt wird durch mehrere verschiedene Einflüsse erzeugt. Der erste Einfluss ist die Änderung des Widerstandwertes des Terminierungswiderstandes und die Änderung des Kanalwiderstandes der Transistoren über die Temperatur. Eine frühere Arbeit an einer temperaturunabhängigen Spannungsreferenz (Bandgap) [1] zeigt, dass die Temperaturkoeffizienten von CMOS Transistoren und Widerständen mit umgekehrten Vorzeichen behaftet sind. Diese Einflüsse heben sich somit zum Teil auf. Die verbleibenden Einflüsse sind zu gering, um den Effekt der Gruppierung der Graphen über die Temperaturänderung zu erklären. Ein weiterer Einfluss ist die Abhängigkeit der Ladungsträgerbeweglichkeit über die Temperatur. Auch dieser Einfluss ist nur minimal und kann den gezeigten Effekt nicht erklären. Die ausschlaggebende Größe ist die Schwellenspannung. Mit sinkender Temperatur steigt die Schwellenspannung an. Obwohl der Einfluss der Ladungsträgermobilität einen gegensätzlichen Effekt beiträgt, reicht die Änderung der Schwellenspannung über die Temperatur aus, um einen sichtbaren Einfluss auf die differentielle Spannung zu nehmen. Ein Näherungswert für die Temperaturabhängigkeit der Schwellenspannung von CMOS Transistoren liegt bei -1 mV/°C. Durch eine abnehmende Schwellenspannung wird ein größerer Kanalstrom erzeugt. Mit diesem erhöhten Strom wird eine erhöhte Spannung über den Terminierungswiderstand erzeugt.

4.1.3. Monte Carlo (Mismatch)

Simulationsergebnisse der Monte Carlo (Mismatch) Simulation mit 200 Iterationen.

Test	Output	Min	Max	Mean	Median	Std Dev	Spec	Pass/Fail
mc_mismatch	M0_ds	777.5m	1.257	962.9m	919.3m	173.7m	< 1.32	pass
mc_mismatch	M0_gs	1.2	1.2	1.2	1.2	14.74u	< 1.32	pass
mc_mismatch	M0_gd	1.046	1.257	1.104	1.082	69.35m	< 1.32	pass
mc_mismatch	M1_ds	228.6m	773.7m	468.2m	407.7m	202m	< 1.32	pass
mc_mismatch	M1_gs	1.047	1.101	1.075	1.076	17.41m	< 1.32	pass
mc_mismatch	M1_gd	850.2m	985.8m	920.5m	925.9m	44.91m	< 1.32	pass
mc_mismatch	M2_ds	442.6m	1.148	802.9m	792.5m	285.2m	< 1.32	pass
mc_mismatch	M2_gs	848.8m	906.8m	882.1m	884m	21.47m	< 1.32	pass
mc_mismatch	M2_gd	357.2m	616.1m	523.6m	546.3m	85.93m	< 1.32	pass
mc_mismatch	M3_ds	651.5m	1.094	886.9m	913.6m	187.6m	< 1.32	pass
mc_mismatch	M3_gs	923.3m	1.041	986.7m	994.2m	38.04m	< 1.32	pass
mc_mismatch	M3_gd	735.2m	944.5m	845.6m	857.4m	67.88m	< 1.32	pass
mc_mismatch	M4_ds	875.5m	1.231	1.053	1.06	156.1m	< 1.32	pass
mc_mismatch	M4_gs	1.078	1.137	1.109	1.111	18.13m	< 1.32	pass
mc_mismatch	M4_gd	1.01	1.118	1.062	1.06	37.07m	< 1.32	pass
mc_mismatch	M5_ds	982.8m	1.217	1.129	1.151	77.79m	< 1.32	pass
mc_mismatch	M5_gs	1.2	1.2	1.2	1.2	3.802u	< 1.32	pass
mc_mismatch	M5_gd	1.115	1.217	1.157	1.154	36.95m	< 1.32	pass
mc_mismatch	M6_ds	120.7m	514.3m	343m	372.7m	132.7m	< 1.32	pass
mc_mismatch	M6_gs	646.2m	786.6m	736m	750.9m	50.96m	< 1.32	pass
mc_mismatch	M6_gd	606.8m	831.3m	728.9m	747.2m	83.06m	< 1.32	pass
mc_mismatch	M7_ds	361.6m	630.5m	500.9m	495.5m	96.22m	< 1.32	pass
mc_mismatch	M7_gs	430.3m	617.9m	528m	539m	65.55m	< 1.32	pass
mc_mismatch	M7_gd	120.7m	514.3m	343m	372.7m	132.7m	< 1.32	pass
mc_mismatch	M8_ds	1.006	1.21	1.103	1.089	76.84m	< 1.32	pass
mc_mismatch	M8_gs	860.2m	1.02	953.9m	966.4m	53.6m	< 1.32	pass
mc_mismatch	M8_gd	895.5m	1.023	957.6m	961.6m	41.68m	< 1.32	pass
mc_mismatch	M9_ds	499.4m	844.9m	687.1m	714.4m	139.6m	< 1.32	pass
mc_mismatch	M9_gs	1.012	1.217	1.112	1.103	77.54m	< 1.32	pass
mc_mismatch	M9_gd	1.006	1.21	1.103	1.089	76.84m	< 1.32	pass

Abbildung 25: Monte Carlo (Mismatch)

Bei der Monte Carlo Mismatch Simulation werden alle Transistorparameter zufällig variiert. Mit jeder erzeugten Iteration wird eine transiente Simulation durchgeführt. Die Auswertung (Abbildung 25) dieser Simulation fasst alle Iterationen zusammen und gibt für jeden Output ein minimales, maximales und durchschnittliches Simulationsergebnis sowie den Median und die Standardabweichung an. Außerdem kann in der Einstellung der Outputs eine Grenze (Spalte „Spec“) angegeben werden, die in der Spalte „Pass/Fail“ bewertet wird.

Für jeden Transistor werden drei Outputs in der Simulation verwendet. Jeweils einen für die Gate-Source, Drain-Source sowie Gate-Drain Spannung. Im Folgenden wird die verwendete Formel erläutert. Abbildung 26 zeigt die Einstellung der drei Outputs für den Transistor M0.

$VT(„C“) - VT(„A“)$ erzeugt zuerst eine Differenz zwischen zwei Potentialpunkten des Transistors. $VT()$ ist die Funktion, mit der in einer transienten Analyse ein Spannungswert ausgelesen wird. Als Übergabeparameter wird ein Netzname des Schaltplans benötigt. Durch die Differenzbildung zweier Potentiale wird die Spannung zwischen den zwei Punkten ermittelt. Die Funktion $abs()$ erzeugt den Absolutwert des übergebenen Zahlenwertes. Dieser Schritt ist nötig, da die gesetzte Grenze negative Werte höherer Spannung als „pass“ interpretiert. Die äußerste Funktion ist die $y_{max}()$ -Funktion. Als Übergabeparameter werden Daten vom Typ „Waveform“ benötigt, die durch eine transiente Analyse erzeugt werden ($VT()$). Die $y_{max}()$ -Funktion gibt den maximalsten Wert auf der Y-Achse der übergebenen Waveform zurück.

Die in Abbildung 26 genannten Netznamen A, B und C sind die Gate-, Drain- und Source-Potentiale des Transistors M0 und können Abbildung 9 entnommen werden.

Test	Name	Type	Details	EvalType	Plot	Save	Spec
mc_mismatch	M0_ds	expr	$y_{max}(abs(VT(„/C“) - VT(„/A“)))$	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>	< 1.32
mc_mismatch	M0_gs	expr	$y_{max}(abs(VT(„/B“) - VT(„/A“)))$	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>	< 1.32
mc_mismatch	M0_gd	expr	$y_{max}(abs(VT(„/B“) - VT(„/C“)))$	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>	< 1.32

Abbildung 26: Output Setup für Transistor M0

Die Simulationsergebnisse zeigen als maximalen Spannungsabfall an den Ports der Transistoren einen Wert von „< 1.32“. Die Spannung darf in der transienten Simulation diesen Wert nicht übersteigen.

4.1.4. Monte Carlo (Process)

Simulationsergebnisse der Monte Carlo (Process) Simulation mit 200 Iterationen.

Test	Output	Min	Max	Mean	Median	Std Dev	Spec	Pass/Fail
mc_process	M9_gs	831.6m	1.256	1.11	1.133	91.46m	< 1.32	pass
mc_process	M9_gd	831.3m	1.25	1.101	1.12	91.07m	< 1.32	pass
mc_process	M9_ds	489.7m	847.3m	687m	714.6m	139.6m	< 1.32	pass
mc_process	M8_gs	810.8m	1.037	953.7m	966.8m	54.54m	< 1.32	pass
mc_process	M8_gd	885.1m	1.045	957.6m	961m	42.68m	< 1.32	pass
mc_process	M8_ds	831.3m	1.25	1.101	1.12	91.07m	< 1.32	pass
mc_process	M7_gs	383.3m	672.9m	535.6m	540.3m	68.1m	< 1.32	pass
mc_process	M7_gd	91.15m	610.1m	346.8m	408.8m	138.4m	< 1.32	pass
mc_process	M7_ds	228.5m	699m	499.6m	476.7m	109.1m	< 1.32	pass
mc_process	M6_gs	440m	847.4m	735.6m	776.5m	67.74m	< 1.32	pass
mc_process	M6_gd	431m	885.1m	728.9m	770.4m	93.36m	< 1.32	pass
mc_process	M6_ds	91.15m	610.1m	346.8m	408.8m	138.4m	< 1.32	pass
mc_process	M5_gs	1.2	1.2	1.2	1.2	5.571u	< 1.32	pass
mc_process	M5_gd	1.106	1.275	1.16	1.152	38.95m	< 1.32	pass
mc_process	M5_ds	958.1m	1.275	1.131	1.157	79.75m	< 1.32	pass
mc_process	M4_gs	1.069	1.155	1.11	1.11	18.59m	< 1.32	pass
mc_process	M4_gd	984.3m	1.174	1.063	1.064	40.12m	< 1.32	pass
mc_process	M4_ds	741.8m	1.251	1.054	1.098	162.4m	< 1.32	pass
mc_process	M3_gs	901.5m	1.053	986.7m	995.1m	38.39m	< 1.32	pass
mc_process	M3_gd	731.6m	968.2m	845.6m	857.1m	68.61m	< 1.32	pass
mc_process	M3_ds	597.6m	1.152	896.3m	968.6m	182.8m	< 1.32	pass
mc_process	M2_gs	839.5m	927.1m	883.3m	883.3m	22.54m	< 1.32	pass
mc_process	M2_gd	299.4m	673.1m	532.5m	586.6m	85.61m	< 1.32	pass
mc_process	M2_ds	349.9m	1.25	807.6m	822.1m	285.4m	< 1.32	pass
mc_process	M1_gs	1.043	1.106	1.075	1.078	17.35m	< 1.32	pass
mc_process	M1_gd	840.6m	997m	921.6m	930.3m	44.29m	< 1.32	pass
mc_process	M1_ds	195.6m	849.1m	468.9m	448.8m	202.1m	< 1.32	pass
mc_process	M0_gs	1.2	1.2	1.2	1.2	15.94u	< 1.32	pass
mc_process	M0_gd	1.042	1.268	1.106	1.083	68.22m	< 1.32	pass
mc_process	M0_ds	621.8m	1.268	960.9m	938m	181.2m	< 1.32	pass

Abbildung 27: Monte Carlo (Process)

5. CAN Empfänger

5.1. Beschreibung und Anforderungen

Dieses Kapitel befasst sich mit der Entwicklung eines CAN Empfängers. Der CAN Empfänger stellt das Gegenstück zum, in Kapitel 3 beschriebenen, CAN Treiber dar. Da der CAN Empfänger ebenfalls mit der 65 nm Technologie von TSMC gefertigt wird, sind die Anforderungen an diese Schaltung identisch.

Der DCS Chip wird gekühlt betrieben, weshalb der CAN Empfänger eine Signalverarbeitung bei $-20\text{ }^{\circ}\text{C}$ gewährleisten muss. Außerdem muss die Schaltung, genau wie die Schaltung des CAN Treibers, strahlenhart sein. Dies wird durch die Verwendung von Transistoren mit dünnem Oxid sichergestellt. Die Anforderung an die maximale Spannung über zwei Anschlüsse der Core Transistoren ist für die Schaltung des CAN Empfängers einfacher umzusetzen, da zur Verarbeitung des CAN Signals keine hohe Versorgungsspannung notwendig ist.

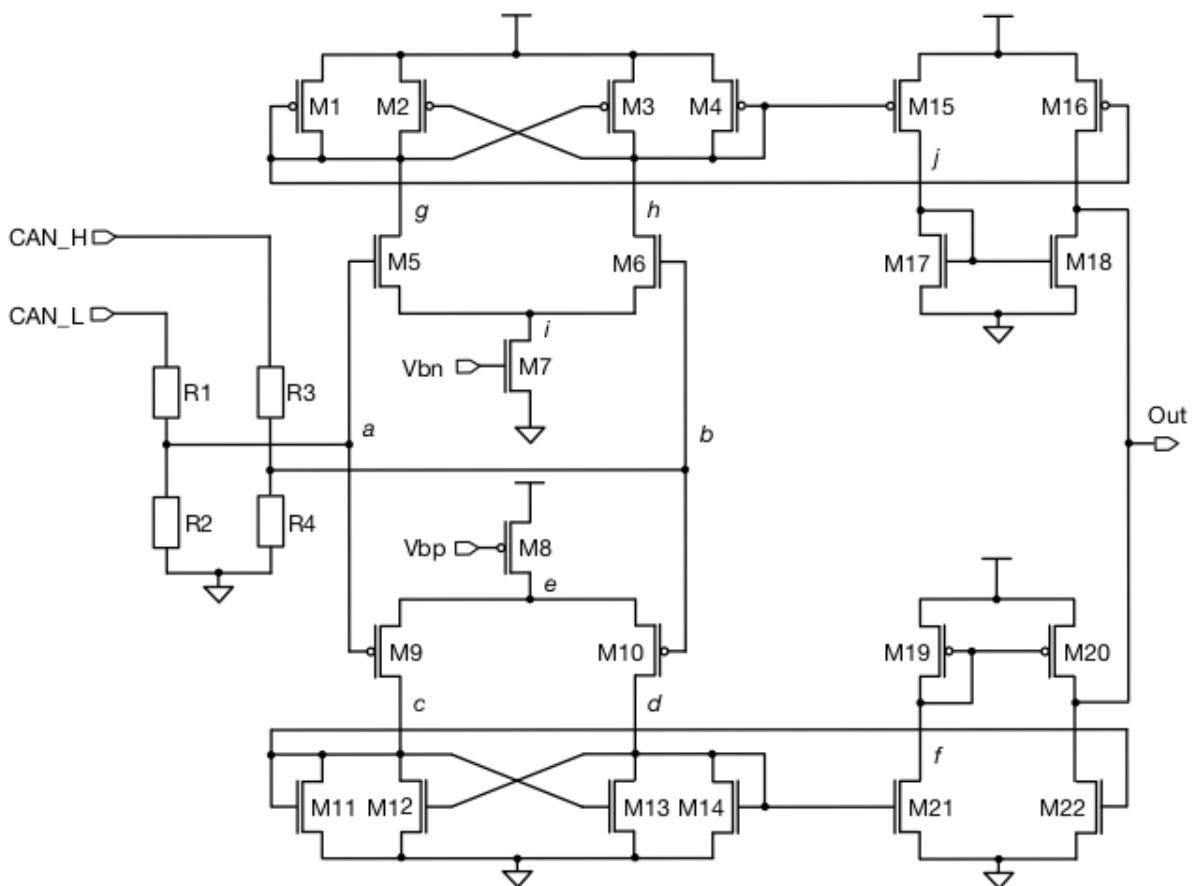


Abbildung 28: Gesamtschaltung CAN Empfänger

Abbildung 28 zeigt die gesamte Schaltung des CAN Empfängers. Die gezeigte Schaltung ist eine modifizierte Schaltung eines LVDS Drivers [2.1] [2.2]. Die Eingangssignale werden zuerst durch resistive Spannungsteiler auf Pegel gewandelt, welche die CMOS Schaltung ohne zusätzliche Schaltungstechniken wie Kaskodierung verarbeiten kann. Die geteilten Eingangsspannungen werden der eigentlichen Komparatorschaltung zugeführt, welche aus zwei parallel verschalteten Komparatoren besteht. Jeder Komparator verfügt jeweils über eine differentielle Eingangsstufe und eine Entscheidungsstufe. Durch die parallele Verschaltung ist es möglich, einen höheren Spannungsbereich der Eingangssignale abzudecken. Der im unteren Teil angesiedelte Komparator arbeitet mit einer differentiellen PMOS Eingangsstufe und einer NMOS Entscheidungsstufe und wird für Eingangssignale niedrigerer Spannung benötigt. Eingangssignale höherer Spannung werden vom oberen Schaltungsteil verarbeitet. Hier wird eine differentielle NMOS Eingangsstufe sowie eine Entscheidungsstufe mit PMOS Transistoren verwendet. Grundsätzlich ist hier anzumerken, dass beide Schaltungsteile in der Anwendung als CAN Empfänger arbeiten. Die Grenzen der einzelnen Schaltungsteile liegen außerhalb der CAN Standard Spezifikationen. Im Anschluss werden die Signale Verstärkern zugeführt, um ein Ausgangssignal mit einem CMOS Pegel von 1,2 V zu erzeugen. Im Folgenden werden die einzelnen Schaltungsbestandteile erläutert.

5.2. Eingangsstufe

Die Eingangsstufe (siehe Abbildung 28) besteht aus jeweils einem Spannungsteiler für die Eingangssignale CAN_H und CAN_L. Für die Spannungsteilung werden folgende Widerstände verwendet:

	Widerstand in k Ω	Teilverhältnis (Faktor zu CAN_H/L)
CAN_H	R3 = 290 R4 = 112,5	0,279
CAN_L	R1 = 255 R2 = 147,5	0,366

Tabelle 2: Spannungsteiler CAN Empfänger Eingang

Die höchste Spannung auf CAN_H wird erreicht, wenn ein dominantes Bit übertragen wird. Hier liegt die Spannung auf CAN_H bei etwa 3,2 V (siehe Abbildung 24). Unter Berücksichtigung der Spannungsteilung ergibt sich für den Potentialpunkt *b* eine maximale Spannung von 830 mV. Die höchste Spannung für das Eingangssignal CAN_L beträgt 3 V. Diese Spannung wird erreicht, wenn ein rezessives Bit übertragen wird und der Bus mit einer Busspannung von 3 V eingestellt wird. Unter Berücksichtigung der Spannungsteilung ergibt sich für Potentialpunkt *a* eine Spannung von 1,01 V. Das Potential *b* liegt bei einer Eingangsspannung von 3 V bei 0,84 V. Die beiden Potentialpunkte *a* und *b* werden im Folgenden als Eingangssignale für zwei Komparatoren verwendet, die zwischen einer Versorgungsspannung von 1,2 V und Masse arbeiten. Dadurch ist sichergestellt, dass an keinem Transistor zu keiner Zeit eine Spannung größer als 1,2 V anliegt.

Des Weiteren wird durch die Wahl unterschiedlicher Teilverhältnisse eine Differenz zwischen den beiden Eingangssignalen erzeugt. Dies ist notwendig, da bei der Übertragung im rezessiven Zustand die Potentiale der Eingangssignale nahezu identisch sind. Da die Eingangssignale die differentiellen Eingangsstufen zweier Komparatoren ansteuern, ist hier eine Differenz zwischen den beiden Signalen notwendig, um ein definiertes Schaltverhalten im rezessiven Zustand zu gewährleisten und rauschinduzierte Schwingungen des Komparators bei gleichen Eingangssignalen zu vermeiden.

Abbildung 29 zeigt eine transiente Simulation der Eingangssignale CAN_H und CAN_L (oben) sowie die Signale *a* und *b* (unten). Die Einstellungen der Signale CAN_H und CAN_L in dieser Simulation sind die eines typischen Ausgangssignals des CAN Treiber. Im dominanten Zustand ist das Potential auf CAN_H 3,1 V und das Potential auf CAN_L 0,4 V. Der dominante Zustand wird zwischen 0 μ s und 6,66 μ s sowie zwischen 13,33 μ s und 20 μ s simuliert. Der rezessive Zustand wird in den übrigen Bereichen simuliert. Die externe Busspannung besitzt bei den durchgeführten Simulationen den Wert 2,5 V.

Im unteren Bereich werden die Potentiale *a* und *b* gezeigt. Das Potential *a* wird rot dargestellt und aus der Spannungsteilung des Eingangssignals CAN_L erzeugt (rot, oben). Das Potential *b* wird grün dargestellt und aus der Spannungsteilung des Signals CAN_H erzeugt (grün, oben). Im dominanten Zustand bleibt das Potential *b* (CAN_H) kleiner als das Potential *a* (CAN_L). In dieser Ausrichtung ist die differentielle Spannung auf dem Bus als positiv definiert. Durch die Wahl unterschiedlicher Verhältnisse der Spannungsteiler findet im rezessiven Zustand ein Vorzeichenwechsel statt. Das aus dem Eingangssignal CAN_L erzeugte Potential *a* ist jetzt höher als das aus dem Eingangssignal CAN_H erzeugte Potential *b*. Durch die Einführung dieser negativen Differenzspannung können beide Zustände sicher durch die Schaltung identifiziert werden.

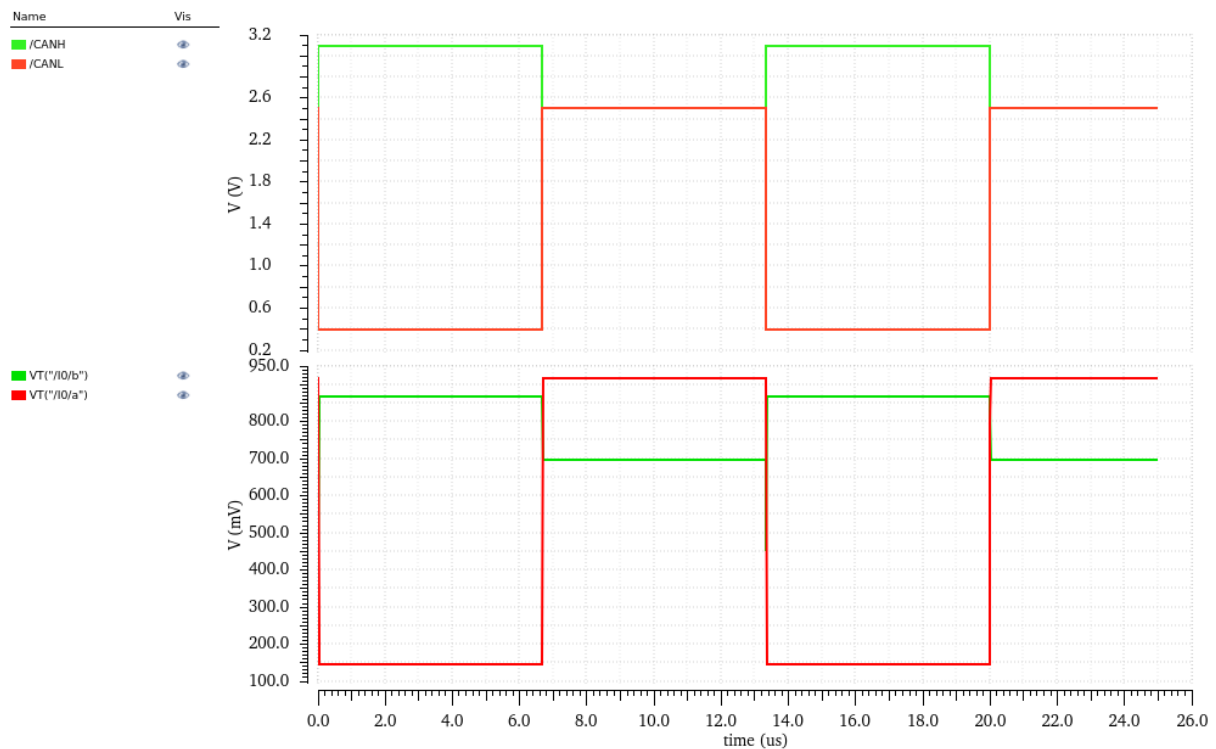


Abbildung 29: Eingangssignale und Potentiale *a* und *b*

5.3. Komparator mit PMOS Eingangsstufe

Dieser Abschnitt erläutert die Funktionsweise des Komparators mit PMOS Eingangsstufe des CAN Empfängers. Zuerst wird das in Abbildung 30 gezeigte Entscheidungsnetzwerk im unteren Schaltungsteil analysiert.

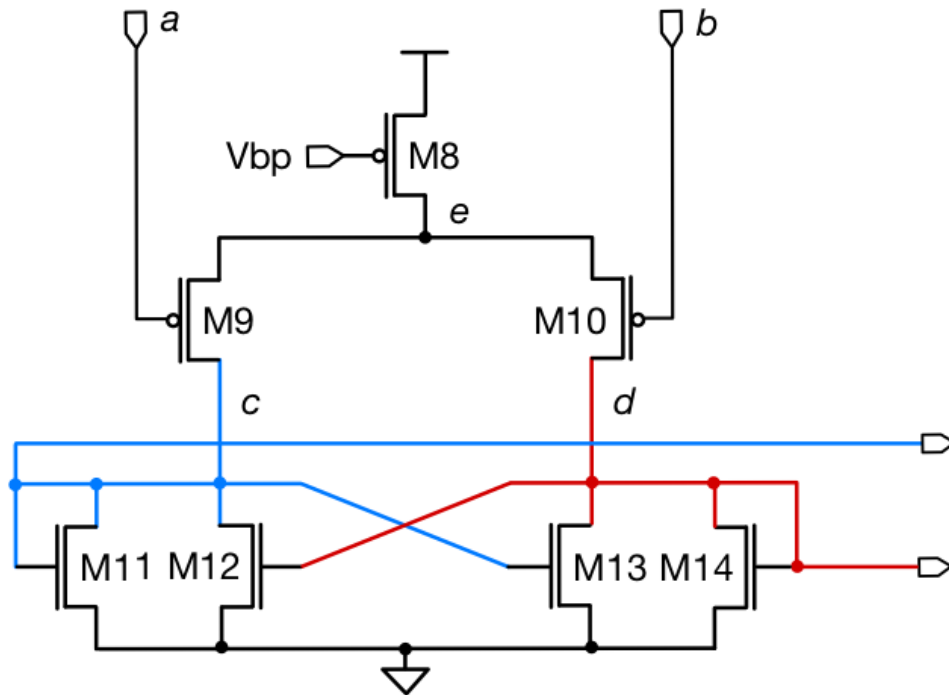


Abbildung 30: Entscheidungsnetzwerk mit PMOS Eingangsstufe

Die Versorgungsspannung des Komparators liegt bei 1,2 V. Die differentielle Eingangsstufe des Entscheidungsnetzwerks wird mit den PMOS Transistoren M9 und M10 gebildet. Die hier, an den Gateanschlüssen, anliegenden Steuersignale a und b haben zuvor die in Kapitel 5.2 besprochenen Spannungsteiler passiert. Die Eingangsstufe stellt sicher, dass in jedem gültigen Übertragungszustand eine Spannungsdifferenz zwischen a und b besteht.

5.3.1. Dominanter Zustand im Komparator mit PMOS Eingangsstufe

Im dominanten Zustand stellt sich bei einer Eingangsspannung von 400 mV am Potentialpunkt *a* eine Spannung von 146 mV ein. Für den Potentialpunkt *b* stellt sich bei einer Eingangsspannung von 3,1 V eine Spannung von 866 mV ein. Der Potentialpunkt *e* stellt sich in diesem Zustand auf 771 mV ein. Bei dieser Einstellung befindet sich Transistor M9 in starker Inversion und leitet einen hohen Strom in das Netzwerk *c*. Transistor M10 ist aufgrund seiner hohen Gatespannung in schwacher Inversion und leitet nahezu keinen Strom ins Netzwerk *d*.

Die Gatespannung an Transistor M12 wird vom gegenüberliegenden Netz *d* eingestellt. Die niedrige Spannung in diesem Zweig öffnet Transistor M12. Die Gatespannung an Transistor M13 wird vom Netz *c* gesteuert und hat in diesem Zustand ein hohes Potential. Transistor M13 wird somit geschlossen und leitet sämtlichen Strom, der im Netz *d* fließt, nach Masse ab. Die übrigen beiden Transistoren M11 und M14 sind Gate-Drain verbundene Transistoren und wirken jeweils als der einstellende Teil eines Stromspiegels. Da das Netz *c* nicht über den geöffneten Transistor M12 nach Masse kurzgeschlossen wird, fließt der komplette Strom über Transistor M11 und die Spannung am Netz *c* stellt sich dementsprechend auch über den Gate-Drain verbundenen Transistor M11 ein. Die Potentiale *c* und *d* dienen als Eingangssignale für den folgenden Verstärker. Das Potential *c* nimmt ein hohes Potential an, während das Potential *d* ein sehr niedriges Potential annimmt. Abbildung 31 zeigt das Entscheidungsnetzwerk mit PMOS Eingangsstufe mit DC Arbeitspunkten im dominanten Zustand.

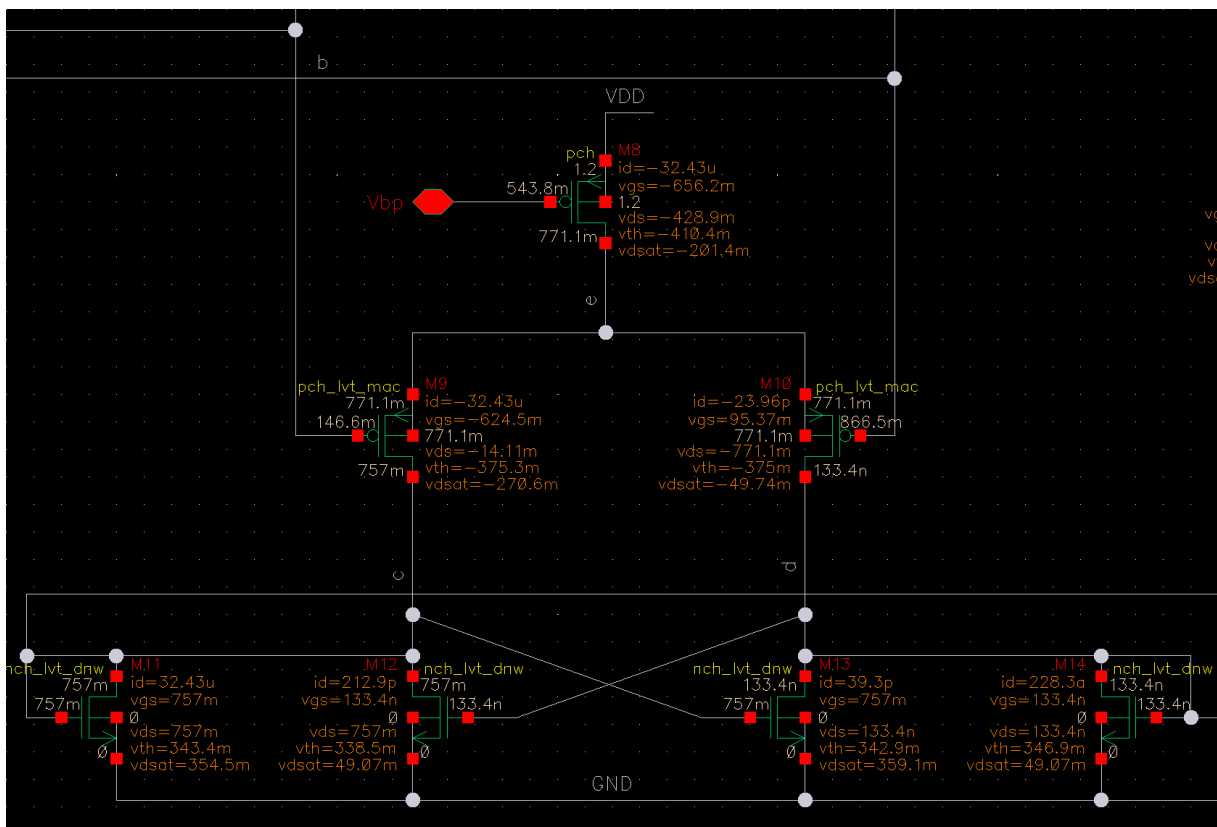


Abbildung 31: Entscheidungsnetzwerk mit PMOS Eingangsstufe. Arbeitspunkt im dominanten Zustand

5.3.2. Rezessiver Zustand im Komparator mit PMOS Eingangsstufe

Im rezessiven Zustand liegt die Busspannung vor der Spannungsteilung bei 2,5 V auf CAN_H und CAN_L. Nach der Spannungsteilung liegt das Potential auf dem Potentialpunkt *a* bei 916 mV und das Potential auf dem Potentialpunkt *b* bei 698 mV. Das Potential des Netzwerks *e* stellt sich in diesem Fall auf 1,09 V ein. Mit dieser Eingangsbeschaltung befindet sich Transistor M10, mit einer Sättigungsspannung von 84,59 mV, in moderater Inversion. Transistor M9 befindet sich in schwacher Inversion und wird durch seine niedrige Gate-Source Spannung geöffnet.

In diesem Zustand wird ein hoher Strom in das Netzwerk *d* geführt. Das zugeführte Potential im Netzwerk *d* schließt den gegenüberliegenden Transistor M12, welcher den kompletten Strom der im Netz *c* fließt, nach Masse ableitet. Das niedrige Potential im Netzwerk *c* öffnet den gegenüberliegenden Transistor M13. Der Strom im Netz *d* fließt über den Gate-Drain verbundenen Transistor M14 nach Masse. Die Potentiale *c* und *d* dienen als Eingangssignale für den folgenden Verstärker. Das Potential *d* nimmt ein hohes Potential an, während das Potential *c* ein sehr niedriges Potential annimmt. Abbildung 32 zeigt das Entscheidungsnetzwerk mit PMOS Eingangsstufe mit DC Arbeitspunkten im rezessiven Zustand.

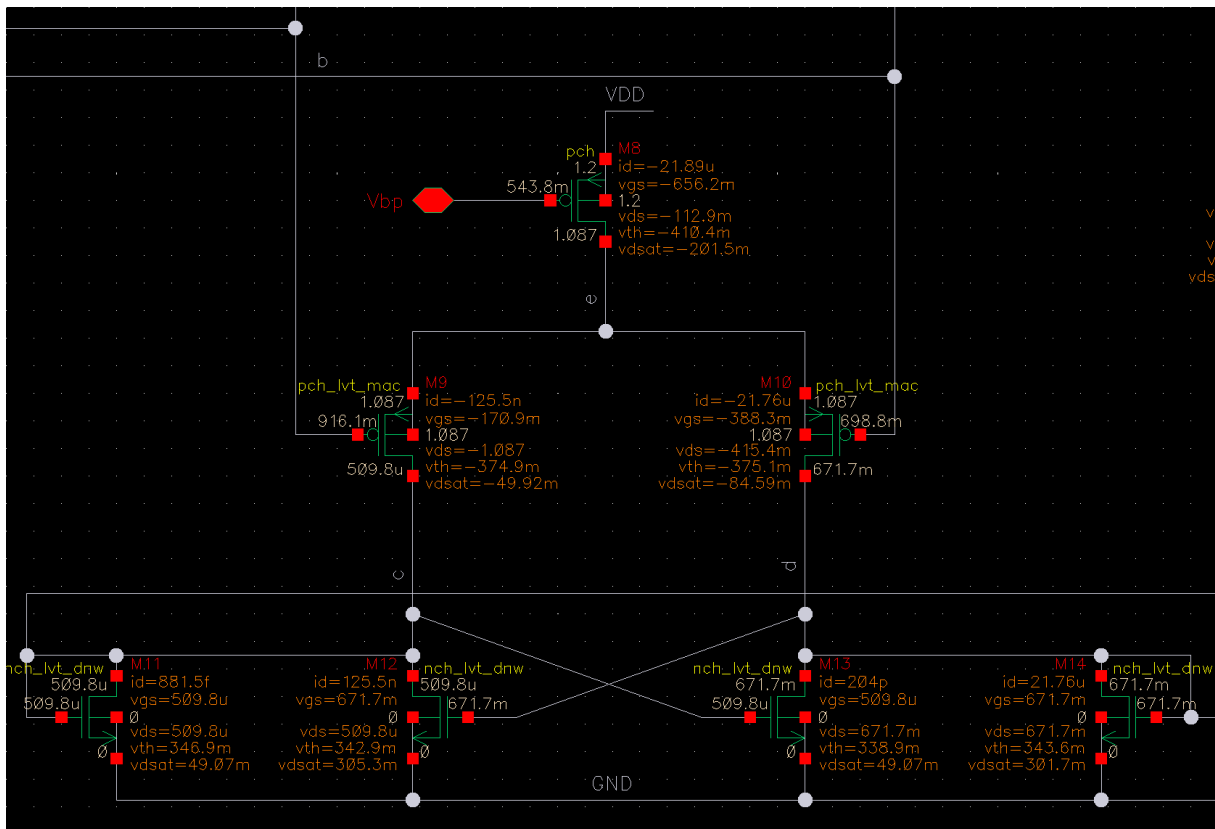


Abbildung 32: Entscheidungsnetzwerk mit PMOS Eingangsstufe. Arbeitspunkt im rezessiven Zustand

5.3.3. Arbeitsbereich Transistor M8

Das Potential auf dem Potentialpunkt e und der Arbeitspunkt von Transistor M8 definiert für diesen Schaltungsteil die maximalen Eingangsspannungen an den Punkten a und b . Die beiden vorherigen Kapitel beschreiben das Verhalten der Schaltung im dominanten und rezessiven Zustand. In den Abbildungen Abbildung 31 und Abbildung 32 ist zu erkennen, dass das Potential des Netzwerks e durch den Zustandswechsel von dominant nach rezessiv steigt. Das Steigende Potential e ist durch die neuen Spannungseinstellungen an den Eingängen a und b begründet. Durch den Zustandswechsel sinkt die Stromaufnahme des Transistors M8 von 32,43 μA (dominant) auf 21,89 μA (rezessiv). Gate- und Sourcepotential des Transistors M8 sind fest eingestellt. Das Sourcepotential ist mit der Versorgungsspannung 1,2 V verbunden. Der Gateanschluss wird von einer externen Bias Spannung auf 543 mV eingestellt. Der Transistor befindet sich in starker Inversion. Der sinkende Stromfluss durch Transistor M8 ist darin begründet, dass die Drain-Source Spannung kleiner als die Sättigungsspannung wird. Transistor M8 verlässt den Sättigungsbereich und wechselt in den linearen Bereich. Dieser Effekt setzt sich solange fort, bis die Drain-Source Spannung des Transistors gegen 0 V geht.

Das beschriebene Verhalten tritt besonders im rezessiven Zustand auf, da hier beide Eingangssignale ähnlich hohe Potentiale haben. Durch hohe Spannungen im rezessiven Zustand werden beide Transistoren des differentiellen Eingangs (M9 und M10) geöffnet und der Transistor M8 aus der Sättigung getrieben. Im dominanten Zustand hingegen besteht stets eine sehr hohe differentielle Spannung zwischen den Eingangssignalen wodurch der beschriebene Effekt einen geringeren Einfluss hat.

Bei der, im rezessiven Zustand, maximal zu erwartenden Busspannung von 3 V stellt sich für den Transistor M8 eine Stromaufnahme von 7,62 μA ein. Das Potential auf dem Potentialpunkt e liegt dann bei 1,17 V. Die maximale Busspannung, die von der Entscheidungsstufe im unteren Schaltungsteil verarbeitet werden kann, liegt bei 3,27 V. Diese Grenze wird jedoch nicht durch eine Fehlentscheidung der Entscheidungsstufe gesetzt, sondern durch das Überschreiten der maximal zulässigen Spannung über die Gate-Drain Strecke des Transistors M9. Es ist zu beachten, dass im rezessiven Zustand die Gatespannung an Transistor M9 stets höher ist als die Gatespannung an Transistor M10. Dies ist auf die Wahl der Spannungsteilung in der Eingangsstufe der Gesamtschaltung zurückzuführen.

Im dominanten Zustand ist, trotz Spannungsteilung der Eingangsstufe, das aus CAN_H erzeugte Potential b stets größer als das aus CAN_L erzeugte Potential a . Da in diesem Zustand das Potential a immer einen niedrigen Wert annimmt, ist die Funktion der Entscheidungsstufe lediglich durch ein zu hohes Potential auf CAN_H begrenzt. Mit einem Potential von 4,3 V auf CAN_H erreicht das Potential b die 1,2 V Grenze. Da in diesem Zustand das Netzwerk d bei etwa 0 V bleibt, erreicht bei dieser Eingangsspannung die Gate-Drain Strecke von Transistor M10 den maximal zulässigen Spannungsabfall von 1,2 V.

Es ist anzumerken, dass die maximale Busspannung von 3,27 V für den rezessiven Zustand keinem gültigen Zustand im CAN Standard entspricht sowie, dass das maximale Potential auf CAN_H von 4,3 V im dominanten Zustand vom CAN Treiber nicht zu erwarten ist. Des Weiteren ist der untere Schaltungsteil fähig beide Zustände zu verarbeiten. Die theoretischen Grenzen des Schaltungsteils liegen außerhalb der im CAN Standard spezifizierten Spannungspegel.

5.4. Komparator mit NMOS Eingangsstufe

Abbildung 33 zeigt das Entscheidungsnetzwerk des oberen Schaltungsteils. Da der Aufbau dieses Schaltungsteils gespiegelt zum unteren Schaltungsteil aufgebaut ist und die Funktionsweise identisch bleibt, werden in diesem Kapitel lediglich die wichtigsten Unterschiede beschrieben und die Arbeitspunkte präsentiert. Außerdem wird der Arbeitsbereich des Schaltungsteils und der Einfluss von Transistor M7 analysiert.

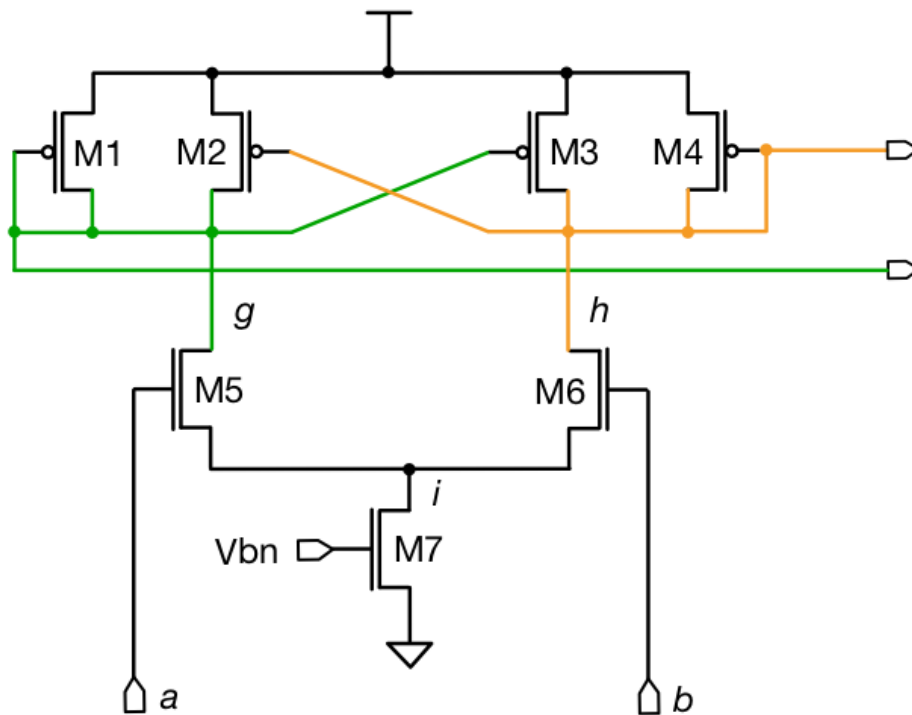


Abbildung 33: Entscheidungsnetzwerk mit NMOS Eingangsstufe

Der obere Schaltungsteil ist parallel zum unteren Schaltungsteil verschaltet. Das differentielle Eingangssignal ist dasselbe, wie in Abbildung 29 dargestellt. Die differentielle Eingangsstufe wird mit den NMOS Transistoren M5 und M6 gebildet. Das Entscheidungsnetzwerk wird von den PMOS Transistoren M1 bis M4 gebildet. Die beiden ausschlaggebenden Netzwerke sind hier die Potentialpunkte g und h .

5.4.1. Dominanter Zustand im Komparator mit NMOS Eingangsstufe

Im dominanten Zustand (Abbildung 34) stellt sich für den Potentialpunkt a eine Spannung von 146 mV und für Potentialpunkt b eine Spannung von 866 mV ein. Der Potentialpunkt i stellt sich in diesem Zustand auf 399 mV ein. Transistor M5 ist aufgrund des niedrigen Gatepotentials geöffnet so dass kein Strom über Transistor M5 nach Masse fließen kann. Transistor M6 ist geschlossen und leitet den kompletten Strom den Transistor M7 einprägt.

Wie im Komparator mit PMOS Eingangsstufe arbeiten auch hier zwei Effekte an der Entscheidungsbildung des Netzwerks. Durch den geschlossenen Transistor M6 sinkt die Spannung im Netzwerk h . Zusätzlich wird der hohe Strombedarf, der durch den Transistor M6 fließt in den Gate-Drain verbundenen Transistor M4 eingepreßt. Dieser Effekt senkt das Potential im Netzwerk h zusätzlich ab. Durch das sinkende Potential in Netzwerk h wird der gegenüberliegende Transistor M2 geschlossen. Dadurch wird der komplette Strom, der im Netz g fließt, über Transistor M2 gedeckt. Durch den Gate-Drain verbundene Transistor M1 fließt somit kein Kanalstrom und das Potential im Netzwerk g stellt sich auf den höchst möglichen Wert ein. Abbildung 34 zeigt das Entscheidungsnetzwerk mit PMOS Eingangsstufe mit DC Arbeitspunkten im rezessiven Zustand.

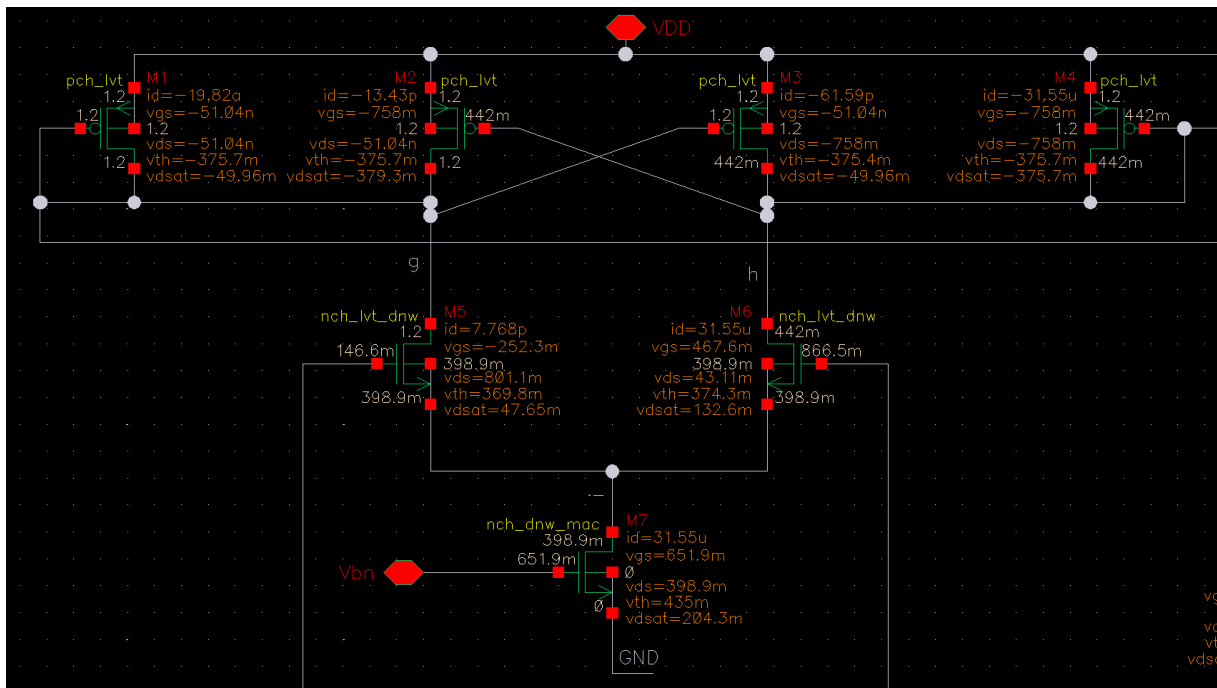


Abbildung 34: Entscheidungsnetzwerk mit NMOS Eingangsstufe. Arbeitspunkt im dominanten Zustand

5.4.2. Rezessiver Zustand im Komparator mit NMOS Eingangsstufe

Im rezessiven Zustand (Abbildung 35) liegt die Busspannung vor der Spannungsteilung bei 2,5 V auf CAN_H und CAN_L. Nach der Spannungsteilung liegt das Potential auf dem Potentialpunkt *a* bei 916 mV und das Potential auf dem Potentialpunkt *b* bei 698 mV. Das Potential des Netzes *i* stellt sich in diesem Zustand auf 426 mV ein. Mit dieser Eingangsbeschaltung befindet sich Transistor M5, mit einer Sättigungsspannung von 147 mV, in moderater Inversion. Transistor M6 befindet sich in schwacher Inversion.

Der Stromfluss durch Transistor M5 ist dann etwa 13-mal größer als der Stromfluss durch Transistor M6. Über den stärker gesättigten Transistor M5 sinkt das Potential des Netzes *g*. Durch diesen Einfluss wird Transistor M3 geschlossen, welcher in Folge den kompletten Strom im Netz *h* liefert. Dadurch wird die Source-Gate Spannung des Gate-Drain verbundenen Transistors M4 sehr klein und das Potential des Netzes *h* steigt auf den höchst möglichen Wert. Außerdem wird durch dieses hohe Potential *h* Transistor M2 geöffnet. Der Strom im Netz *g* muss daher komplett durch den Gate-Drain verbundenen Transistor M1 gedeckt werden. Das Potential in Netz *g* sinkt. Abbildung 35 zeigt das Entscheidungsnetzwerk mit PMOS Eingangsstufe mit DC Arbeitspunkten im rezessiven Zustand.

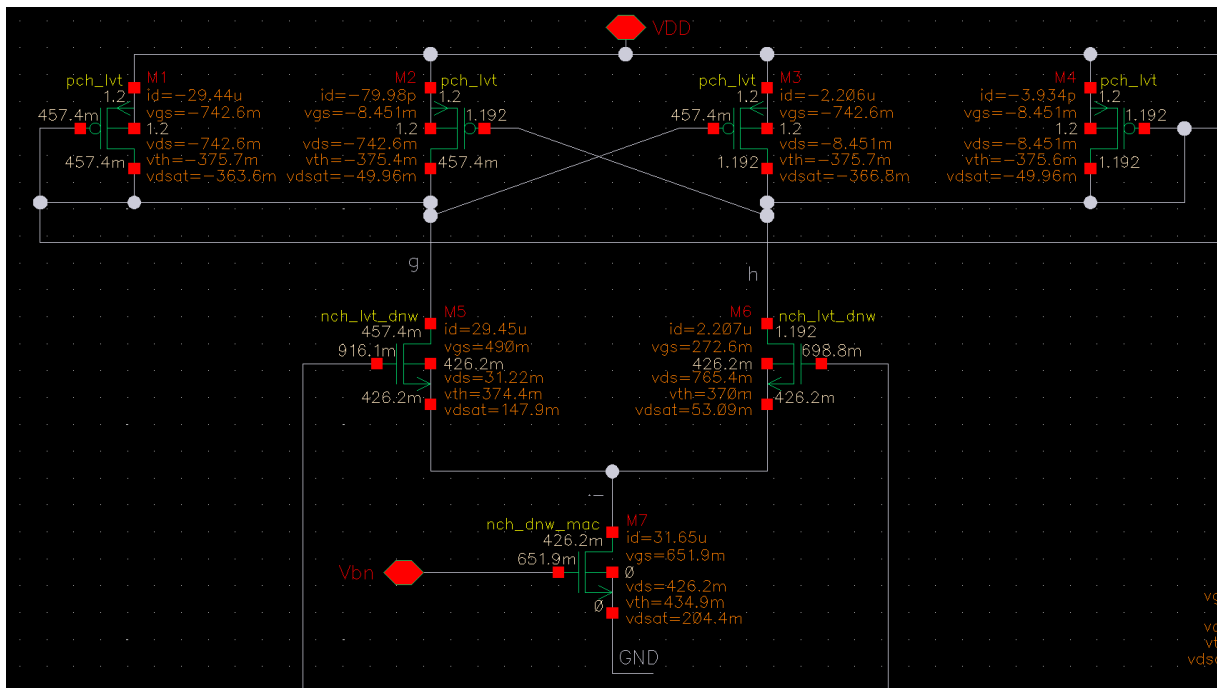


Abbildung 35: Entscheidungsnetzwerk mit NMOS Eingangsstufe. Arbeitspunkt im rezessiven Zustand

5.4.3. Arbeitsbereich Transistor M7

Das Potential auf dem Potentialpunkt i und der Arbeitspunkt von Transistor M7 definiert für diesen Schaltungsteil die minimale Eingangsspannungen an den Punkten a und b . In den beiden vorherigen Kapiteln wurde das Verhalten der Schaltung im dominanten und rezessiven Zustand beschrieben. Im Gegensatz zum unteren Schaltungsteil verändert sich hier das Potential des Netzwerks i durch einen Zustandswechsels nur geringfügig. Auch die Stromaufnahme des Transistors M7 bleibt nahezu konstant. Während sich die das Potential von 398 mV (dominant) auf 426 mV (rezessiv) erhöht, ändert sich die Stromaufnahme nur um 0,1 μA . Das Gate- und Sourcepotential des Transistors M7 sind fest eingestellt. Das Sourcepotential ist mit Masse verbunden und der Gateanschluss wird von einer externen Bias Spannung auf 651 mV eingestellt. Der Transistor befindet sich in starker Inversion und verbleibt über den Zustandswechsel hinweg im Sättigungsbereich.

Durch dieses Verhalten werden im oberen Schaltungsteil Eingangssignale höherer Spannung verarbeitet, was besonders im rezessiven Zustand zum Tragen kommt, da hier beide Eingangssignale ähnlich hohe Potentiale aufweisen. Durch niedrige Spannungen im rezessiven Zustand werden beide Transistoren des differentiellen Eingangspärchens (M5 und M6) geöffnet und der Transistor M7 aus der Sättigung getrieben. Im dominanten Zustand tritt dieser Effekt weniger prägnant auf, da in diesem Fall stets eine sehr hohe differentielle Spannung zwischen den Eingangssignalen besteht.

Bei der im rezessiven Zustand minimalen zu erwartenden Busspannung von 2 V stellt sich für den Transistor M7 eine Stromaufnahme von 31,19 μA ein. Das Potential auf dem Potentialpunkt i liegt dann bei 314 mV. Die Entscheidungsfindung wird mit weiter sinkender Busspannung in diesem Zustand ungenauer, kann aber durch die folgende Verstärkung ausgeglichen werden.

Im dominanten Zustand ist trotz der Spannungsteilung in der Eingangsstufe, das aus CAN_H erzeugte Potential b stets größer als das aus CAN_L erzeugte Potential a . Da in diesem Zustand das Potential a immer einen niedrigen Wert annimmt, ist die Funktion der Entscheidungsstufe lediglich durch ein zu hohes Potential auf CAN_H begrenzt. Mit einem Potential von 5,8 V auf CAN_H erreicht das Potential b die 1,6 V Grenze. Da in diesem Zustand das Netzwerk i bei etwa 430 mV verbleibt, erreicht bei dieser Eingangsspannung die Gate-Source Strecke von Transistor M6 den maximal zulässigen Spannungsabfall von 1,2 V.

Es ist anzumerken, dass das maximale Potential auf CAN_H von 5,8 V im dominanten Zustand keinem gültigen Zustand im CAN Standard entsprechen. Des Weiteren ist der obere Schaltungsteil fähig beide Zustände zu verarbeiten. Die theoretischen Grenzen des Schaltungsteils liegen außerhalb der im CAN Standard spezifizierten Spannungspegel.

5.5. Endverstärkung

Abbildung 36 zeigt die Verstärker im oberen und unteren Schaltungsteil. Die Eingangssignale, die die differentiellen Eingangspaare M15 und M16 bzw. M21 und M22 ansteuern sind die Potentiale h und g bzw. c und d , welche im Kapiteln 5.3 und 5.4 besprochen wurden. Eingesetzt werden diese Endverstärker, um aus den Ausgangssignalen der Entscheidungsstufen CMOS Logik Signale mit Pegeln im Bereich zwischen 0 V und 1,2 V zu erzeugen.

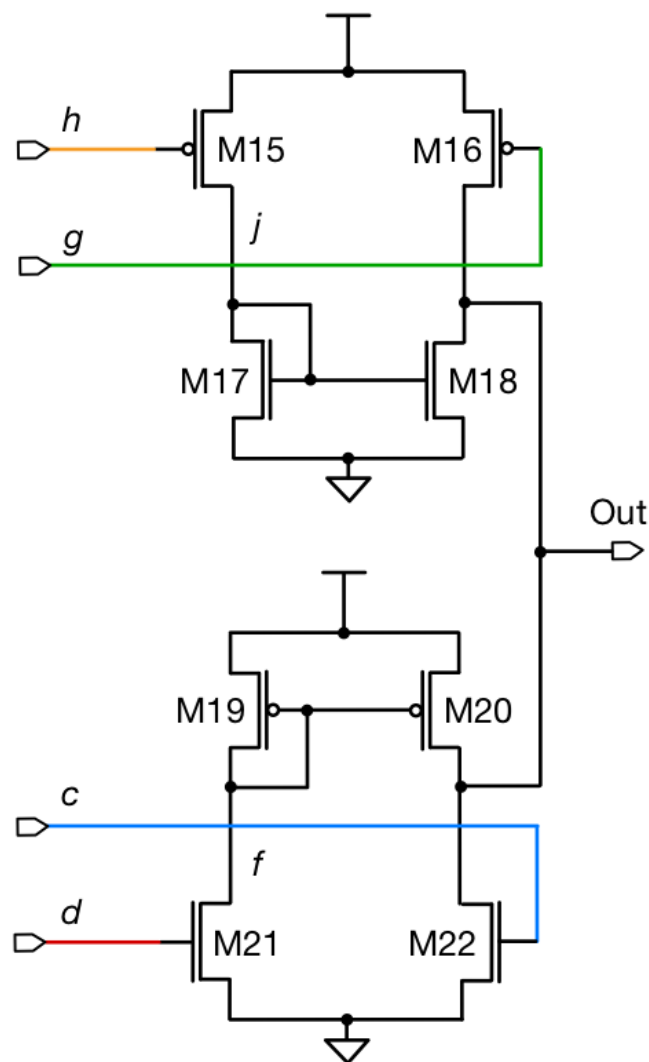


Abbildung 36: Verstärker oberer und unterer Schaltungsteil

Das Funktionsprinzip des Verstärkers wird beispielhaft am unteren Verstärker erklärt.

Der von Transistor M21 eingepreßte Stromfluss wird über den Gate-Drain verbundenen Transistor M19 bereitgestellt und auf Transistor M20 gespiegelt. Für ein hohes Potential c und ein niedriges Potential d wird Transistor M21 geöffnet und Transistor M22 geschlossen. Der Stromfluss durch M19/M20 ist gering und das Potential f nimmt hohe Werte in der Nähe der Versorgungsspannung an. Durch den geschlossenen Transistor M22 wird das Potential Out mit Masse verbunden. Für ein niedriges Potential c und ein hohes Potential d wird Transistor M21 geschlossen und Transistor M22 geöffnet. Der PMOS Transistor M19 stellt das Potential f auf nahezu 0V, öffnet Transistor M20 und spiegelt den Stromfluss. Das Potential Out wird leitend mit der Versorgungsspannung verbunden.

5.6. Simulationsergebnisse CAN Empfänger

In diesem Kapitel werden die Simulationsergebnisse des CAN Empfängers vorgestellt. Abbildung 37 zeigt das erzeugte Ausgangssignal für folgende Eingangssignaleinstellungen:

- Dominant
 - CAN_H = 3,1 V
 - CAN_L = 400 mV
- Rezessiv
 - CAN_H/L = 2,5 V
- Allgemein
 - Frequenz = 75 kHz
 - Bitrate = 150 kbit/s
 - Bitbreite = 6,66 μ s

Im CAN Standard ist die logische 1 rezessiv und die logische 0 dominant. Das Ausgangssignal zeigt das erwartete Verhalten. Eine Abbildung mit sämtlichen Potentialen des CAN Empfängers findet sich im Anhang (Abbildung A 5). Außerdem wird in den Abbildungen Abbildung A 6 und Abbildung A 7 das Verhalten für eine Busspannung von 2 V bzw. 3 V gezeigt.

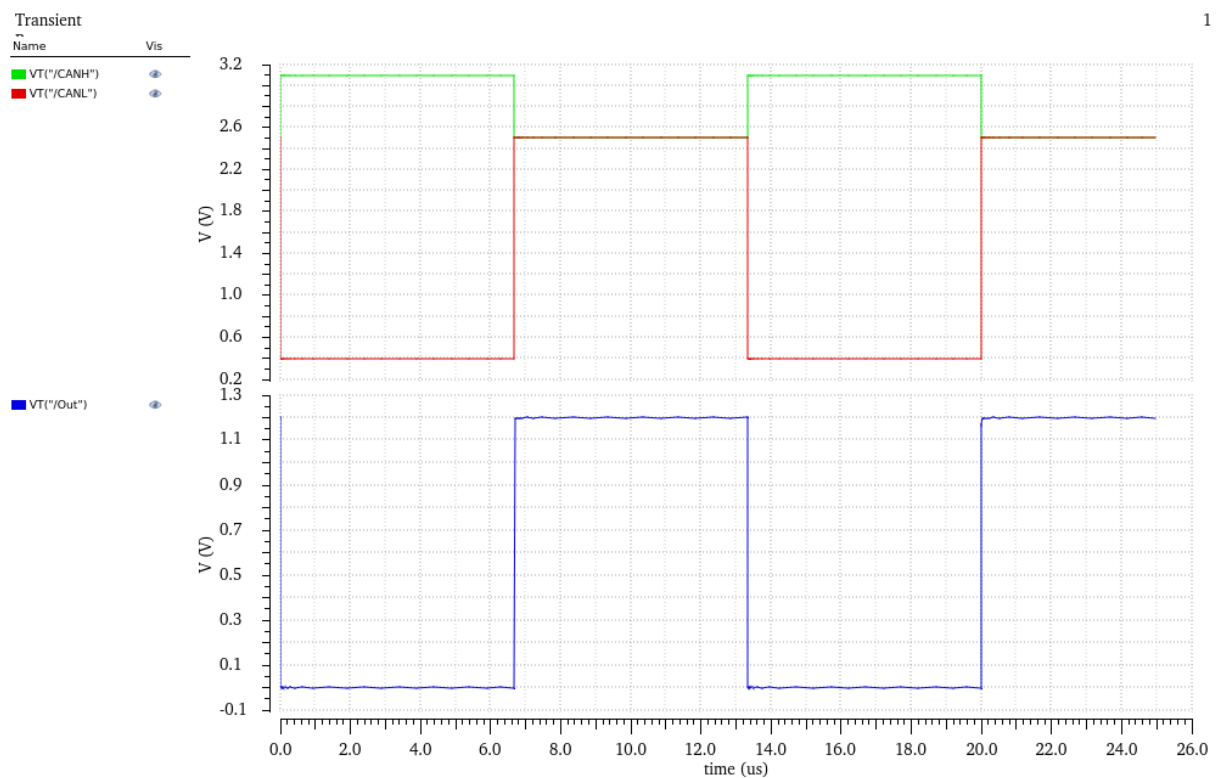


Abbildung 37: CAN Empfänger Ein- und Ausgangssignal

6. Layout

6.1. Allgemein

Dieses Kapitel beschreibt die Erzeugung der Layouts für den Levelshifter, den CAN Treiber und den CAN Empfänger mit Cadence Virtuoso und zeigt dessen Integration in den DCS Chip. Im Zuge dessen werden die Layouts einzelner Bauteile, verschiedene Begriffe des Layoutdesigns sowie Design Rules der gewählten 65 nm Technologie von TSMC erläutert. Außerdem wird eine Übersicht über den Floorplan des DCS Chips gegeben.

6.1.1. Erläuterung Schichten

Für die Erstellung eines Layouts stellt die jeweilige Technologie eine Vielzahl von Schichten („Layer“) zur Verfügung. Dieser Abschnitt beschreibt die wichtigsten Layer, die für die Schaltungen des Projekts verwendet werden.

OD

Die Abkürzung OD steht für „Oxide Diffusion“. Mit diesem Layer werden Diffusionsbereiche für die Dotierung definiert. Ein OD Layer muss entweder von einem PP oder NP Layer umgeben sein. Die Layer PP und NP definieren ob die Diffusion P-dotiert oder N-dotiert wird.

PP

Definiert einen Bereich für eine P+ Ionenimplantation. Muss einen OD Layer Bereich einschließen.

NP

Definiert einen Bereich für eine N+ Ionenimplantation. Muss einen OD Layer Bereich einschließen.

NW

Die Abkürzung NW steht für „N-Well“. Ein N-Well ist, im Vergleich zum Layer OD in Kombination mit NP, ein tiefer dotiertes Gebiet. Das Layer NW ist ohne weitere Angaben anderer Gebiete als N-Dotiertes Gebiet definiert.

DNW

Die Abkürzung DNW steht für „Deep N-Well“. Ein Deep N-Well ist eine tief im P-dotierten Substrat eingebrachte N-Dotierung. In Kombination mit dem Layer NW wird üblicherweise eine Wannenstruktur im P-Substrat geschaffen, um Bauteile innerhalb dieser Wanne elektronisch abzuschirmen. Abbildung 38 zeigt beispielhaft eine solche Wannenstruktur. Das Layer NW in Abbildung 38 schließt bündig mit der Substratoberfläche ab.

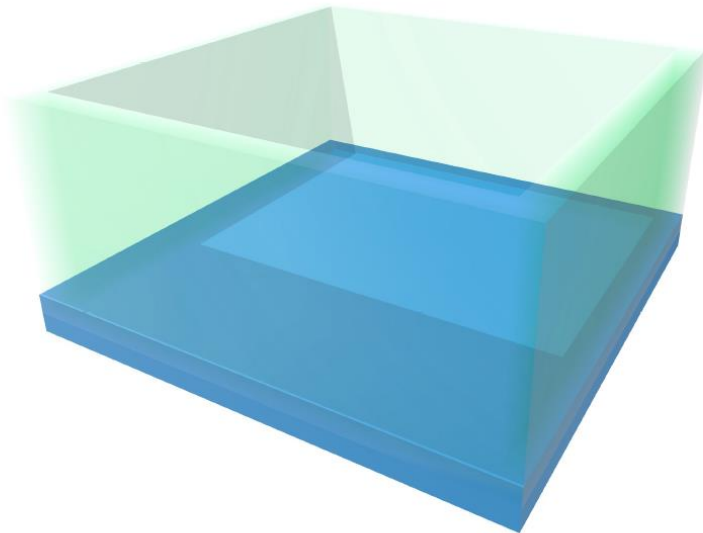


Abbildung 38: Wannenstruktur aus NW (grün) und DNW (blau)

PO

Die Abkürzung PO steht für „Poly“. Diese Schicht definiert einen Bereich Poly Silizium. Poly Silizium wird in der Regel für den Gateanschluss von Transistoren verwendet, kann aber auch als unterste Leitungsschicht verwendet werden.

Substrat

Das Substrat dieser Technologie ist P-dotiert.

CO

Die Abkürzung CO steht für „Contact“. Diese Schicht definiert Bereiche, in denen eine Verbindung zwischen der ersten Metalllage und dem darunter liegendem Substrat hergestellt wird.

Mx

Die Abkürzung M steht für „Metall“. Das x ist ein Platzhalter für die Metallisierungsebene. Die dem Substrat am nächsten liegende Metalllage ist Metalllage M1. Für das Layout der Schaltungen in diesem Projekt wurden die Metalllagen 1 bis 4 verwendet. Zur Vermeidung von Sackgassen bei der Verdrahtung werden für horizontale Leiterbahnen die Metalllagen 2 und 4 verwendet, während für vertikale Leiterbahnen die Metalllage 3 verwendet wird. Metalllage 1 wird in horizontaler sowie vertikaler Richtung verwendet. Die Metalllagen über Metalllage 4 werden zur übergeordneten Verschaltung zwischen den einzelnen Schaltungen, für die Versorgungsspannung und Masse und für die Verdrahtung an die I/O Pads verwendet.

VIAx

Ein VIA ist eine Verbindung zwischen zwei Metalllagen. Das x ist ein Platzhalter. Ein VIAx verbindet die Metalllagen x und x+1. So verbindet beispielsweise VIA2 die Metalllagen 2 und 3. Bei der Erstellung eines VIAs erzeugt Virtuoso immer die Fläche des VIAs und Metallstrukturen der beiden betroffenen Metalllagen.

Um eine Verbindung zwischen der ersten Metalllage und dem Substrat zu erzeugen, bietet Virtuoso während der Erzeugung eines VIAs eine Auswahl verschiedener VIAs. Mit dieser Auswahl wird der Zustand des Substrats definiert. Die vorgefertigten VIAs unterscheiden zwischen einer Verbindung Metall 1 zu OD und Metall 1 zu PO. Zusätzlich bietet die Auswahl N- oder P-dotierte Varianten für die Verbindungen zwischen Metall 1 und OD bzw. PO.

6.1.2. Bauteile

In diesem Abschnitt werden die einzelnen Bauteile eines Layouts beschrieben. Dabei werden Bildschirmausschnitte der Layouts des Levelshifters und CAN Treibers verwendet. Eine vollständige Ansicht der Layouts wird in den jeweiligen Kapiteln gezeigt. Die Bauteile einer Schaltung werden bei der Anfertigung eines Layouts automatisch generiert und ähnlich der Positionierung im Schaltplan im Layout positioniert.

Widerstand

Die Technologie bietet Widerstände aus PO oder OD. Da für die Schaltungen des Levelshifters und CAN Treiber hochohmige Widerstände benötigt werden, wird die eine Variante basierend auf dem PO Layer gewählt. Ein Widerstand wird aus einer Leiterbahn der Schicht PO gefertigt. Zusätzlich werden erzeugte Widerstände mit Widerstandsspezifischen Schichten überdeckt. Die RPDMY Schicht ist ein Dummy Layer und wird für die Funktionen des LVS und DRC benötigt. Die Schicht RH ist ein Layer, der für eine geringe Dotierung im Polysilizium und damit einen höheren Widerstand des Materials sorgt.

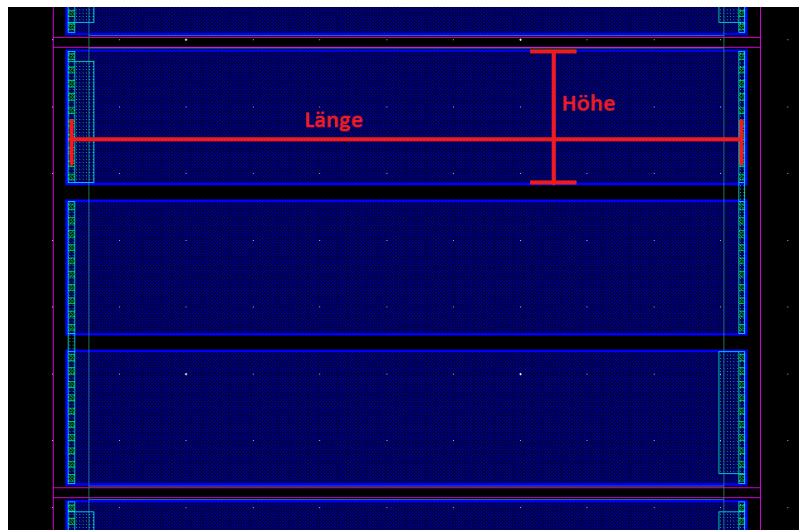


Abbildung 39: Layout Widerstand (RPDMY und RH ausgeblendet)

Abbildung 39 zeigt das Layout eines Widerstands R12 des CAN Treibers. R12 und R13 sind Vorwiderstände für die externe Spannungsquelle zur Einstellung der Busspannung und sind erheblich kleiner als alle anderen Widerstände des Layouts. Die Markierungen „Länge“ und „Höhe“ beziehen sich jeweils auf ein Segment.

Der Widerstandswert wird über die Breite und Länge definiert. Die Länge verhält sich proportional und die Breite antiproportional zum Widerstandswert. Der dargestellte Widerstand besteht aus drei Segmenten, die an ihren Enden mit einer kleinen Schicht der Metalllage 1 als Reihenschaltung verbunden sind. Die Segmentierung kann bei der Dimensionierung des Widerstands im Schematic bestimmt werden und beeinflusst den Widerstandswert nicht. Die Segmentierung hilft lediglich hochohmige Widerstände im Layout einfacher zu platzieren. Ein weiterer Vorteil, den die Segmentierung mit sich bringt, ist, dass eventuelle Dummywiderstände deutlich kleiner, nämlich so groß wie ein Segment des Gesamtwiderstands, ausgelegt werden. Abbildung 39 zeigt im oberen und unteren Teil jeweils einen Dummywiderstand. Eine größere Anzahl von Segmenten bei gleichbleibenden Widerstandswert führt zu kürzeren Segmenten. Die Breite wird dadurch nicht beeinflusst, was dazu führt, dass die Fläche für ein Dummywiderstand kleiner wird.

Kondensator

Die Technologie bietet verschiedene Bauarten und Zusammensetzungen verschiedener Schichten zur Umsetzung einer Kapazität. Die für dieses Projekt gewählte Bauform ist ein Metal-Oxide-Metal (MOM) Kondensator. Die aktive Kondensatorfläche wird durch einen gefingerten Aufbau maximiert. Dadurch macht man sich zu Nutze, dass nebeneinanderliegende Metallstrukturen einen kleineren Abstand besitzen können als übereinanderliegende Metalllagen. Abbildung 40 zeigt einen beispielhaften Aufbau für eine Kapazität, die sich auf zwei Metalllagen befindet. Im linken Teil wird eine einzelne Metalllage (z.B. Metall 1) gezeigt. Anode und Kathode befinden sich auf zwei Seiten des Kondensators und liegen sich jeweils gegenüber. Die Rechte Ansicht zeigt eine zweite Metalllage (z.B. Metall 2) die die um 90° rotiert über der unteren Metalllage positioniert wird. VIAs werden in dieser Abbildung nicht gezeigt und werden von der untersten bis zur obersten Metalllage auf beiden Seiten von Anode und Kathode eingefügt.

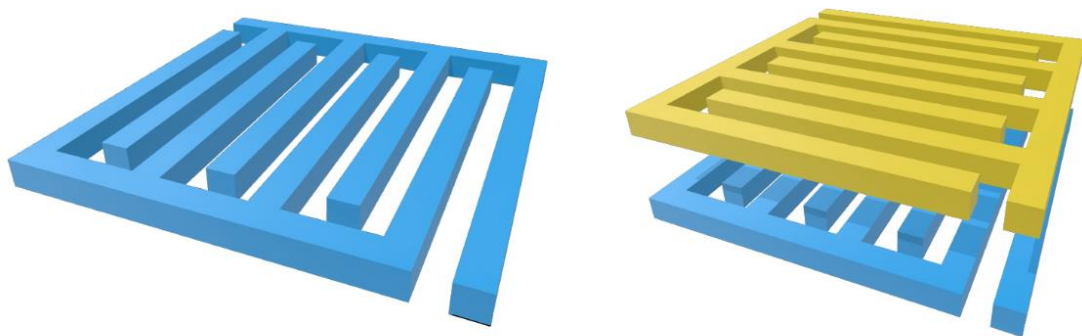


Abbildung 40: MOM Kapazität. Links: Metallebene 1. Rechts Metallebene 1 und 2. Ohne VIAs.

Unter den Metalllagen wird zum Abschirmen eine Schicht PO (Polysilizium) eingefügt. Diese Schicht stellt den dritten Kontakt des Kondensators dar. Abbildung 41 zeigt einen Bildschirmausschnitt eines Kondensators des CAN Treibers. Die Kondensatoren des CAN Treibers starten auf der ersten Metallebene und enden mit der siebten Metallebene. Aufgrund dieser Ausnahme bei der Verwendung der Metalllagen ist im weiteren Verlauf der Layouterstellung darauf zu achten, keine Kurzschlüsse durch die Verdrahtung der oberen Metalllagen zu verursachen.

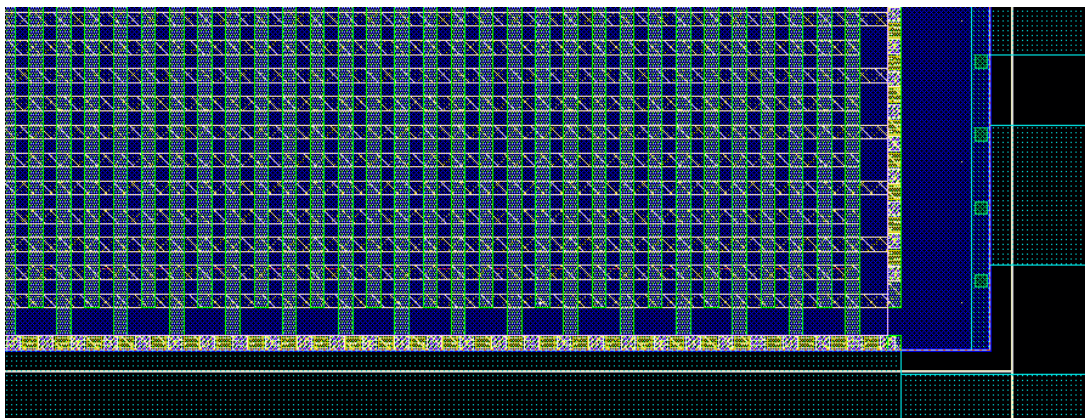


Abbildung 41: Ausschnitt eines Kondensators im Layout.

Transistor PMOS / NMOS

Abbildung 42 zeigt zwei PMOS und NMOS Transistoren aus dem Layout des Levelshifters. In dieser Ansicht werden die bereits beschriebenen Schichten CO, NW, PO und OD sowie die OD-definierenden Schichten PP und NP dargestellt.

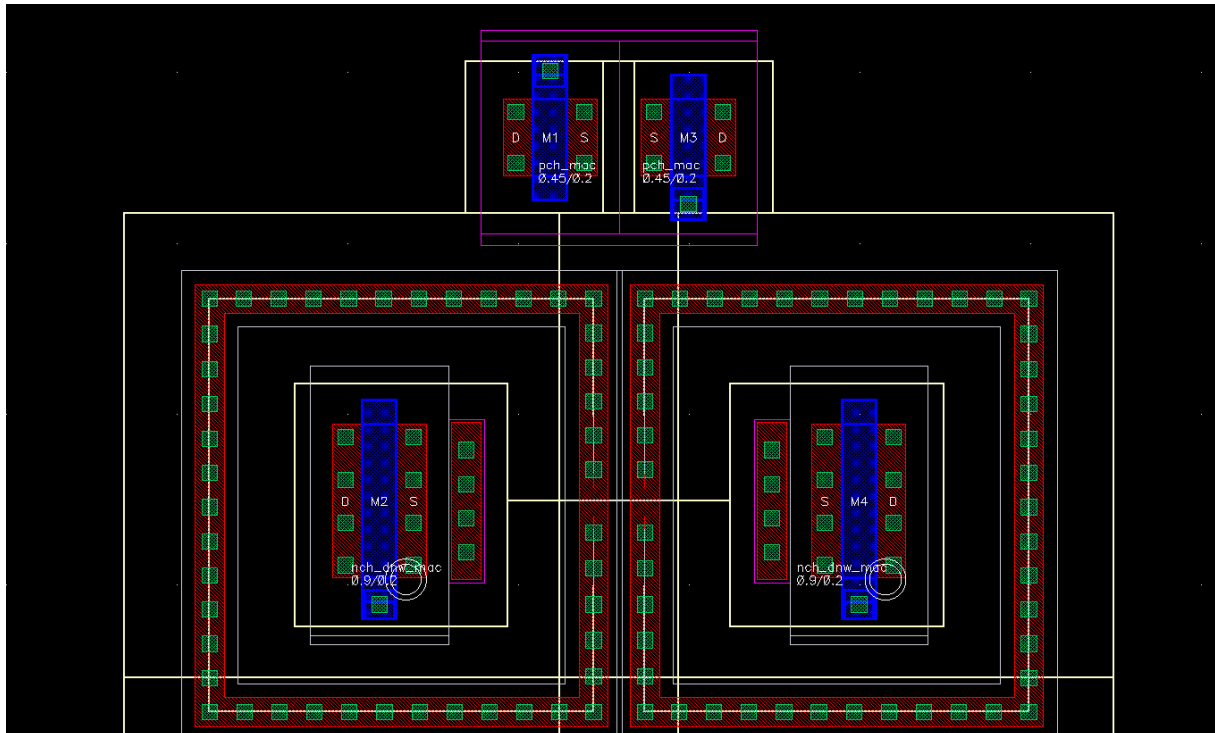


Abbildung 42: Layout PMOS und NMOS Transistoren M1 bis M4 des Levelshifters

Im oberen Bereich der Abbildung liegen die beiden PMOS Transistoren M1 und M3 in einem N-Well (Beige). Die Kontakte für Drain und Source (Rot, OD) liegen unmittelbar neben dem Gatekontakt (Blau, PO) innerhalb einer PP definierten Zone. Als Bulkanschluss wird in diesem Fall der Guard Ring verwendet. Dieser Guard Ring schützt die NMOS Transistoren im unteren Teil der Abbildung vor Einflüssen von anderen Schaltungselementen. Die Guard Ring Struktur ist eine NWELL Guard Ring Struktur. Der Diffusionsbereich dieses Guard Rings wird N dotiert und befindet sich in einem N-Well.

An einigen Stellen in diesem Projekt wurden Transistoren mit einer geringeren Schwellenspannung eingesetzt, um das Schaltverhalten zu verbessern. Ein solcher Transistor unterscheidet sich im Layout kaum von den in Abbildung 42 verwendeten Transistoren. Im Layout eines solchen Transistors wird eine weitere Schicht über den Dotierbereichen des Transistors eingefügt, welche in der Produktion für eine niedrigere Dotierstoffkonzentration sorgt. Durch diese Änderung wird eine geringere Schwellenspannung erreicht.

Die NMOS Transistoren befinden sich im P-Substrat. Das N-Well umgibt sie ringförmig und ist Teil des Guard Rings. Die Diffusionsbereiche der Drain- und Sourcekontakte für die NMOS Transistoren liegen in einer NP Schicht und werden somit N dotiert. Der Bulkanschluss der Transistoren wird durch eine P dotierten Diffusionsstelle erzeugt, die sich ebenfalls im P-Substrat befindet.

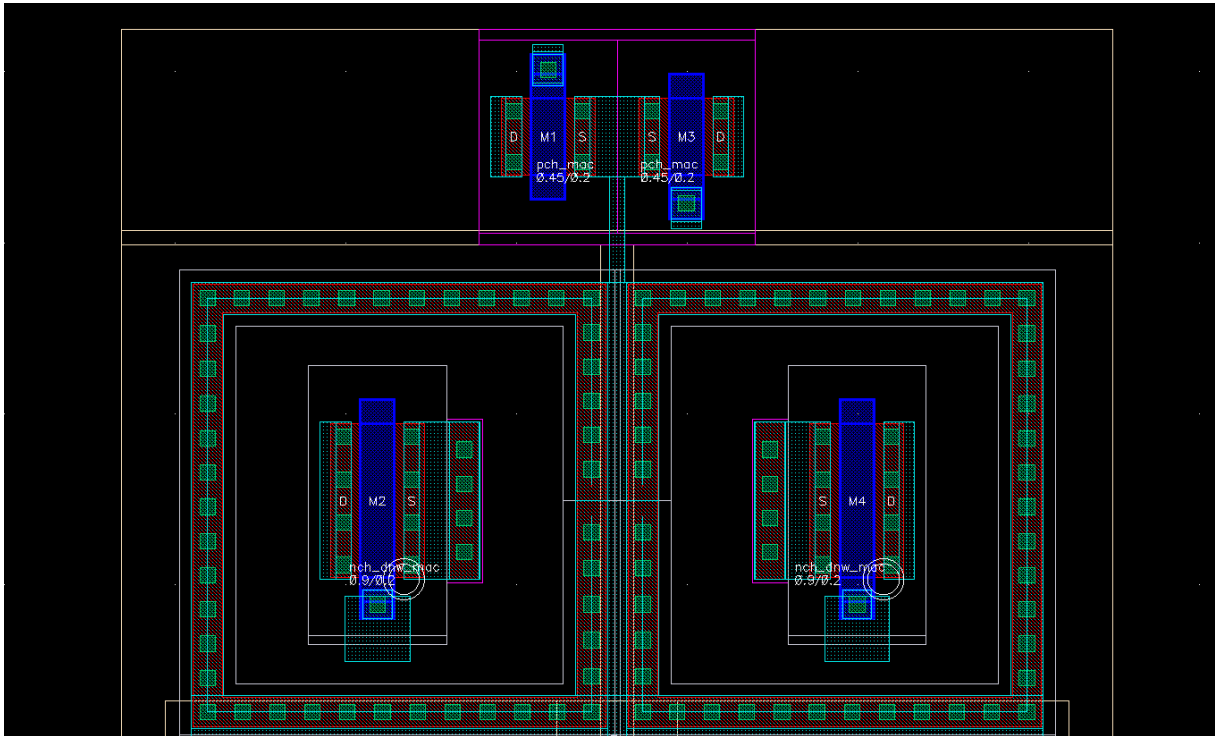


Abbildung 43: Layout NMOS und PMOS Transistoren Levelshifter. Metallisierung unterster Ebene und DNW.

Abbildung 43 zeigt die in Abbildung 42 dargestellten Transistoren. Zur Verbesserung der Übersicht wird in dieser Abbildung die N-Well Schicht ausgeblendet. Außerdem werden die Schichten für das Deep N-Well und die erste Metallisierungsebene eingebildet.

Das Deep N-Well wird eingefügt, um aus dem N-Well Guard Ring eine Wanne zu bilden, die auch nach unten geschlossen ist. Die Erweiterung der DNW Struktur unterhalb der PMOS Transistoren hat keinen Einfluss auf deren Verhalten. Um das Layout effizient zu gestalten werden die PMOS Transistoren so nah wie möglich am Guard Ring positioniert. Verschiedene Design Rules schreiben dabei vor, wie die PMOS Transistoren positioniert werden müssen. Es gibt eine Gruppe von Design Rules, die das Verhalten zwischen NW und DNW Strukturen definieren. Hier wird, unter anderem, vorgeschrieben, dass eine Deep N-Well Struktur eine N-Well Struktur mit einem gewissen Abstand umschließen muss. Außerdem gibt es Regeln die den minimalen Abstand zweier N-Well Bereiche vorschreiben. Als Kompromiss zwischen den beiden Regeln werden die beiden N-Wells verbunden und eine Deep N-Well Struktur über die PMOS Transistoren erweitert. Außerdem befindet sich durch diesen Aufbau der Diffusionsbereich der Guard Ringe im gleichen N-Well wie die Diffusionsstellen für Source und Drain der PMOS Transistoren. Damit kann der Guard Ring als Bulkanschluss für die PMOS Transistoren verwendet werden.

Die Metallisierungsebene zeigt die Verbindung der Bulkanschlüsse auf die jeweilige Source der Transistoren. Ein Ring der untersten Metallisierungsebene ist außerdem Bestandteil der Guard Ring Strukturen.

Guard Ring

Guard Rings werden genutzt um Schaltungsteile innerhalb des Rings vor Einflüssen, die über das Substrat übertragen werden, zu schützen. Mit Virtuoso ist es möglich automatisiert einen PSUB oder NWELL Guard Ring um die selektierten Bauteile zu erzeugen. Der Aufbau und die Beschreibung der NWELL Guard Ring Struktur werden im Abschnitt Transistoren erläutert. Für eine PSUB Guard Ring Struktur wird der Diffusionsbereich P dotiert und die N-Well Struktur entfällt.

Inverter

Abbildung 44 zeigt die Inverterschaltung, die im Projekt wiederholt in allen Schaltungsteilen eingesetzt wird.

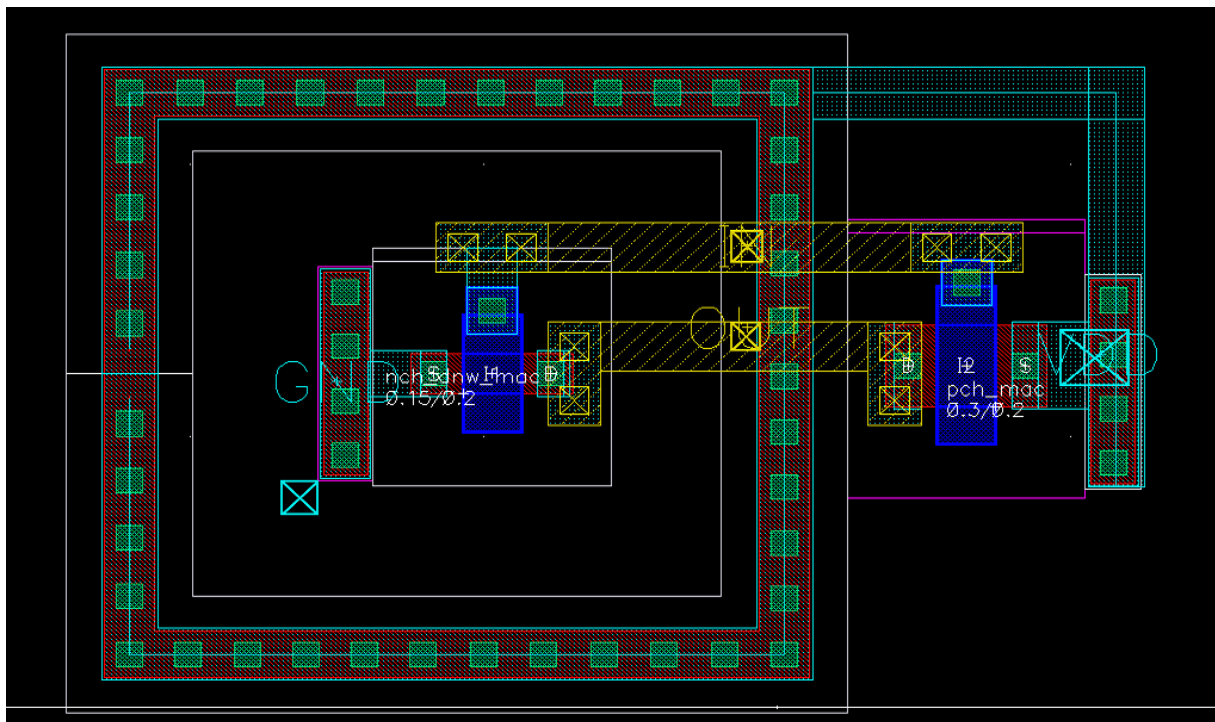


Abbildung 44: Layout Inverterschaltung

Zur Verbesserung der Übersicht sind die Schichten NW und DNW sowie verschiedene Dummylayer ausgeblendet. Der Inverter arbeitet mit einer Differenz von 1,2 V zwischen oberer und unterer Spannungsversorgung. Der NMOS Transistor ist von einem NWELL Guard Ring umgeben und befindet sich im P Substrat. Der Bulkanschluss des NMOS Transistors ist P-dotiert und stellt den GND Anschluss dar. Als Anschluss der oberen Versorgungsspannung wird der Bulkanschluss des PMOS Transistors verwendet. Eingangs- und Ausgangssignal werden auf den horizontalen gelben Metallisierungen zugeführt, bzw. abgegriffen.

Dummys

Dummystrukturen können für verschiedene Bauteile eingeführt werden. Ihnen allen gemeinsam ist, dass sie für die eigentlichen Struktur eine Umgebung im Layout schaffen, die der Struktur gleicht und Einflüsse von anderen Bauteilen abfangen. Ihre Dimensionierung ist gleich der Dimensionierung der zu schützenden Struktur (bzw. des äußersten Fingers).

Dummys für Transistoren werden für alle Transistoren eingesetzt, bei denen ein gutes Matching zwischen Transistoren wichtig ist. Das Matching zwischen Transistoren ist bei Stromspiegeln oder differentiellen Eingangspärchen wichtig. In diesem Projekt befinden sich Dummys für Transistoren im Layout der CAN Receiver Schaltung.

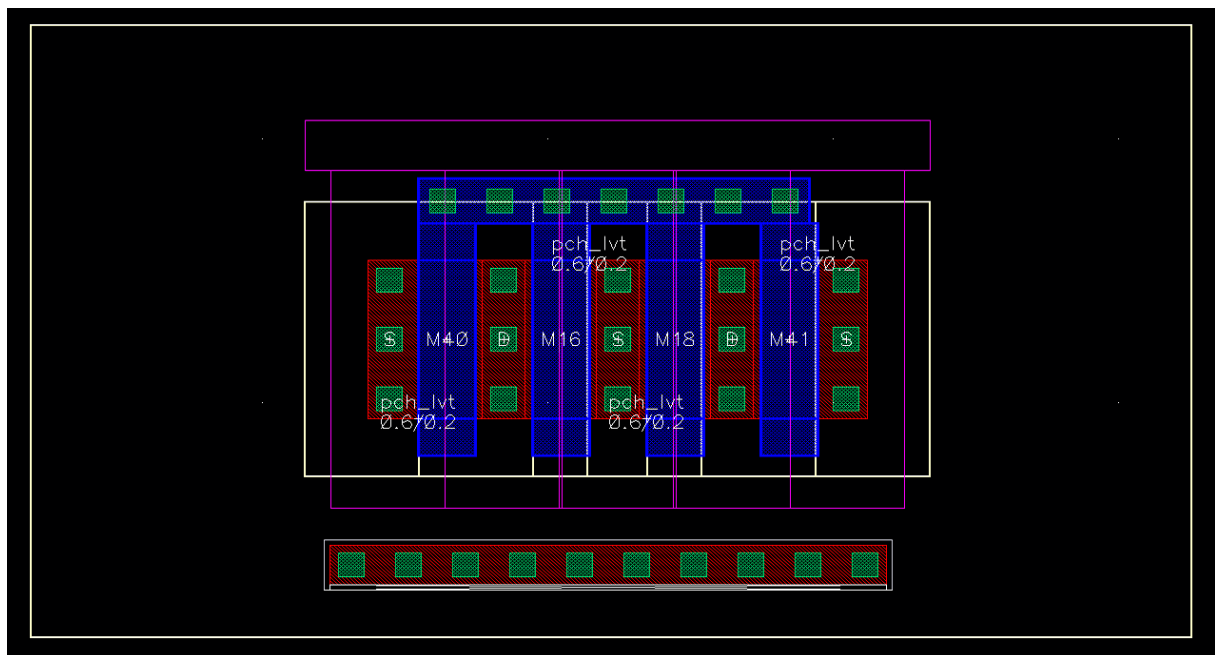


Abbildung 45: Layout PMOS Transistoren mit Dummy

Abbildung 45 zeigt zwei Transistoren aus dem Layout des CAN Empfängers. Die Transistoren M16 und M18 entsprechen den Transistoren M19 und M20 aus Abbildung 28. Die Transistoren M40 und M41 sind die Dummytransistoren und entsprechen in ihrer Dimensionierung den Transistoren M19 und M20. Weil das Sourcepotential der Transistoren M19 und M20 identisch ist, teilen sich beide Transistoren eine Source in der Mitte und benötigen jeweils nur einen Dummy auf der Außenseite. Die Positionierung der Dummytransistoren sorgt dafür, dass die Transistoren M19 und M20 in alle Richtungen einen Transistor als Nachbarn haben und somit aus allen Richtungen von den gleichen Einflüssen betroffen werden. Alle Transistoren teilen sich einen Gate- und einen Bulkanschluss.

Dummys für Widerstände werden innerhalb dieses Projekts für alle Widerstände verwendet. Ihre Umsetzung ist im Gegensatz zu den Dummys für Transistoren einfacher.

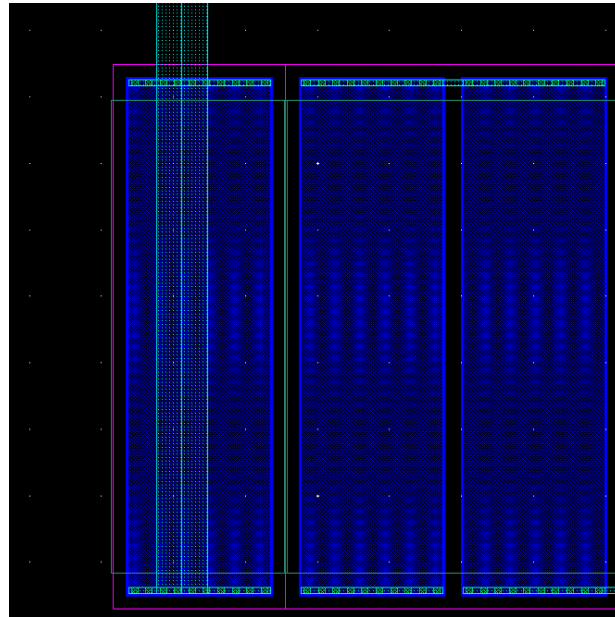


Abbildung 46: Layout Widerstand mit Dummy

Abbildung 46 zeigt das Ende des Layouts eines Widerstands des CAN Empfängers. In diesem Fall besteht der Widerstand aus 40 Segmenten mit einer Breite von 2 μm . Der links angefügte Dummy ist demnach ebenfalls 2 μm breit. Auf der rechten Seite wird ein weiterer Widerstand angeschlossen, der wiederum mit einem Dummy abgeschlossen wird. Durch diese Positionierung des Dummys ist sichergestellt, dass jedes, in der Schaltung aktive, Segment ein anderes Segment als benachbartes Bauteil hat. Im Projekt wurden Widerstands Dummys mit Masse kurzgeschlossen.

6.1.3. Begriffe Layoutdesign

LVS

Die Abkürzung LVS steht für „Layer versus Schematic“. Hierbei handelt es sich um einen Vergleich zwischen Layout und Schematic. Für diese Überprüfung werden die Anzahl aller Ports, Netzwerke und Bauteile sowie die Art der Bauteile verglichen. Die Auswertung dieses Vergleichs zeigt beispielsweise eine fehlende Verbindung im Layout als ein zusätzliches Netzwerk oder ein Kurzschluss von zwei Netzwerken als fehlendes Netzwerk.

DRC

Die Abkürzung DRC steht für „Design Rule Check“. Bei diesem Vorgang wird die Einhaltung verschiedener, technologiespezifischer Regeln überprüft.

Design Rules

Zum Umfang jeder Technologie gehören Design Rules, welche vorschreiben, wie die verschiedenen Schichten bzw. Lagen eines Layouts zusammengesetzt werden müssen und dürfen. Die Einhaltung dieser Regeln wird bei dem oben beschriebenen Design Rule Check (DRC) geprüft. Da die verwendete Technologie nur unter Einhaltung einer Verschwiegenheitsvereinbarung zu verwenden ist werden die Design Rules in diesem Abschnitt ohne genaue Angaben nur allgemein thematisiert.

Für jede einzelne Schicht gibt es Design Rules, die in verschiedene Klassen unterteilt werden können:

- W: (Width) Regeln für die minimale Breite eine Struktur.
- S: (Space) Regeln für die minimalen Abstände, die eine Struktur zu einer anderen Struktur einnehmen muss.
- EN: (Enclosure) Regeln dieser Klasse beziehen sich darauf in wie weit eine Schicht eine andere Schicht umschließen muss.
- O: (Overlap) Regeln dieser Klasse definieren, wie weit sich zwei Schichten überlappen müssen.
- R: Regeln dieser Klasse beschreiben das Verhalten einer P-Well Struktur in einem DNW. Diese Klasse ist sehr umfangreich und ist unter anderem von den Potentialen der betroffenen Struktur abhängig.
- A: (Area) Regeln dieser Klasse definieren die minimal einzunehmende Fläche einer Struktur.
- L: (Length) Diese Regeln legen die minimale Länge von Strukturen fest. Diese Regeln beziehen sich häufig auf Geometrien, die als streifenförmige Leitung verwendet werden.
- DN: (Density) Regeln dieser Klasse schreiben vor wie viel Material einer bestimmten Schicht in einer definierten Zone vorliegen müssen. Solche Regeln verhindern die Bildung von großen Unebenheiten auf der Waferoberfläche.
- EX: (Extension) Regeln dieser Klasse sind Regeln der Klassen EN und O sehr ähnlich, beziehen sich allerdings nur auf eine Seite einer überlappenden Struktur.

Ein detektierter Fehler im Layout wird im Ergebnis des Design Rule Checks mit folgender Syntax angezeigt.

- Layer.Klasse.X

So würde zum Beispiel der Fehler M1.S.X eine Unterschreitung eines minimalen Abstands zwischen verschiedenen Strukturen auf der Metallisierungsebene 1 beschreiben. Die Fehlernummer X klassifiziert den Fehler und beschreibt, bei welcher Struktur der minimale Abstand unterschritten wurde.

Das Ergebnis des Design Rule Checks gibt neben der Regelsyntax auch einen Regeltext wieder. Das verwendete DRC Tool Mentor Calibre bietet außerdem verschiedene Möglichkeiten Fehler im DRC Ergebnis im Layout zu markieren.

6.2. Layout des Levelshifter

6.2.1. Allgemein

Abbildung 47 zeigt eine Übersicht auf das Layout des Levelshifter. Der Levelshifter ist 199,44 μm breit und 37,11 μm hoch. Die Bauteile sind symmetrisch positioniert. Das Layout des Levelshifter verfügt als äußere Begrenzung über eine PSUB Guard Ring Struktur. Zwei weitere vertikale PWELL Guard Ring Elemente wurden rechts und links der Mitte eingefügt. Die höchste verwendete Metalllage ist M7 und wird in den Kapazitäten verwendet, die rechts und links am oberen Rand positioniert sind. Auf der restlichen Fläche des Layouts wird maximal mit der Metalllage M4 gearbeitet. Metalllage M1 wird für horizontale und vertikale Verbindungen, sowie für die Kontaktierung der Bauteile verwendet. Die Metalllagen M2 und M4 werden nur für horizontale Verbindungen verwendet. Die Metalllage M3 wird nur für vertikale Verbindungen verwendet.

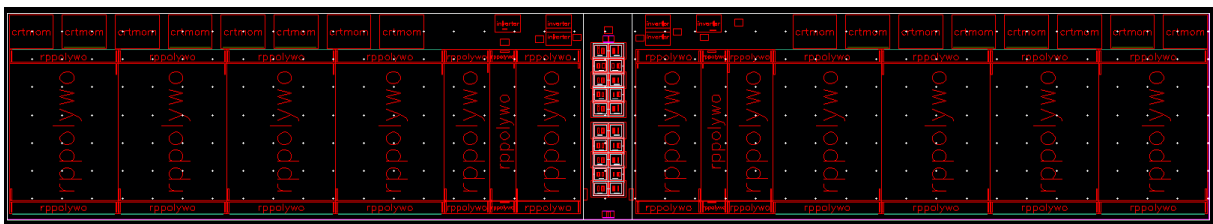


Abbildung 47: Layout Levelshifter Bauteilpositionierung

6.2.2. Position Kontakte

Die höchste Metalllage zur Kontaktierung des Levelshifter ist Metalllage M4. Alle Pads sind 1,38 μm breit und 1,18 μm hoch. Die Kontakte befinden sich in der Nähe des oberen Randes im mittleren Bereich des Layouts. Abbildung 48 zeigt einen entsprechenden Ausschnitt. Die Namen der Kontakte sind in Abbildung 48 grau eingetragen.

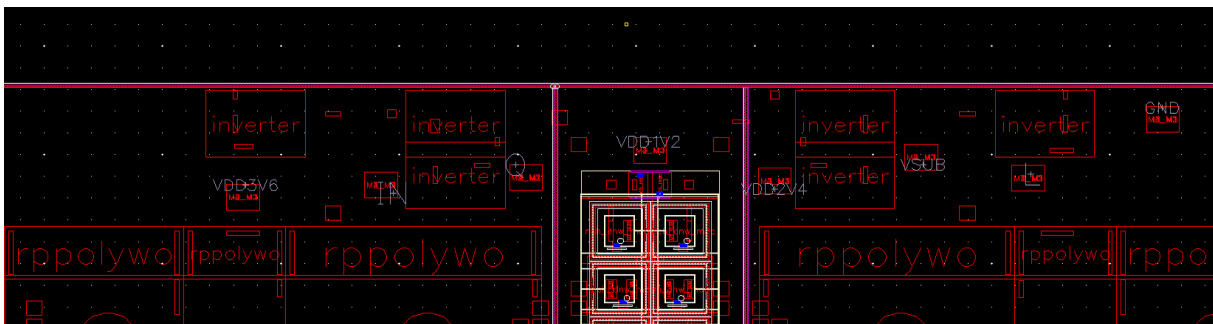


Abbildung 48: Layout Levelshifter IO

Auf der linken Hälfte befindet sich der Kontakt für die Versorgungsspannung mit 3,6V „VDD3V6“, sowie die Kontakte für Ein- und Ausgänge „IN“ und „Q“. Der Kontakt für die Versorgungsspannung mit 1,2 V „VDD1V2“ befindet sich in der Mitte des Layouts. In der rechten Hälfte des Layouts befindet sich der Kontakt für die Versorgungsspannung mit 2,4 V „VDD2V4“, sowie die Kontakte „VSUB“ und „GND“ und das Pad für den Ausgang „L“.

6.2.3. Bauteilpositionierung

Die drei folgenden Abbildungen zeigen die Positionierung der einzelnen Bauteile. Die angefügten Bauteilnamen sind identisch zu den Bauteilnamen in den Abbildungen Abbildung 13 und Abbildung 15 des Levelshifter.

Abbildung 49 zeigt den linken Teil der Schaltung. In diesem Teil befinden sich alle Widerstände und Kapazitäten aus den Abbildungen Abbildung 13 und Abbildung 15 die jeweils im linken Teil der Schaltung angesiedelt sind. Diese sind die Widerstände R1, R3, R5, R7, R9, R11 und R13 sowie die Kondensatoren C1 bis C4 und C9 bis C12. Außerdem sind in diesem Teil Dummies der verwendeten Widerstände und drei Inverter platziert.

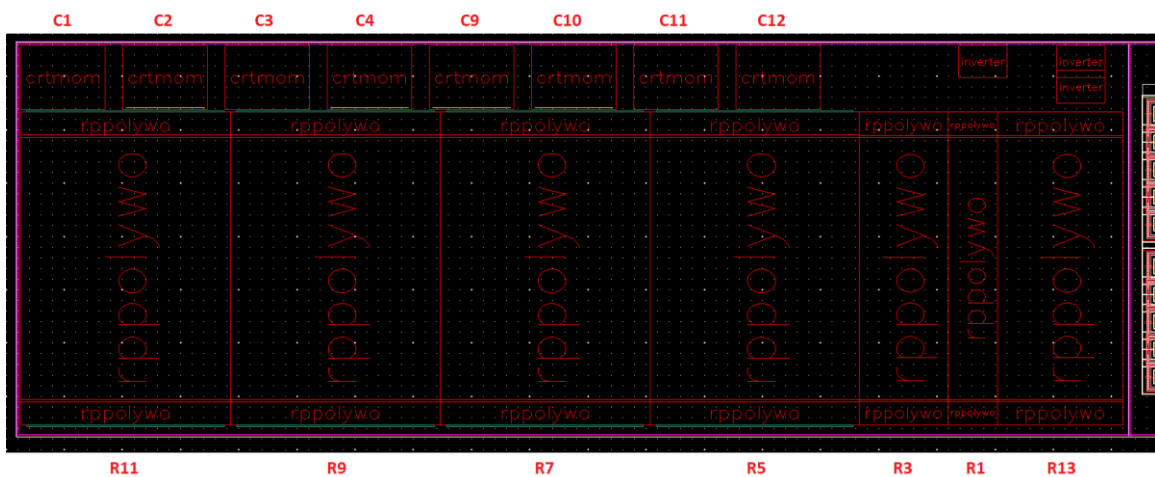


Abbildung 49: Layout Levelshifter links Bauteile

Abbildung 50 zeigt den rechten Teil der Schaltung. In diesem Teil befinden sich alle Widerstände und Kapazitäten aus den Abbildungen Abbildung 13 und Abbildung 15 die jeweils im rechten Teil der Schaltung angesiedelt sind. Diese sind die Widerstände R2, R4, R6, R8, R10, R12 und R14 sowie die Kondensatoren C5 bis C8 und C13 bis C16. Außerdem sind in diesem Teil Dummies der positionierten Widerstände und drei Inverter positioniert.

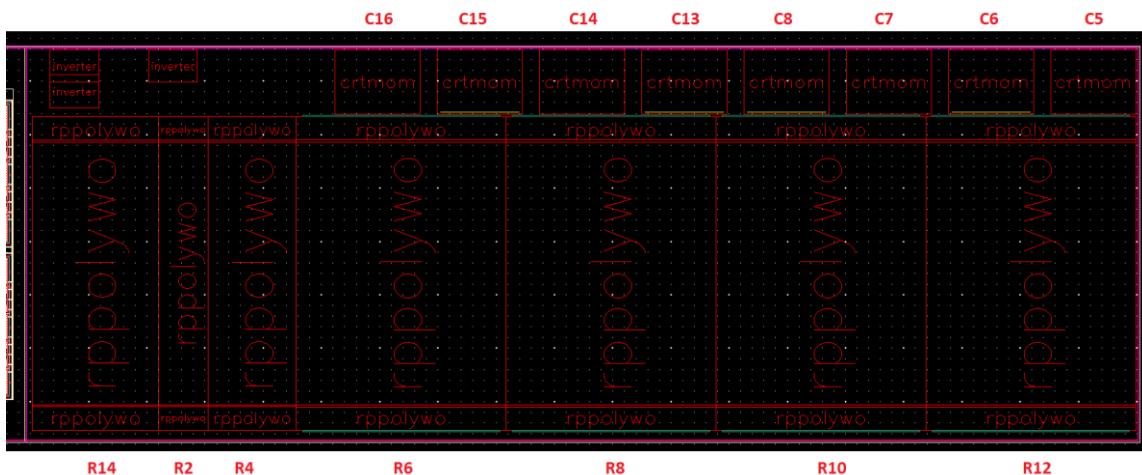


Abbildung 50: Layout Levelshifter rechts Bauteile

Abbildung 51 zeigt das Layout aller Transistoren der Levelshiffterschaltung. Die beiden Layoutteile dieser Abbildung sind im Layout untereinander positioniert. Dabei nimmt der links dargestellte Teil die obere Hälfte ein (siehe Abbildung 47).

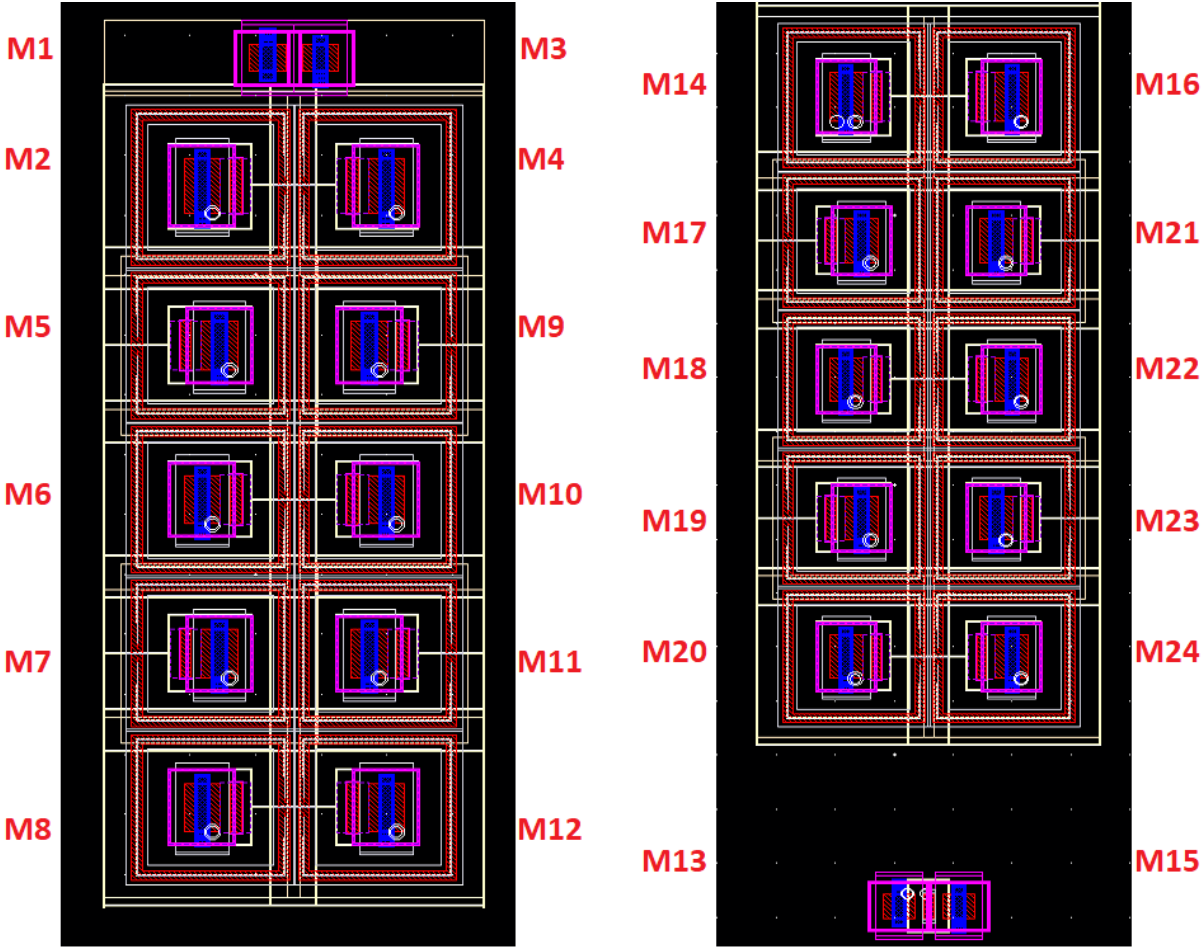


Abbildung 51: Layout Levelshifter Transistoren in der Mitte

6.2.4. Dimensionierung der Bauteile im Layout

Für die Schaltung des Levelshifters werden vier unterschiedliche Widerstände und dementsprechend auch vier unterschiedliche Dummies für Widerstände verwendet. Für die Layouts der Transistoren werden zwei unterschiedliche NMOS Transistoren und nur eine Dimensionierung des PMOS Transistors verwendet. Alle Kapazitäten sind gleich dimensioniert.

Widerstände

R1 und R2 sind 12,5 k Ω Widerstände. Diese Widerstände werden durch 11 Segmente mit einer Breite von 2 μm und einer Länge von 3,23 μm erstellt. Es ergibt sich eine Gesamtlänge von 35,53 μm für die Summe der Segmente. Der Abstand der Segmente ist auf 250 nm festgelegt. Für diese Widerstände werden vier Dummies benötigt. Jeder Dummy besteht aus einem Segment der Breite 2 μm und der Länge 3,23 μm .

R3 und R4 sind 25 k Ω Widerstände. Diese Widerstände werden durch 11 Segmente mit einer Breite von 2 μm und einer Länge von 6,48 μm erstellt. Es ergibt sich eine Gesamtlänge von 71,28 μm für die Summe der Segmente. Der Abstand der Segmente ist auf 250 nm eingestellt. Für diese Widerstände werden vier Dummies benötigt. Jeder Dummy besteht aus einem Segment der Breite 2 μm und der Länge 6,48 μm .

Alle übrigen Widerstände sind 65,5 k Ω Widerstände. Diese Widerstände werden durch 11 Segmente mit einer Breite von 2 μm und einer Länge von 16,94 μm erstellt. Es ergibt sich eine Gesamtlänge von 186,34 μm für die Summe der Segmente. Der Abstand der Segmente ist auf 250 nm eingestellt. Für diese Widerstände werden 16 Dummies benötigt. Jeder Dummy besteht aus einem Segment der Breite 2 μm und der Länge 16,94 μm .

Kondensatoren

Alle Kondensatoren haben eine Kapazität von 96,37 fF. Die Kapazitäten besitzen in horizontaler sowie vertikaler Ausrichtung eine Struktur aus 26 Fingern. Die gefingerten Metalllagen werden bis in die siebte Metalllage fortgesetzt.

Transistoren

Die NMOS Transistoren M2, M4, M14 und M16 unterscheiden sich mit einer Breite von 900 nm von den restlichen NMOS Transistoren mit einer Breite von 800 nm. Alle NMOS Transistoren haben eine Kanallänge von 200 nm. Die 900 nm breiten Transistoren sind Teil der grundlegenden Funktion des Levelshifter (siehe Abbildung 11) während die restlichen NMOS Transistoren sich im unteren Schaltungsteil des Levelshifters befindet (siehe Abbildung 13 und Abbildung 15)

Die PMOS Transistoren sind 450 nm breit und haben eine Kanallänge von 200 nm. Die PMOS Transistoren sind ebenfalls Teil der grundlegenden Funktion des Levelshifters aus Abbildung 11.

6.3. Layout des CAN Treibers

6.3.1. Floorplan des CAN Treibers

Abbildung 52 zeigt eine Übersicht auf das Layout des CAN Treibers. Die Gesamtschaltung des CAN Treibers ist 200 μm breit und 327,05 μm hoch. Im unteren Bereich des Layouts befinden sich die beiden Gruppen aus NMOS und PMOS Transistoren, die den Hauptstrom des CAN Treibers über den Terminierungswiderstand leiten. Durch einen Abstand von 50 μm zwischen diesen beiden Gruppen ist ein direktes Auflegen an die Pads mit minimalem Abstand möglich. Das Layout ist von einem PSUB Guard Ring umgeben. Im oberen Bereich des Layouts sind die Kondensatoren angesiedelt. Die Kondensatoren reichen bis in die siebte Metallisierungsebene. Im restlichen Layout ist die vierte Metallisierungsebene die höchste Metalllage, welche verwendet wird. Metalllage M1 wird für horizontale und vertikale Verbindungen, sowie für Kontakte der Bauteile verwendet. Die Metalllagen M2 und M4 werden für horizontale Verbindungen verwendet. Die Metalllage M3 wird für vertikale Verbindungen verwendet.

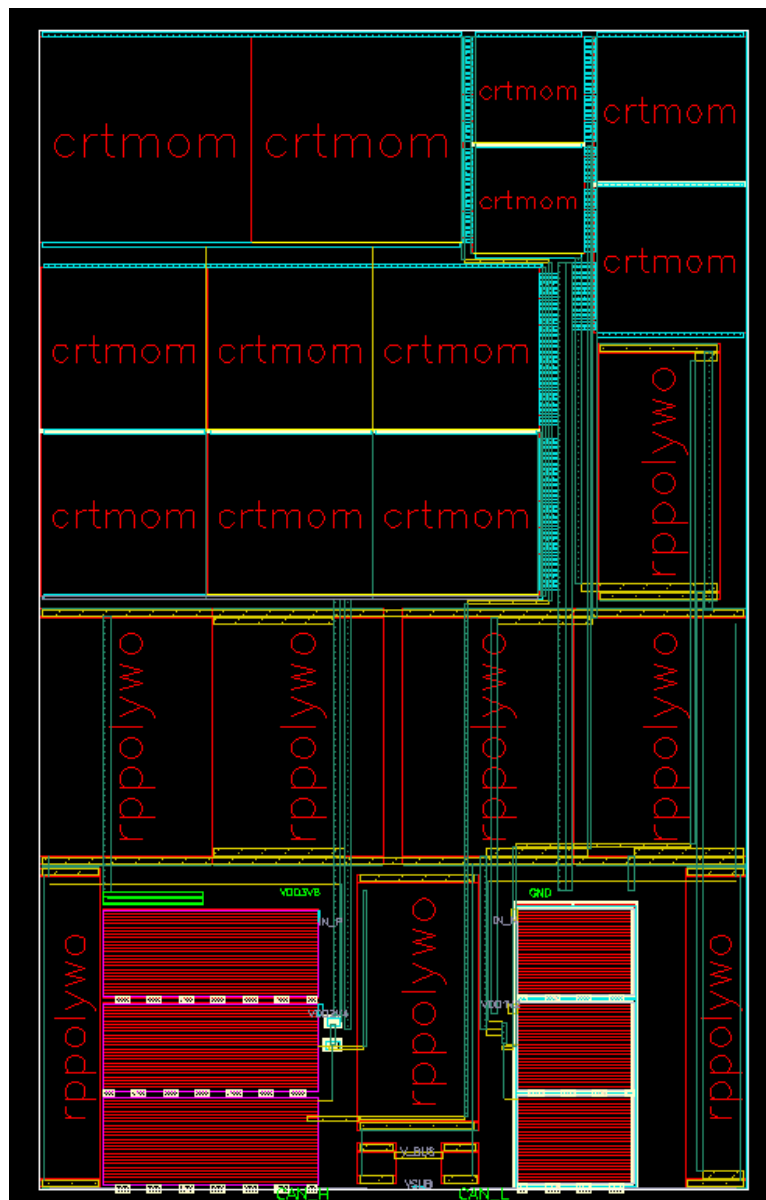


Abbildung 52: Layout CAN Treiber Bauteilpositionierung

6.3.2. Position Kontakte

Abbildung 53 zeigt einen Ausschnitt aus der unteren Mitte des Layouts des CAN Treibers. Die Transistorgruppe auf der rechten Seite entspricht den NMOS Transistoren der Schaltung. Da die Source des untersten NMOS Transistor in der Schaltung mit Masse verbunden ist, ist der Masseanschluss der Schaltung nahe dieser Stelle positioniert. Die Anschlussstelle für die Versorgungsspannung „VDD3V6“ ist aus dem gleichen Grund in der Nähe der PMOS Transistoren positioniert. „GND“ und „VDD3V6“ werden in der neunten Metallisierungsebene angeschlossen. Die Versorgungsspannungen „VDD2V4“ und „VDD1V2“ sind in der Nähe der restlichen Transistoren positioniert, an denen die Spannungsversorgung benötigt wird. Die Eingänge „IN_P“ und „IN_N“ liegen direkt neben den Gateanschlüssen der jeweiligen großen Transistoren. Die Anschlussstellen für „V_BUS“ und „VSUB“ liegen mittig im unteren Teil des Layouts. „IN_P“, „IN_N“, „VDD1V2“, „VDD2V4“, „V_BUS“ und „VSUB“ werden in der vierten Metalllage aufgelegt. Die Beiden Ausgänge „CAN_H“ und „CAN_L“ liegen ebenfalls in der neunten Metalllage und sind in der Nähe der endgültigen Position der Pads positioniert.

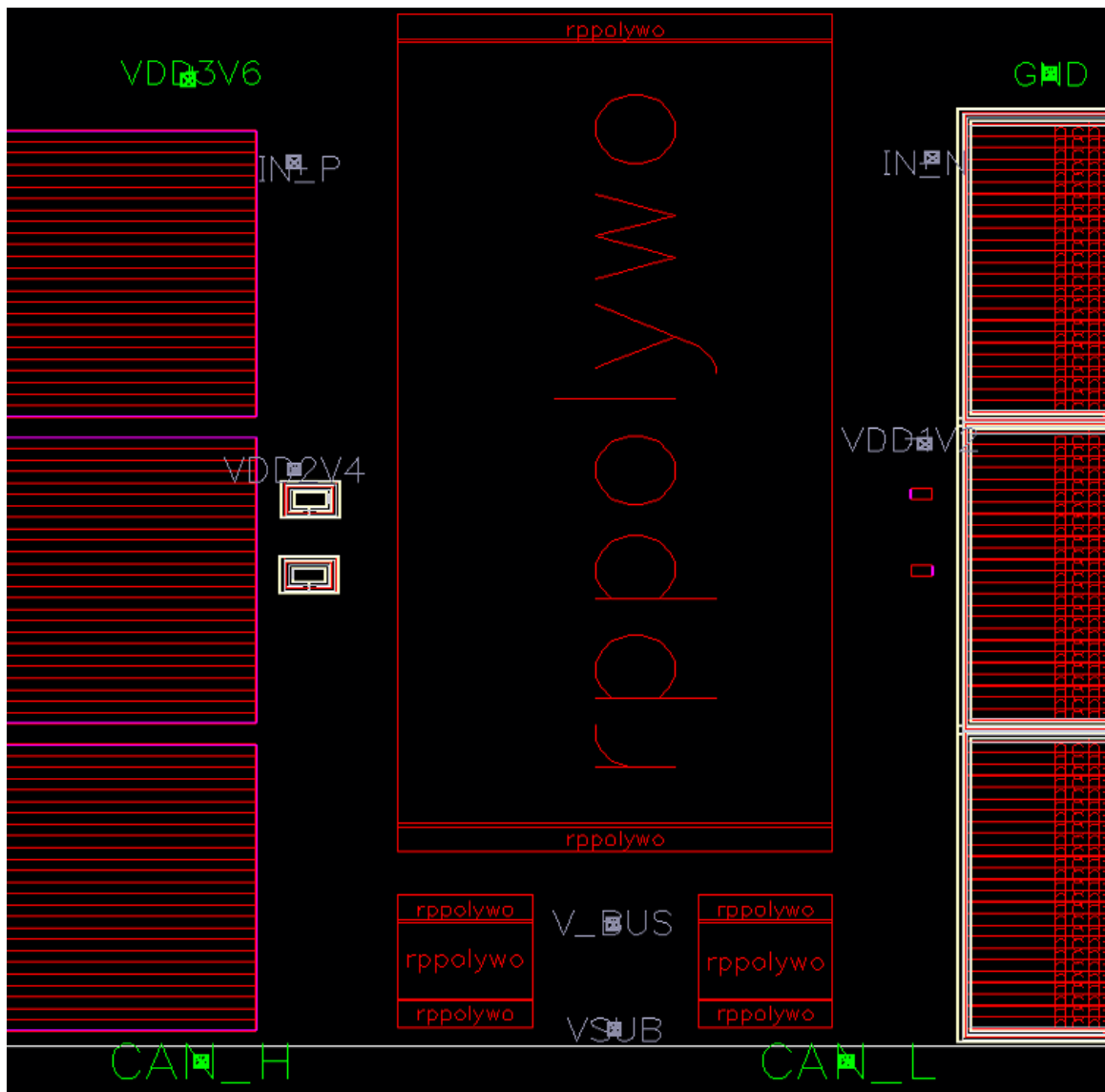


Abbildung 53: Layout CAN Treiber IO

6.3.3. Bauteilpositionierung

Abbildung 54 zeigt die Übersicht über die Positionierung der Bauteile des CAN Treibers.

Die Kapazitäten befinden sich im oberen Teil der Schaltung. Da die Kapazitäten C1 bis C4 mit einem Multiplier versehen sind, werden im Layout für jede Kapazität mehrere Kondensatoren erzeugt. Diese Kondensatoren werden im Layout parallel verschaltet. Der Widerstand R11 aus Abbildung 9 wurde nicht ins Layout übernommen.

Die Widerstände des CAN Treibers sind im mittleren Bereich des Layouts angesiedelt. Widerstand R11 ist der Terminierungswiderstand des CAN Treibers und wird extern angeschlossen. Über die beiden zusätzliche eingefügten Widerstände, R12 und R13, wird die Busspannung eingestellt.

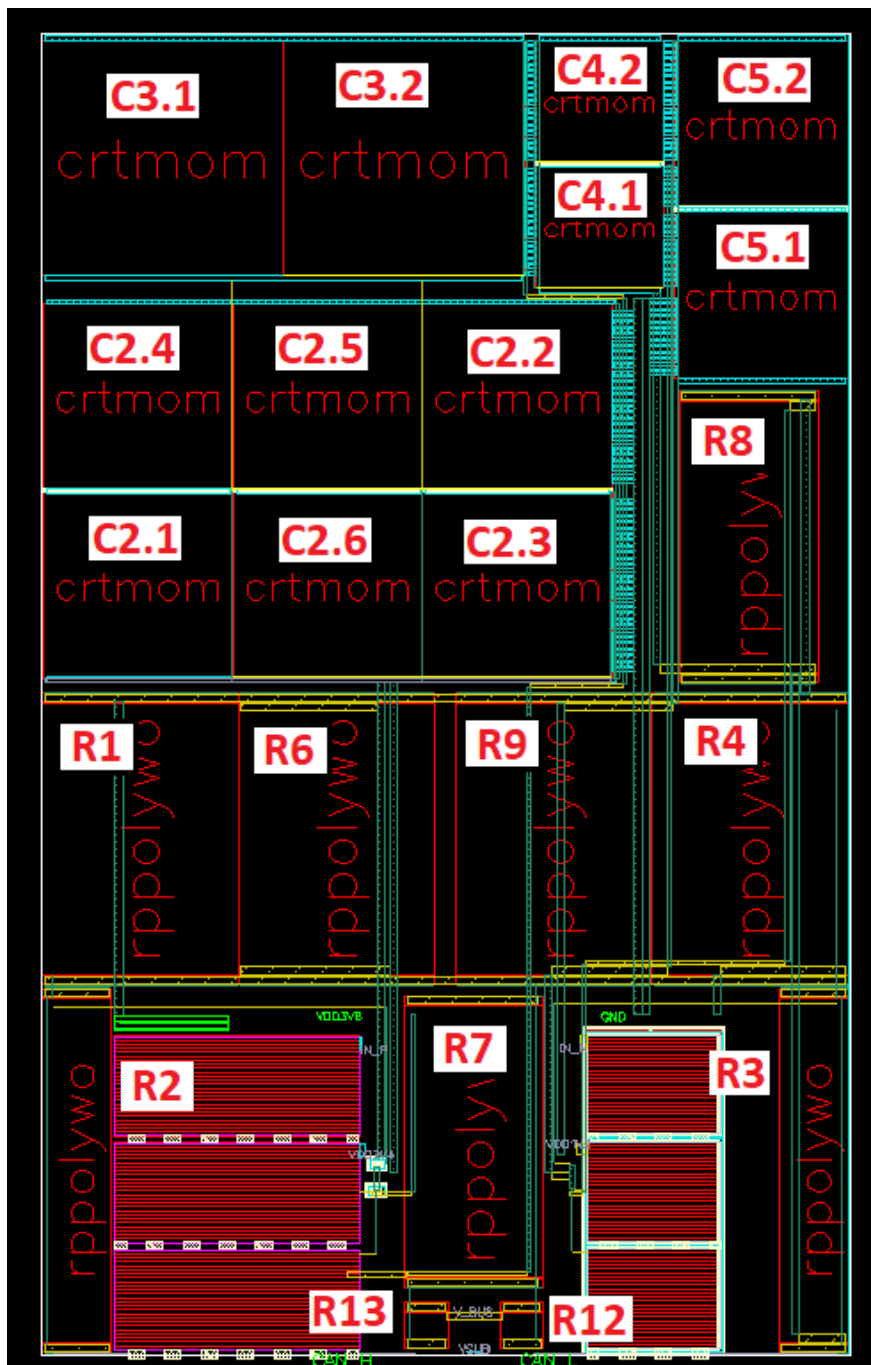


Abbildung 54: Layout CAN Treiber Kapazitäten und Widerstände

Im unteren Teil der Schaltung sind die verschiedenen Transistorgruppen positioniert. Die zwei größeren Transistorstrukturen sind die PMOS Transistoren M0 bis M2 und die NMOS Transistoren M3 bis M5. Im oberen Bereich dieser Transistorgruppen wird jeweils der Sourcekontakt mit Masse (NMOS) oder VDD3V6 (PMOS) mit den Transistoren M0 oder M5 hergestellt. Im unteren Bereich befindet sich der Drainkontakt der Transistoren, die direkt mit dem Bus verbunden sind. Der Drainkontakt des PMOS Transistors M2 entspricht dem Potential CAN_H, während der Drainkontakt des NMOS Transistors M3 dem Potential CAN_L entspricht. Die Positionen dieser Kontaktstellen wurden am Rand des Layouts gesetzt, um eine möglichst kurze und damit niederohmige, Verbindung zu den Pads erzeugen zu können.

6.3.4. Layout Dimensionierung der Bauteile

Widerstände

Alle Widerstände haben eine Breite von 2 μm und bestehen aus 30 Segmenten mit einer Ausnahme bei den Widerständen R12 und R13, welche aus 3 Segmenten bestehen. Die Widerstände R1, R4, R6 und R9 besitzen einen Widerstand von 500 k Ω und eine Segmentlänge von 47,42 μm . Die Gesamtlänge einer dieser Widerstände ist 1,4226 mm. Auch R2 und R3 sind identische Widerstände. Die Segmentlänge von 15,91 μm mit einer Gesamtlänge von 604,58 μm entspricht einem Widerstandswert 212,54 k Ω . Die übrigen beiden Widerstände R7 und R8 sind ebenfalls identisch. Der Widerstandswert beträgt 349,9 k Ω mit einer Segmentlänge von 33,18 μm und einer Gesamtlänge von 995,4 μm . R12 und R13 sind die kleinsten Widerstände mit einem Widerstandswert von 10 k Ω . Die Segmentlänge beträgt 9,5 μm bei einer Gesamtlänge von 28,5 μm . Widerstände R12 und R13 bestehen aus nur drei Segmenten.

Für jeden Widerstand werden zwei Dummies erzeugt. Die Dimensionierung der Dummies entspricht den Ausmaßen eines Segments des jeweiligen Widerstands. Die Dummies werden am oberen und unteren Ende jedes Widerstandes positioniert und erzeugen so ein gleichmäßiges Umfeld für äußersten aktiven Widerstandssegmente.

Transistoren

Für den CAN Treiber werden insgesamt 10 Transistoren benötigt.

Die PMOS Transistoren M0 bis M2 sowie die NMOS Transistoren M3 bis M5 leiten den Strom, der am Terminierungswiderstand eine Spannung von etwa 2,5 V erzeugt. Der Terminierungswiderstand hat einen Widerstand von 60 k Ω , wodurch ein Stromfluss von 41,6 μA durch die Transistoren benötigt wird. Um diesen verhältnismäßig hohen Strom leiten zu können, sind diese Transistoren erheblich größer dimensioniert als alle anderen Transistoren. Die PMOS Transistoren werden jeweils aus einer Parallelschaltung von 25 Transistoren mit einer Kanallänge von 200 nm und einer Breite von 60 μm erzeugt. Für die NMOS Transistoren wird der gleiche Multiplikator angewendet. Der Kanal ist 200 nm lang und die 32 μm breit.

Die Transistoren M6 und M7 sind NMOS Transistoren. Beide Transistoren haben eine Länge von 120 nm und eine Breite von 2 μm .

Die Transistoren M8 und M9 sind PMOS Transistoren. Beide Transistoren haben ebenfalls eine Länge von 120 nm aber eine Breite von 1 μm .

Kondensatoren

Die Kondensatoren des CAN Treibers sind alle unterschiedlich dimensioniert. Wegen der hohen Kapazität und der Beschränkung, dass maximal die siebte Metalllage verwendet werden kann, wurden die Kondensatoren in Teilkapazitäten aufgeteilt. Der benötigte Kapazitätswert wird durch die parallele Verschaltung dieser kleineren Kondensatoren der Teilkapazitäten erreicht. Die Aufteilung der Kondensatoren in kleinere Teilkapazitäten sorgt für eine wesentlich einfachere Handhabung und Positionierung der Bauteile im Layout.

Der Kondensator C2 wird im Layout durch die sechs Teilkapazitäten C2.1 bis C2.6 erzeugt. Die Gesamtkapazität der Parallelschaltung beträgt 7,01478 pF. Jede Teilkapazität besteht aus 226 horizontalen und 224 vertikalen Fingern. Die Teilkapazitäten haben eine Höhe von 46,88 μm und eine Breite von 40,08 μm . Die Konstruktion der Gesamtkapazität ist 92,72 μm hoch und 140,64 μm breit.

Die Kapazitäten C3, C4 und C5 werden jeweils durch zwei Teilkapazitäten erzeugt.

Mit einer Gesamtkapazität von 11,4846 pF ist die Kapazität C3 die größte Kapazität des CAN Treibers. Die Teilkapazitäten, C3.1 und C3.2, haben eine Höhe von 58,42 μm , eine Breite von 59,68 μm und bestehen in horizontaler sowie vertikaler Richtung 288 Fingern. Die Konstruktion der Gesamtkapazität ist 58,42 μm hoch und 119,36 μm breit.

Die Gesamtkapazität von C4 beträgt 3,04061 pF. Die Teilkapazitäten, C4.1 und C4.2, haben eine Höhe von 30,42 μm , eine Breite von 31,68 μm und bestehen in horizontaler sowie vertikaler Richtung 148 Fingern. Die Konstruktion der Gesamtkapazität ist 62,52 μm hoch und 31,68 μm breit.

Die Gesamtkapazität von C5 beträgt 5,7686 pF. Die Teilkapazitäten, C5.1 und C5.2, haben eine Höhe von 42,62 μm , eine Breite von 42,88 μm und bestehen in horizontaler sowie vertikaler Richtung 204 Fingern. Die Konstruktion der Gesamtkapazität ist 82,92 μm hoch und 42,88 μm breit.

6.4. Layout des CAN Empfängers

6.4.1. Floorplan des CAN Empfängers

Abbildung 55 zeigt das Gesamlayout des CAN Empfängers. Für die Erzeugung der beiden Biasspannungen „Vbp“ und „Vbn“ (siehe Abbildung 28) wird eine Biasschaltung benötigt. Diese Schaltung ist in Abbildung 55 rot markiert. Außerdem wird durch eine vierstufige Treiberstufe parallel verschalteter Inverter mit steigender Treiberstärke die Flankensteilheit des Ausgangssignals erhöht. Diese Treiberschaltung beginnt mit einem einzigen Inverter und wird in jeder Stufe um den Faktor zwei erhöht. Diese vierstufige Struktur ist in Abbildung 55 orange markiert. Abbildung 56 zeigt die äußere Beschaltung des CAN Empfängers. Alle in Abbildung 55 nicht markierten Bauteile sind Bestandteile des CAN Empfängers, der in Kapitel 5 erläutert wird. Das Gesamlayout des CAN Empfängers ist 191,28 μm breit und 105,58 μm hoch. Die höchste verwendete Metalllage ist die Metalllage 3. Eine Ausnahme ist das Layout des Kondensators (Abbildung 55, oben rechts, grün), welches bis auf die Metalllage 7 reicht.

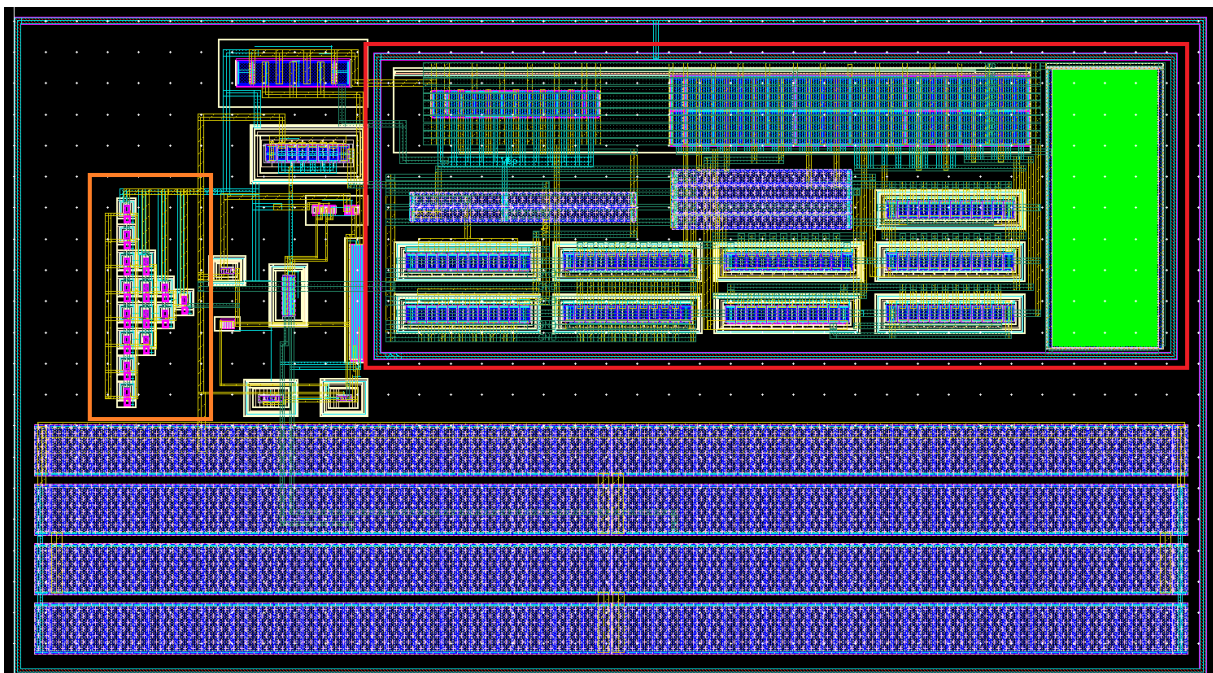


Abbildung 55: Layout CAN Empfänger

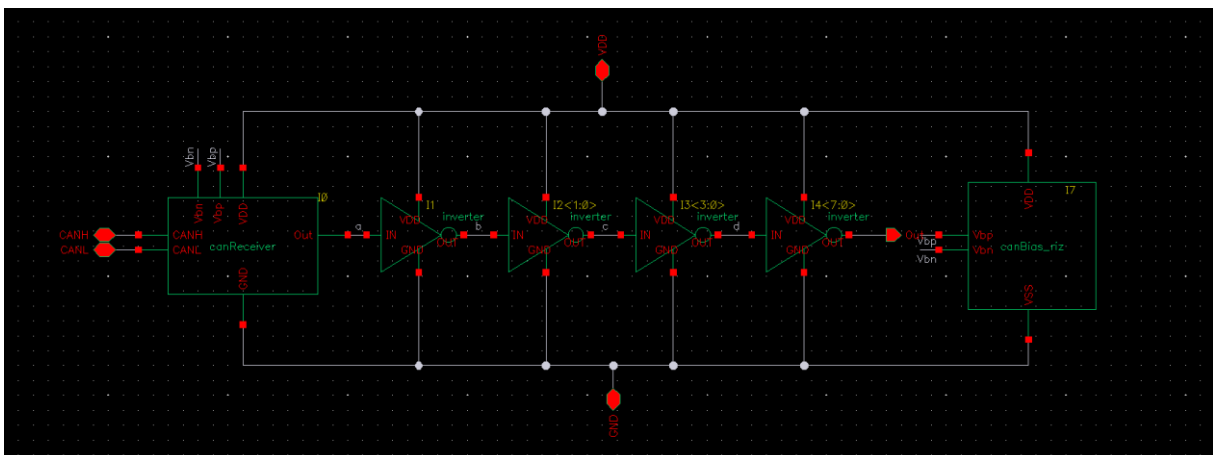


Abbildung 56: Schaltbild CAN Empfänger

6.4.2. Position der Kontakte

Die Bussignale „CAN_H“ und „CAN_L“ dienen dem CAN Empfänger als Eingangssignale. Diese Eingangssignale werden zuerst einer Spannungsteilung zugeführt. Der untere Bereich von Abbildung 55 zeigt die Widerstandselemente, mit denen diese Spannungsteilung durchgeführt wird. Die vier Reihen sind mittig geteilt. Der linke Teil dieser Widerstände wird für die Spannungsteilung des Eingangssignals „CAN_L“ verwendet. Abbildung 57 zeigt eine vergrößerte Ansicht der Spannungsteilung für das Eingangssignal „CAN_L“. Das Eingangssignal wird direkt am Kontakt des Widerstandselements in der unteren linken Ecke angelegt. Das Eingangssignal „CAN_H“ wird gespiegelt auf der unteren rechten Seite (Abbildung 56) ebenfalls direkt auf das Widerstandselement des entsprechenden Widerstands angelegt.

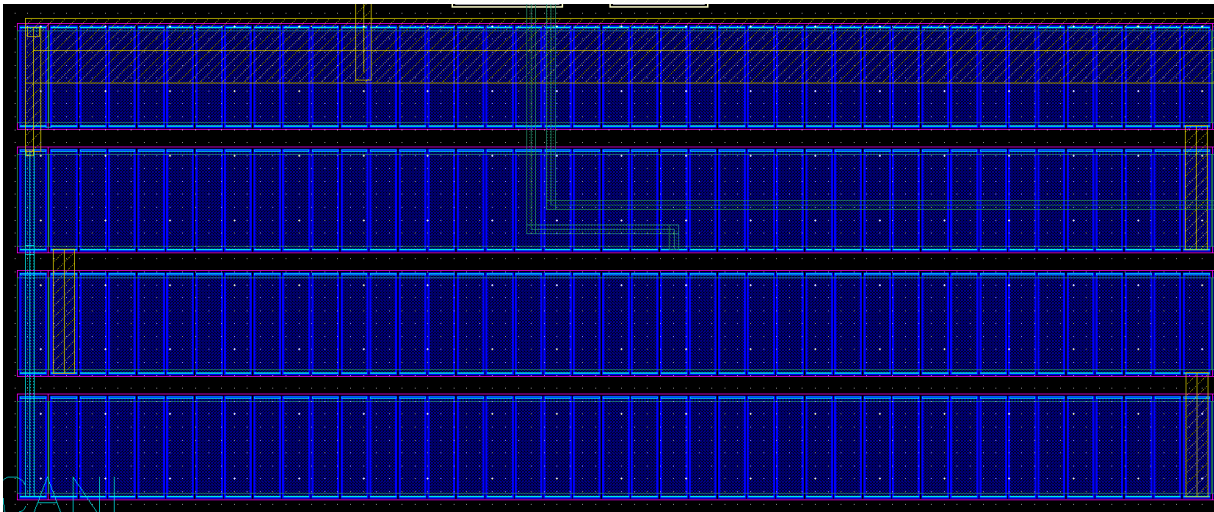


Abbildung 57: Spannungsteilung CAN_L im CAN Empfänger

Abbildung 58 zeigt einen vergrößerten Ausschnitt der Stelle im Layout, an dem das Ausgangssignal des CAN Empfängers der vierstufigen Inverterstruktur zugeführt wird. Die acht vertikal angeordneten Inverter im linken Bereich von Abbildung 58 sind die letzte Stufe dieser Struktur. Am Ausgang „OUT“ wird an dieser Stelle auf Metalllage 2 das Ausgangssignal bereitgestellt.

Das Potential „VDD“ (blau) wird auf Metalllage 1 den Invertern und den übrigen Transistoren der Schaltung zugeführt. Das Potential „GND“ wird auf Metalllage 2 (gelb) in der Schaltung verteilt.

Die Potentiale „Vbp“ und „Vbn“ werden den Gates der jeweiligen Transistoren direkt aus der Biasschaltung zugeführt. Diese Transistoren sind die größten Transistoren der Schaltung und werden im oberen Bereich in Abbildung 58 gezeigt.

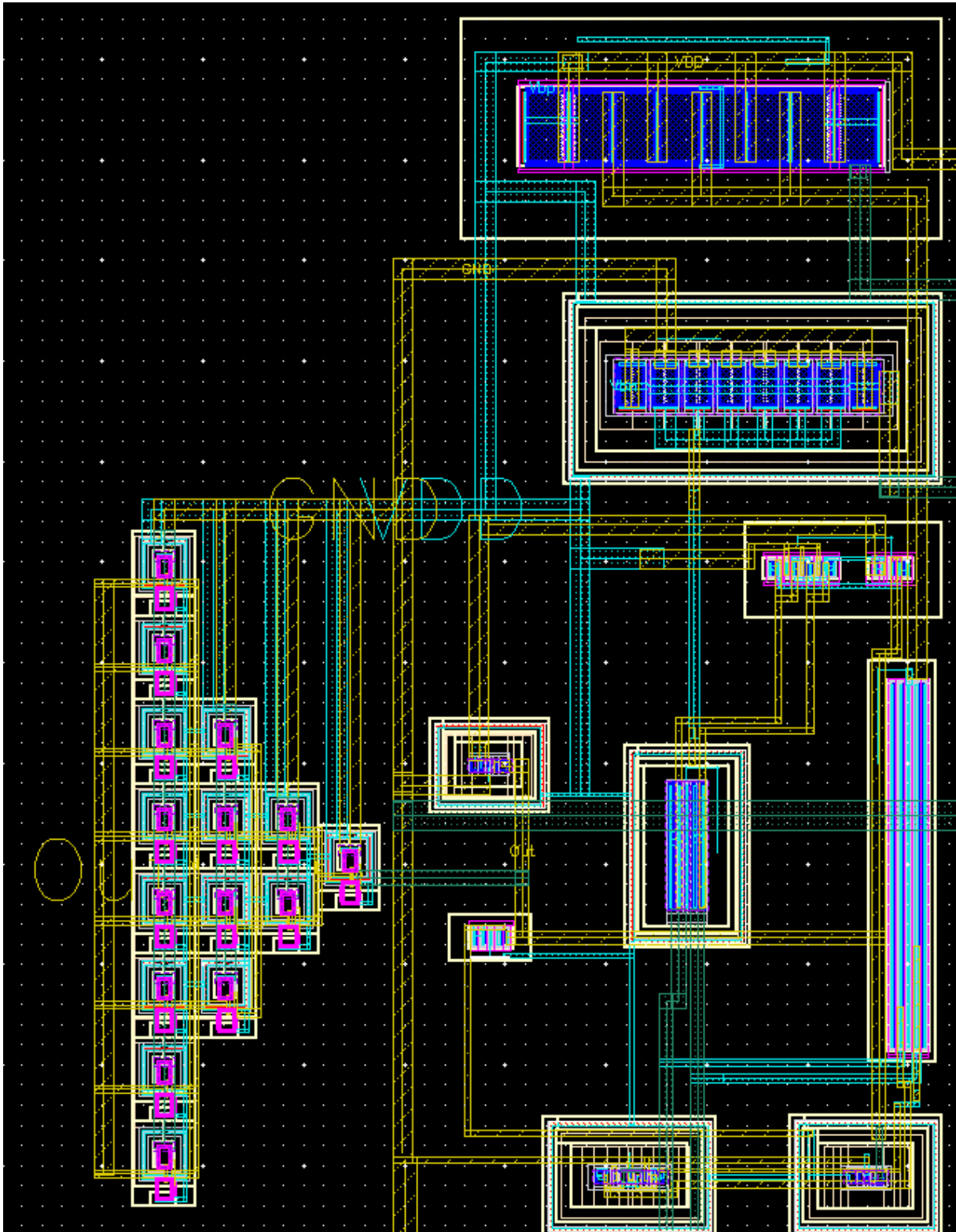


Abbildung 58: Transistoren und Inverterstufen im CAN Empfänger

6.4.3. Positionierung der Bauteile

Die meisten Transistoren des CAN Empfängers besitzen einen oder mehrere Transistoren gleicher Dimensionierung mit einem oder mehreren gleichen Potentialen. Aus diesem Grund werden die Transistoren auch im Layout in acht Gruppen zusammengefasst. Durch diese Positionierung kommen weniger Transistordummies zum Einsatz und der Schaltungsaufwand im Layout wird erheblich verringert. Zusammengefasst werden folgende Transistoren:

- Gruppe 1: M1 bis M4
- Gruppe 2: M5, M6
- Gruppe 3: M9, M10
- Gruppe 4: M11 bis M14
- Gruppe 5: M15, M16
- Gruppe 6: M17, M18
- Gruppe 7: M19, M20
- Gruppe 8: M21, M22

Die Transistoren M7 und M8 werden nicht gruppiert. Für jede Gruppe sowie für die Transistoren M7 und M8 werden je zwei Transistordummies verwendet. Abbildung A 8 im Anhang zeigt welche Baugruppen im Layout welchen Transistoren entsprechen.

6.4.4. Dimensionierung der Bauteile im Layout

Widerstände

Die Widerstandswerte für die Spannungsteilung der Eingangsstufe des CAN Empfängers können Tabelle 2 entnommen werden. Der Gesamtwiderstand einer der beiden Spannungsteilungen beträgt 402,5 k Ω . Im Layout wird diese Spannungsteilung über vier in Reihe geschaltete Widerstände mit jeweils 161 Segmenten umgesetzt. Jedes Segment weist somit einen Widerstand von 2,5 k Ω auf. Durch das Abgreifen an verschiedenen Punkten dieser insgesamt acht Widerstände können beide Spannungsteiler mit den gewünschten Verhältnissen erzeugt werden. Abbildung 57 zeigt, dass für die Spannungsteilung des Eingangssignals „CAN_L“ nach dem 116. Segment das Potential abgegriffen wird. Mit diesen 116 Segmenten entsteht ein Widerstandswert von 290 k Ω . Es verbleiben 45 Segmente, die den Widerstand R2 darstellen. Für die Spannungsteilung des Eingangssignals „CAN_H“ wird nach dem 102. Segment das Potential für die Gates der differentiellen Eingangsstufe abgegriffen.

Transistoren

Die Dimensionierung der Transistoren im CAN Empfänger kann Tabelle A 7 im Anhang entnommen werden. Die Transistordummies jeder Gruppe haben jeweils eine gleiche Länge wie die entsprechenden Transistoren. Die der Transistordummies entspricht der Fingerbreite der jeweiligen Transistorgruppe. Die Fingerbreite kann Tabelle A 7 im Anhang entnommen werden.

6.5. Floorplan

In diesem Abschnitt wird das Floorplanning des ersten Prototyps des DCS Chips erläutert. Das Floorplanning befasst sich mit dem Optimierungsproblem alle Teilschaltungen der Gesamtschaltung so anzuordnen, dass möglichst kurze Verbindungs- und Signalwege für alle Teilschaltungen erzeugt werden. Dieser Prototyp des DCS Chips ist 2 mm mal 2 mm groß. Im Layout des ersten Prototyps werden CAN Treiber, Levelshifter, Delaykette und CAN Empfänger erzeugt. Zur Versorgung von CAN Treiber und Empfänger werden drei Spannungsregulatoren für 1,2 V, 2,4 V und 3,6 V integriert. Die ungenutzte Fläche des Chips wird für Teststrukturen und Prototypen anderer Projektarbeiten verwendet. Abbildung 59 zeigt eine Gesamtübersicht über das Layout des ersten Prototyps.

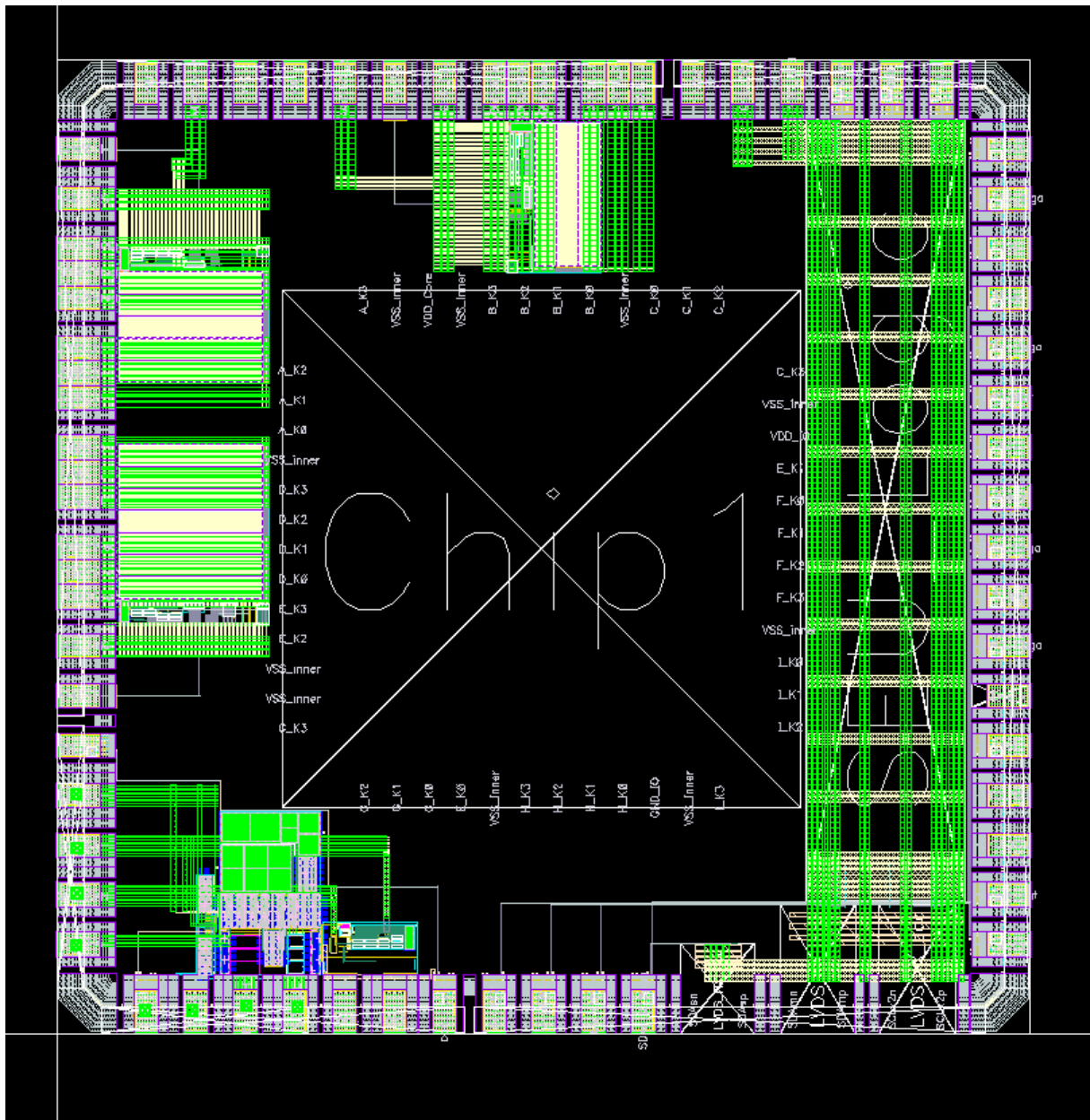


Abbildung 59: Floorplan Gesamtansicht

CAN Treiber, Levelshifter, Delaykette und CAN Empfänger sind in der unteren linken Ecke des Chips angesiedelt. Darüber befinden sich die Spannungsregulatoren für 1,2 V und 2,4 V (v.u.n.o.). Der Spannungsregulator für 3,6 V befindet sich mittig am oberen Rand des Chips.

Padring und Pads

Der Padring selbst besteht aus vier Netzen, die ringförmig die äußere Begrenzung des Chips darstellen. Diese vier Netze werden in Metalllage 4 und 3 geroutet. In den oberen Metalllagen (Metalllage 8 und höher) werden die Pads auf dem Padring positioniert. Zusätzlich befinden sich in den unteren Metalllagen Diodenstrukturen, über die die vier Potentiale des Padrings mit dem Pad verbunden werden und der ESD Schutz des Chips gewährleistet wird. Die Verbindung zwischen dem Pad, den Diodenstrukturen und dem Padring wird mit einem „Viastack“ im äußeren Teil des Pads umgesetzt.

Je nach Anwendungszweck stellt das Design-Kit eine Vielzahl von Pads zur Verfügung. Außerdem werden zur Versorgung der vier Netze des Padrings vier spezielle Pads benötigt. Diese vier Netze heißen „VDD“, „GND“, „VDDPST“ und „GNDPST“. „VDD“ und „GND“ dienen zur Versorgung analoger Schaltungsteile, während die Netze mit der Endung „PST“ digitale Schaltungsteile versorgen. Abbildung 60 zeigt einen Ausschnitt aus dem Padring.

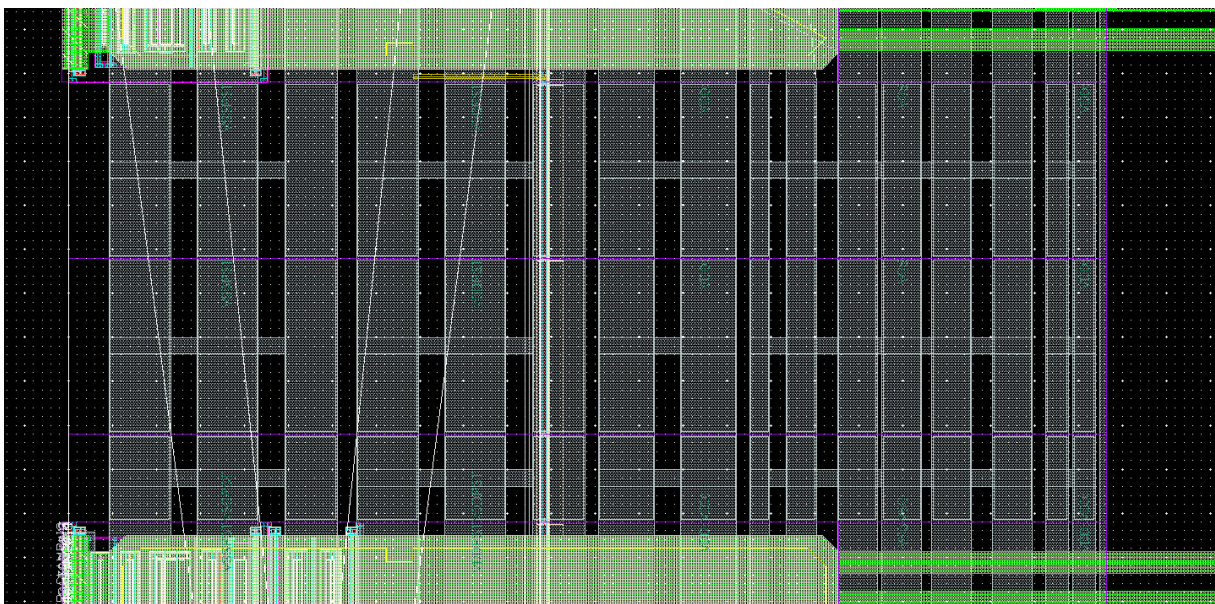


Abbildung 60: Padring: Ringstruktur und Pad für Bonding

Die vergrößerte Ansicht in Abbildung 60 zeigt einen Ausschnitt aus der Padring Struktur im linken Rand des Chips. Die vertikalen Metallbahnen (Grau) reichen bis in Metalllage 4. Die ersten drei Metallbahnen auf der linken Seite bilden das Netz „VSSPST“. Die nächsten drei Metallbahnen bilden das Netz „VDDPST“. Das Netz „VDD“ wird von den beiden folgenden, sowie von den beiden innersten (rechts) Metallbahnen gebildet. Diese beiden Ringe umschließen die Metallbahnen, die das Netz „GND“ bilden und sind auf einer niedrigeren Metalllage verbunden. Die grünen Strukturen am oberen und unteren Rand der Abbildung sind die Padflächen, auf denen das Bonding durchgeführt wird.

Der Padring für den Prototyp des DCS Chips verfügt über 17 Pads auf jeder Seite mit einem Versatz von 100 μm . Jedes Pad hat eine Breite von 50 μm .

CAN Physical Layer

Die Bauteile des CAN Treibers und des CAN Empfänger sind in der unteren linken Ecke positioniert. Für den CAN Physical Layer (CAN Treiber und CAN Empfänger) werden 11 Pads benötigt. Für den Schaltungsteil des CAN Treibers aus Abbildung 17 werden vier Pads benötigt:

- IN: Ansteuerung des Levelshifters
- DCAN_H: CAN_H Potential des CAN Treibers. Ausgangssignal.
- DCAN_L: CAN_L Potential des CAN Treibers. Ausgangssignal.
- VBUS: Über dieses Pad wird die Biasspannung des Bus eingestellt.

Zur Ansteuerung des CAN Empfänger werden drei zusätzliche Pads benötigt:

- OUT: Ausgangssignal des CAN Empfängers.
- RCAN_H: CAN_H Potential zur Ansteuerung des CAN Empfängers.
- RCAN_L: CAN_L Potential zur Ansteuerung des CAN Empfängers.

Um die Schaltungselemente des CAN Physical Layers unabhängig von den Spannungsregulatoren betreiben und testen zu können, werden Pads zur Spannungsversorgung von außen verwendet. Eine Spannungsversorgung über die Regulatoren ist in diesem Prototyp nicht vorgesehen. Die Spannungsversorgung für CAN Treiber und CAN Empfänger wird über die folgenden vier Pads bereitgestellt:

- VDD1V2
- VDD2V4
- VDD3V6
- GND

Spannungsregulatoren

Die Spannungsregulatoren werden am linken und oberen Rand des Padrings positioniert. Für jeden Regulator werden drei Pads zur Spannungsversorgung und drei Pads für die Ausgangsspannung des jeweiligen Regulators verwendet. Für die Versorgungs- und Ausgangspads der Regulatoren wird aufgrund des hohen Stromflusses ein zusätzliches Pad auf dem regulären Abstand der Pads eingefügt. Außerdem verfügt jeder Regulator über einen separates Massepotential und ein Pad „VREF“ um den jeweiligen Regulator mit einer externen Referenzspannung anzusteuern. Die Regulatoren für 2,4 und 3,6 V benötigen außerdem eine weitere Spannungsversorgung mit einer Spannung von 1,2 V. Für diese Spannungsversorgung werden zwei zusätzliche Pads verwendet.

Die Kontaktierung zwischen den einzelnen Schaltungsteilen und die Kontaktierung zum Pading des CAN Physical Layers und der Regulatoren wird in den Metalllagen 8 und höher durchgeführt.

7. Ergebnis nach Produktion

In diesem Kapitel wird die Messung des CAN Physical Layers am Prototyp des DCS Chips dokumentiert. Für die Validierung des Chips wurden zwei angepasste Leiterplatten entworfen. Wie in Abbildung 61 dargestellt, werden die Chips ohne Gehäuse direkt auf einer Trägerplatine platziert. Diese Trägerplatine beherbergt außer dem Chip nur noch Abblockkapazitäten für die Regulatoren, damit diese niederohmig und nur mit geringen parasitären Induktivitäten an den Chip angeschlossen werden können. Alle weiteren Komponenten befinden sich auf der zweiten größeren Platine, auf welche die Trägerplatine auf spezielle Leisten eingesteckt werden kann. Auf diese Weise können beim Test mehrerer Chips möglichst viel Bauteile wiederverwendet und damit die Kosten gering gehalten werden.

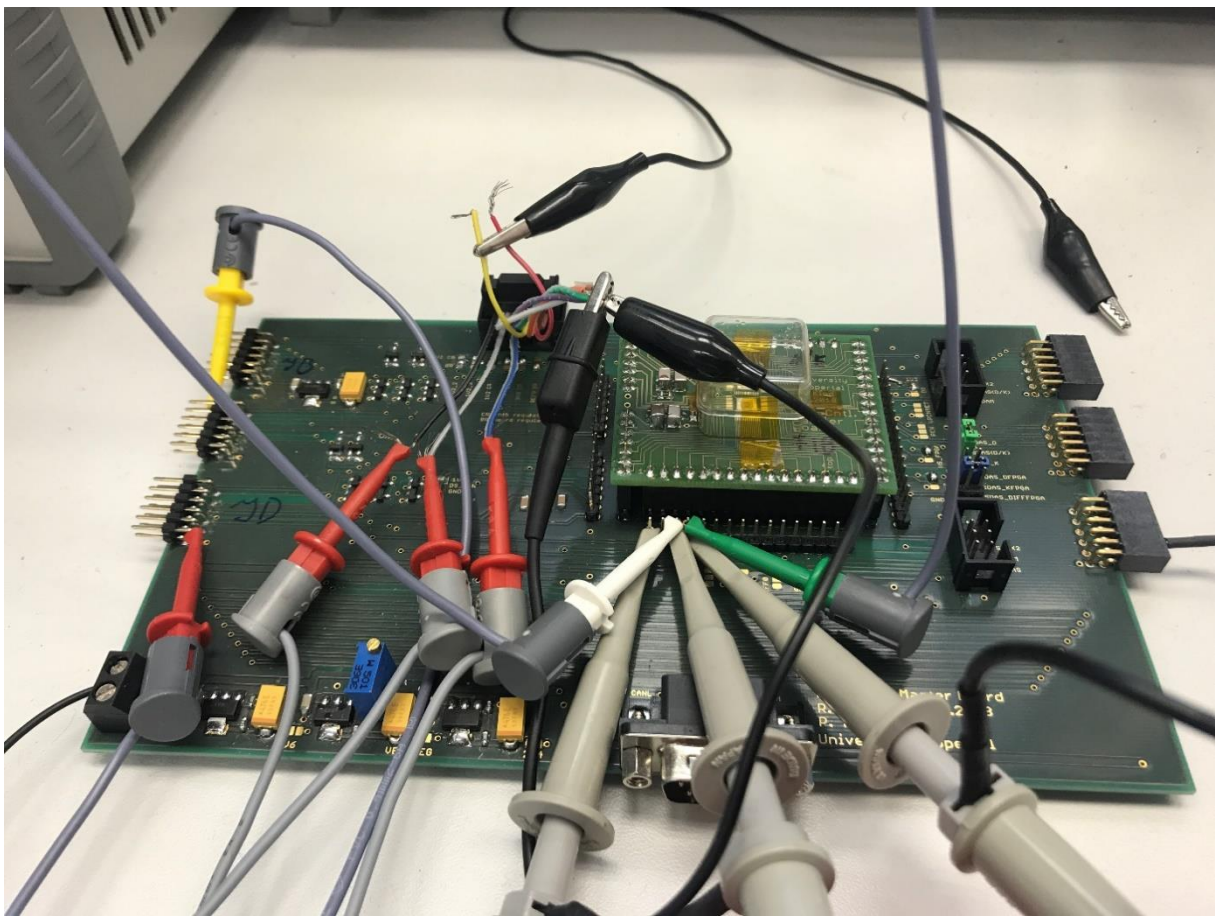


Abbildung 61: Messaufbau DCS Prototyp

7.1. Messungen am CAN Treiber

Zur Erzeugung der Spannungsversorgung mit 3,6 V, 2,4 V und 1,2 V sowie zur Erzeugung einer Busspannung von 2,5 V wurden vier Spannungsversorgungen von Agilent Technologies (E3631A) verwendet. Das Eingangssignal zur Ansteuerung des CAN Treibers (Levelshifter) wurde mit einem Funktionsgenerator von Agilent Technologies (33250A) erzeugt. Die Auswertung der Ein- und Ausgangssignale wurde mit einem Mixed Signal Oszilloskope von Agilent Technologies (MSO7014A) durchgeführt.

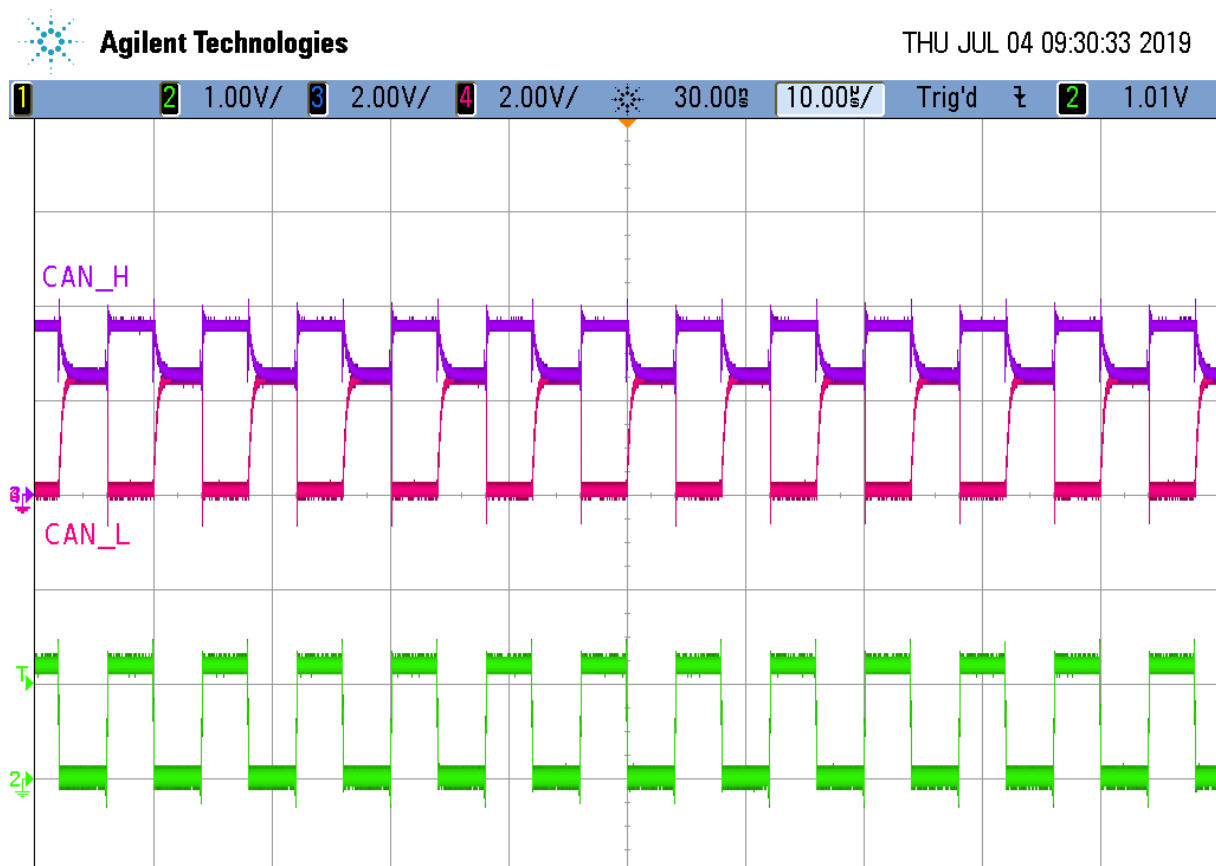


Abbildung 62: Messergebnis CAN Treiber. Lila: CAN_H. Rot: CAN_L. Grün: IN

Abbildung 62 zeigt das Messergebnis des Prototyps des CAN Treibers im DCS Chip. Das generierte Eingangssignal wird im unteren Bereich in Grün dargestellt. Für dieses Signal wird ein Rechtecksignal mit einer Amplitude von 1,2 Volt und einer Frequenz von 150 kHz bei einer Duty-Time von 50% erzeugt. Diese Frequenz entspricht der doppelten Frequenz der Simulation. Die Ausgangssignale CAN_H (lila) und CAN_L (rot) zeigen das erwartete Verhalten des CAN Treibers (Vergleich Abbildung 24) aus der Simulation in Cadence.

CAN_L zeigt im rezessiven Zustand keine Abweichung von der eingestellten Busspannung. Im dominanten Zustand nimmt das Potential auf CAN_L einen sehr niedrigen Wert an. CAN_H zeigt im rezessiven Zustand keine Abweichung von der eingestellten Busspannung. Im dominanten Zustand erreicht CAN_H ein leicht höheres Potential als in der Simulation. Das Verhalten im Umschaltmoment ist im Vergleich zur Simulation deutlicher ausgeprägter.

7.2. Messungen am CAN Empfänger

Da es nicht möglich ist zwei der zur Verfügung stehenden Funktionsgeneratoren zeitlich zu synchronisieren, wird zur Erzeugung der Steuersignale für „CAN_H“ und „CAN_L“ ein handelsüblicher USB CAN Treiber verwendet. Die Auswertung der Ein- und Ausgangssignale wurde mit einem Mixed Signal Oszilloskope von Agilent Technologies (MSO7014A) durchgeführt.

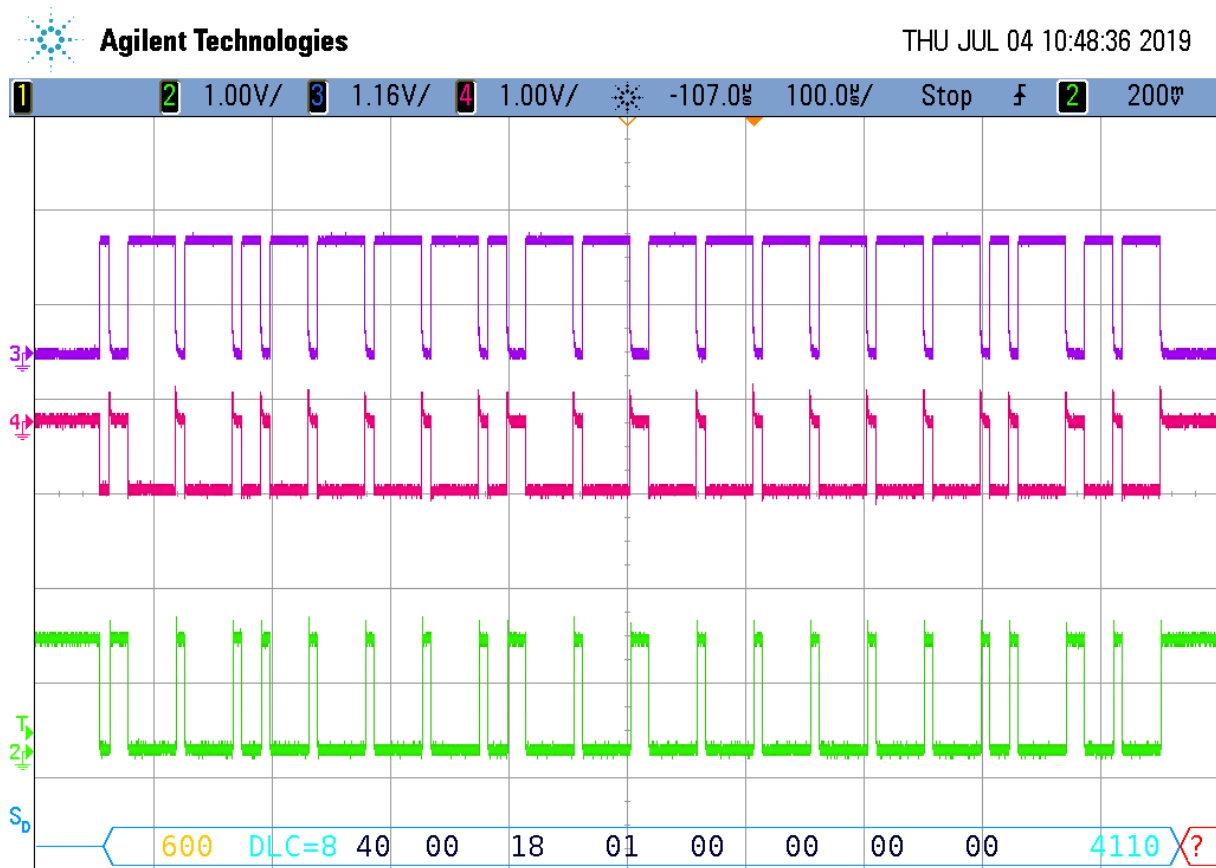


Abbildung 63: Messergebnis CAN Empfänger. Lila: CAN_H, Rot: CAN_L, Grün: OUT

Abbildung 63 zeigt das Messergebnis des CAN Empfängers. Die vom USB CAN Treiber übermittelte Nachricht soll den Identifier ‚600‘ tragen und 8 Bytes mit der Nachricht „40 00 18 01 00 00 00“ im Payload übermitteln.

Das verwendete Oszilloskop verfügt über eine CAN Funktion. Mithilfe dieser Funktion ist es möglich ein gewünschtes Signal als CAN Signal zu interpretieren und die wichtigsten Daten anzeigen zu lassen. Am unteren Bildschirmrand des Oszilloskops in Abbildung 63 wird der Identifier, der Inhalt des DLC (Data Length Code), der Inhalt der Payload sowie die Prüfsumme angezeigt.

Alle übermittelten Informationen wurden vom CAN Empfänger korrekt empfangen.

8. Zusammenfassung

Im Rahmen dieser Arbeit wurde der Physical Layer des CAN Standards für den DCS Controller entwickelt, der im ATLAS Experiment des CERN Teilchenbeschleunigers zum Einsatz kommen soll. Im Zuge dieser Entwicklung wurden drei strahlenharte Schaltungen entwickelt und simuliert. Außerdem wurden für alle Bauteile Layouts erzeugt, deren Integration im Floorplan gestaltet und Messungen am ersten Prototyp mit einer gefertigten Testumgebung durchgeführt.

Die entwickelte Treiberschaltung des CAN Physical Layers arbeitet trotz der verwendeten Dünngateoxid-Transistoren mit einer Versorgungsspannung von 3,6 V. Durch diese Dünngateoxid-Transistoren wird die Treiberschaltung strahlenhart. Allerdings ist dadurch auch die angelegte Spannung über die Transistoren auf 1,2 V begrenzt. Durch die Anwendung des Stacked Transistor Prinzips und eine modifizierte Biasschaltung eines ADSL Treibers [3] wurde diese Begrenzung überschritten, ohne dabei die Richtlinien der verwendeten Technologie zu verletzen.

Da die Treiberschaltung des CAN Physical Layers zur Erzeugung des BUS-Pegels zwei Eingangssignale benötigt, wurde ein Levelshifter entwickelt. Aufgabe dieses Levelshifters ist es die zu übertragene Bits der Buskontrolllogik, die als Standard CMOS Signale mit einem Pegel zwischen 0 V und 1,2 V generiert werden, auf den benötigten Pegel zwischen 3,6 V und 2,4 V zu wandeln. Weil der CAN Treiber äußerst empfindlich auf Phasenverschiebungen zwischen den beiden benötigten Steuersignalen reagiert, wird bei der Erzeugung der Steuersignale außerdem auf eine möglichst genaue Synchronisation geachtet. Auch in der Schaltung des Levelshifters wurden Dünngateoxid-Transistoren verwendet und die damit einhergehenden Begrenzungen mit der Anwendung des Stacked Transistor Prinzips überwunden.

Da die Schaltung des CAN Empfängers für eine Versorgungsspannung von 1,2 V entwickelt wurde, hat die Verwendung strahlenharter Dünngateoxid-Transistoren keinen zusätzlichen Arbeitsaufwand erzeugt. Der verwendete LVDS Receiver [2.1] [2.2], der zur Implementierung des CAN Empfängers modifiziert wurde, arbeitet mit zwei parallel verschalteten Komparatoren mit differentiellen Eingangsstufen, um einen höheren Gleichtakt-Spannungsbereich der Eingangssignale auf dem Bus abzudecken. Das erzeugte Ausgangssignal entspricht dem Standard CMOS Pegel von 1,2 V.

Die Messungen am ersten Prototyp bestätigen die Funktion des CAN Physical Layers. Der CAN Empfänger interpretiert Eingangssignale von kommerziellen CAN Treibern korrekt. Die Signale des entworfenen CAN Treiber, werden ebenfalls von kommerziellen Bausteinen korrekt empfangen.

8.1. Ausblick

Der in dieser Arbeit entwickelte CAN Physical Layer bietet durch die Einhaltung der CAN Spezifikationen eine problemlose Kommunikation zwischen dem DCS Controller Chip und kommerziellen CAN Transceivern bei gleichzeitiger Gewährleistung der im Experiment geforderten Strahlenhärte. Um dies zu ermöglichen war es nötig durch Anwendung des Stacked Transistor Prinzips die maximal zulässige Versorgungsspannung von Dünngate-oxid Transistoren um das Dreifache zu überschreiten. Die angewendete Methode birgt auf Grund Ihres innovativen Charakters Risiken welche erst nach einer intensiven Validierung unter Einbindung von Strahlen- und Alterungsstudien ausgeschlossen werden können. Da die zur Verfügung stehende Zeit nicht ausreichend ist, die obengenannten Untersuchungen durchzuführen hat das Management des ATLAS Experiments empfohlen, für zukünftige Versionen des DCS Chips ein CAN Physical Layer mit einer maximalen Versorgungsspannung von 1,2 V zu entwickeln. Durch diese Entscheidung wird die Kompatibilität zum ISO CAN Standard und die Möglichkeit der Kommunikation zu kommerziellen CAN Transceivern aufgegeben. Nichtsdestotrotz sollte der experimentelle Nachweis der Strahlenhärte des 5V CAN Transceivers weiter vorangetrieben werden, um bei Problemen mit den niedrigen Signalpegeln des 1,2V Transceivers auf die ursprüngliche Lösung unter Verwendung des 5V CAN Transceivers umschwenken zu können. Diese Arbeiten stehen jedoch noch aus und sollten zukünftig angegangen werden. Ist der Nachweis der Strahlenhärte erbracht kann der 5V CAN Transceiver im DCS System des ATLAS Pixeldetektors aber auch bei weiteren zukünftigen Projekten eingesetzt werden.

9. Anhang

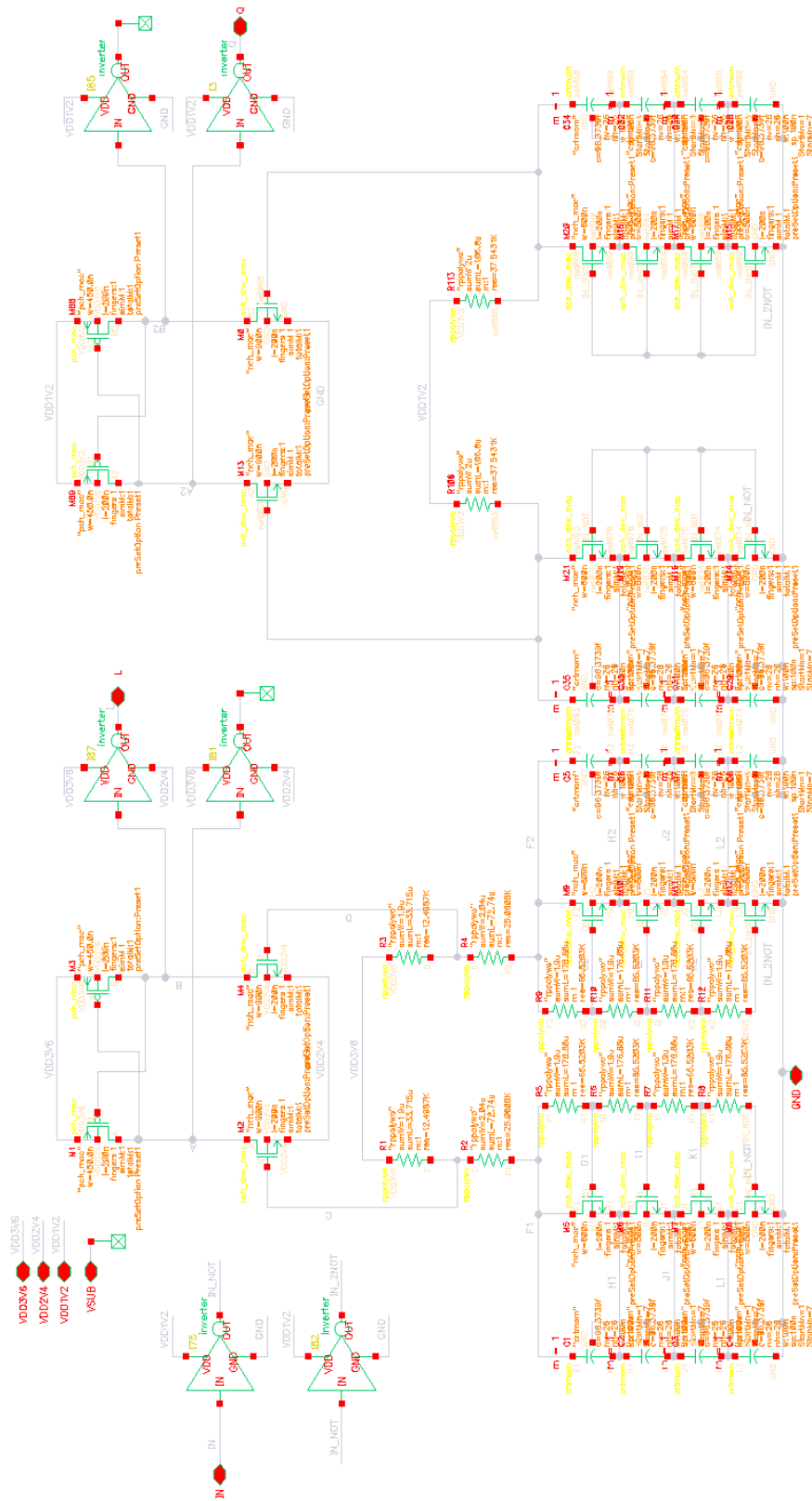


Abbildung A 1: Gesamtschaltbild Levelshifter

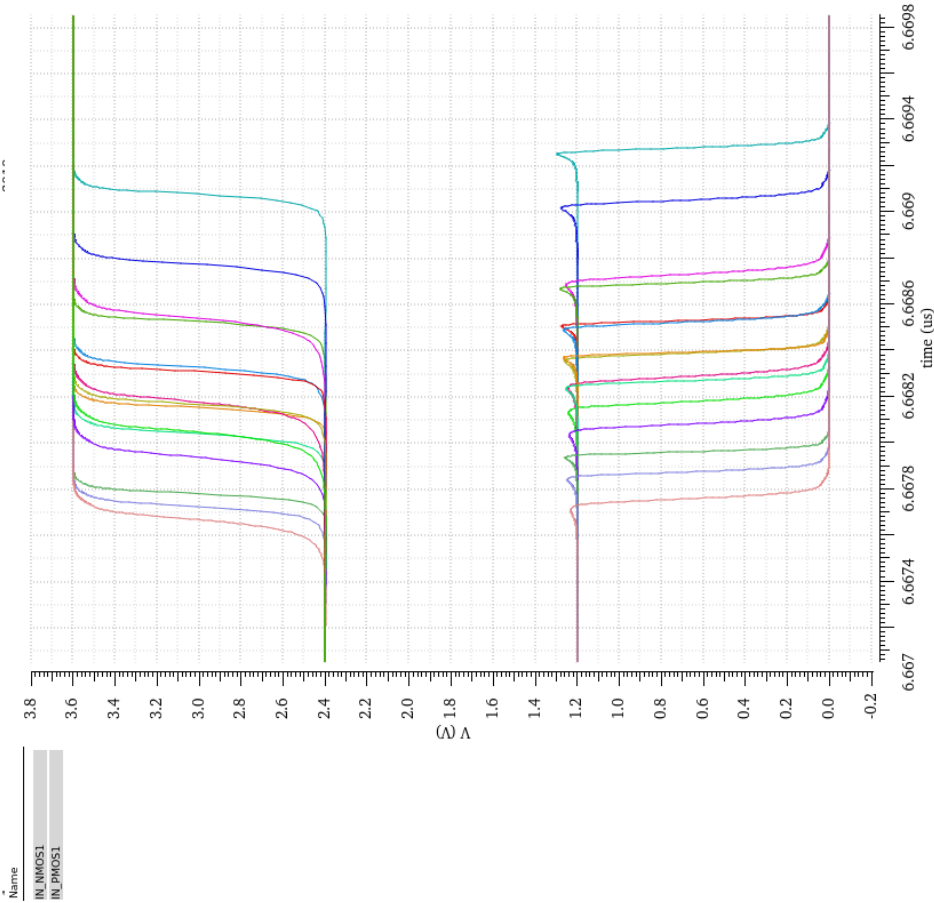
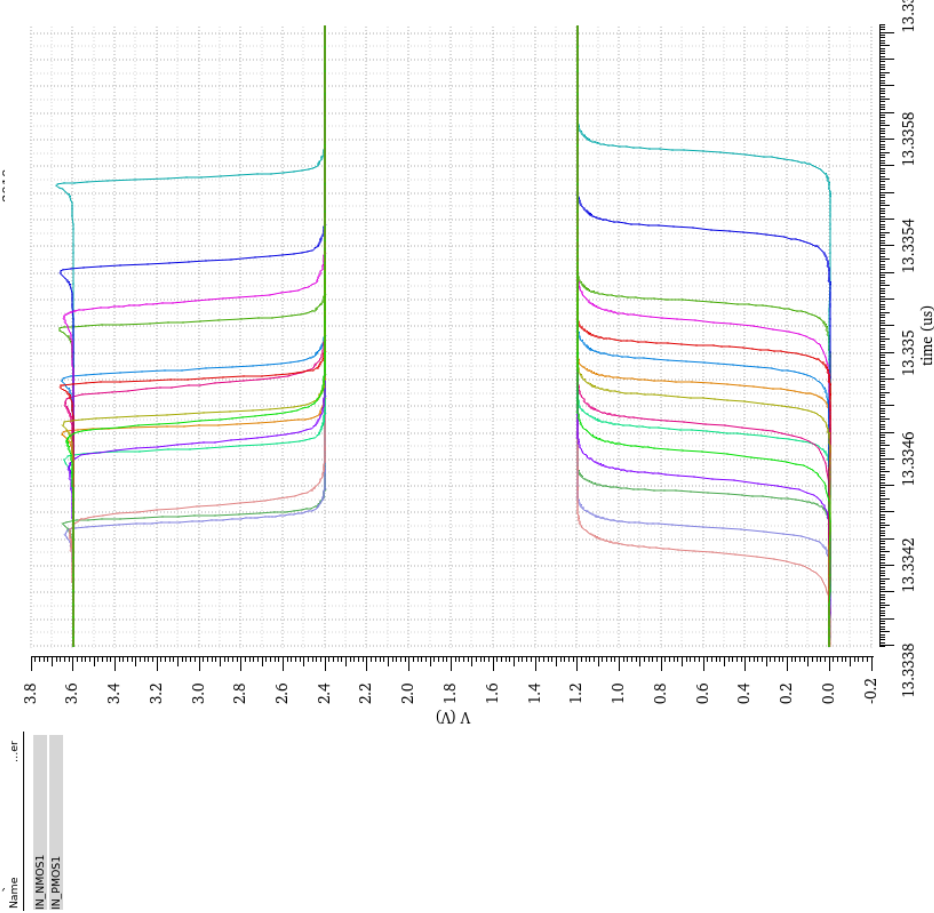


Abbildung A 2: Ausgangssignale rising und falling Edge

Transistor	W	L
M1, M3, M89, M88	450 nm	200 nm
M2, M4, M13, M0	900 nm	200 nm
M5 – M12	800 nm	200 nm
M15 – M21	800 nm	200 nm

Tabelle A 1: Dimensionierung Transistoren Levelshifter

Transistoren Inverter	W	L
PMOS	300 nm	200 nm
NMOS	150 nm	200 nm

Tabelle A 2: Dimensionierung Inverter Levelshifter

Widerstand	R
R1, R3	12,4987 kOhm
R2, R4	25,0808 kOhm
R5- R12	65,5203 kOhm
R106, R113	37,5431 kOhm

Tabelle A 3: Dimensionierung Widerstände Levelshifter

Kondensator	C
Cx (Alle Kondensatoren)	96,3739 fF

Tabelle A 4: Dimensionierung Kondensatoren Levelshifter

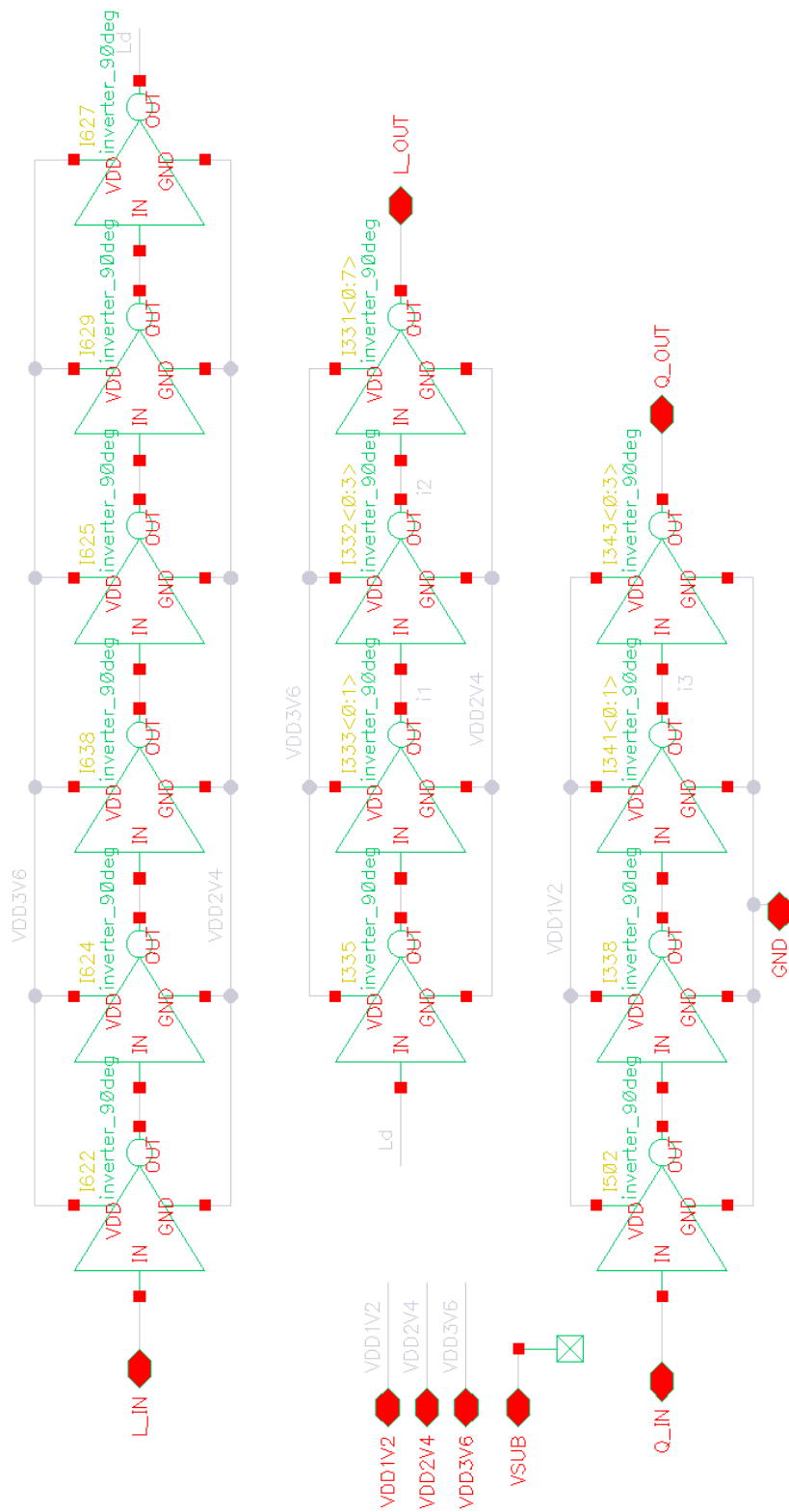


Abbildung A 3: Verzögerungskette. Oben: Verzögerung PMOS Steuersignal. Mitte: Flankensteilheit PMOS. Unten: Flankensteilheit NMOS.

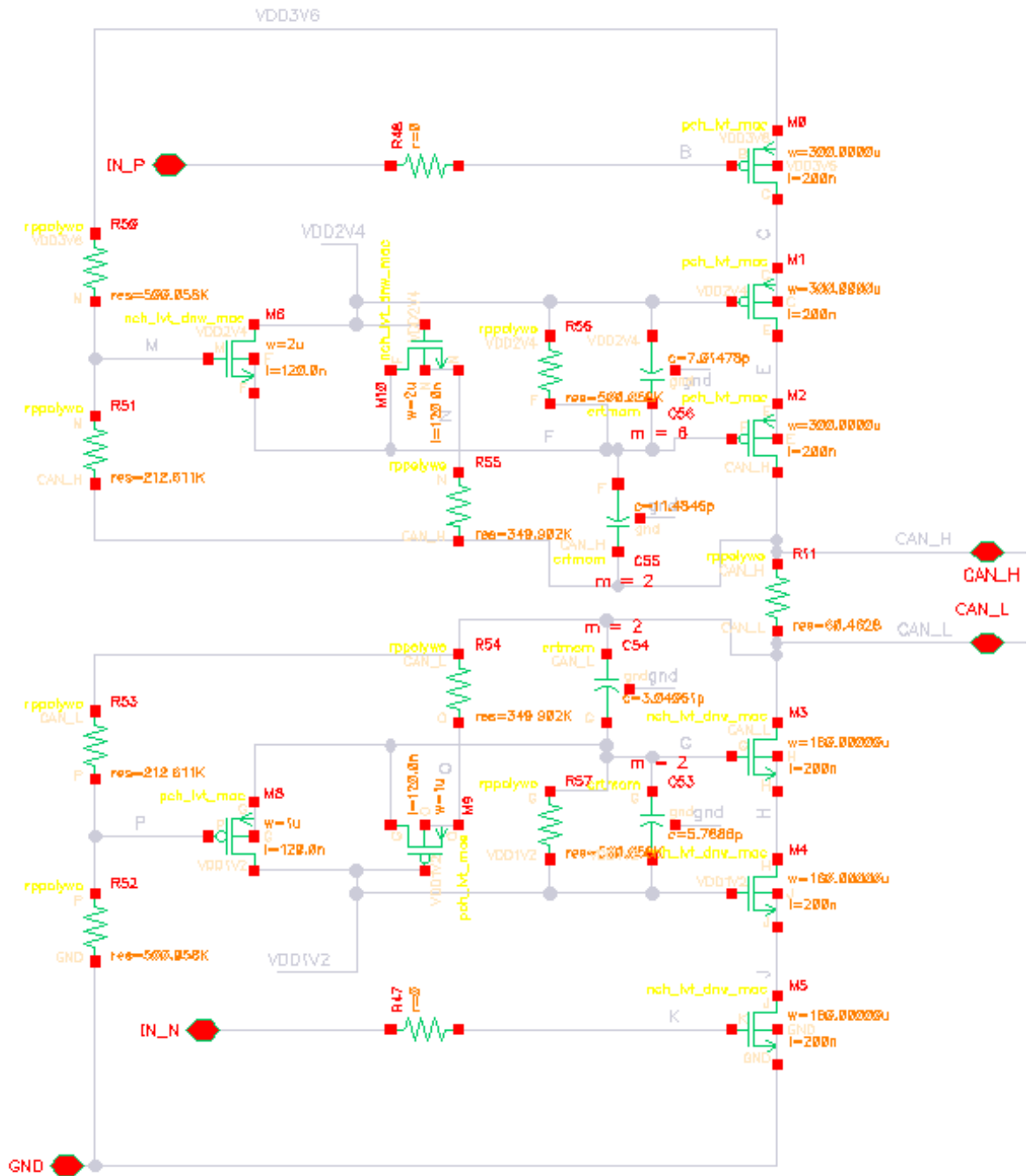


Abbildung A 4: CAN Treiber Schaltbild

Name	Widerstand In kΩ	Beschreibung
R1	500,058	Spannungsteiler R1/R2
R2	212,611	
R3	212,611	Spannungsteiler R3/R4
R4	500,058	
R5	0	Eingangswiderstand PMOS (entfallen)
R6	500,058	Spannungsteiler R6/R7 über M7
R7	349,902	
R8	349,902	Spannungsteiler R8/R9 über M9
R9	500,058	
R10	0	Eingangswiderstand NMOS (entfallen)
R11	60,4628	Terminierungswiderstand

Tabelle A 5: Widerstände CAN Treiber

Name	Kapazität in pF	Beschreibung
C1	0	Eingangskapazität PMOS (entfallen)
C2	7,01478	RC-Glied mit R6 zur Einstellung M1 und M2
C3	11,4846	Einstellung M1 und M2
C4	3,04061	Einstellung M3 und M4
C5	5,7686	RC-Glied mit R9 Einstellung M3 und M4
C6	0	Eingangskapazität NMOS (entfallen)
C7	0	Kompensation Spannungsspitzen Während Optimierung entfallen
C8	0	Kompensation Spannungsspitzen Während Optimierung entfallen
C9	0	Kompensation Spannungsspitzen Während Optimierung entfallen
C10	0	Kompensation Spannungsspitzen Während Optimierung entfallen
C11	0	Kompensation Spannungsspitzen Während Optimierung entfallen
C12	0	Kompensation Spannungsspitzen Während Optimierung entfallen

Tabelle A 6: Kapazitäten CAN Treiber

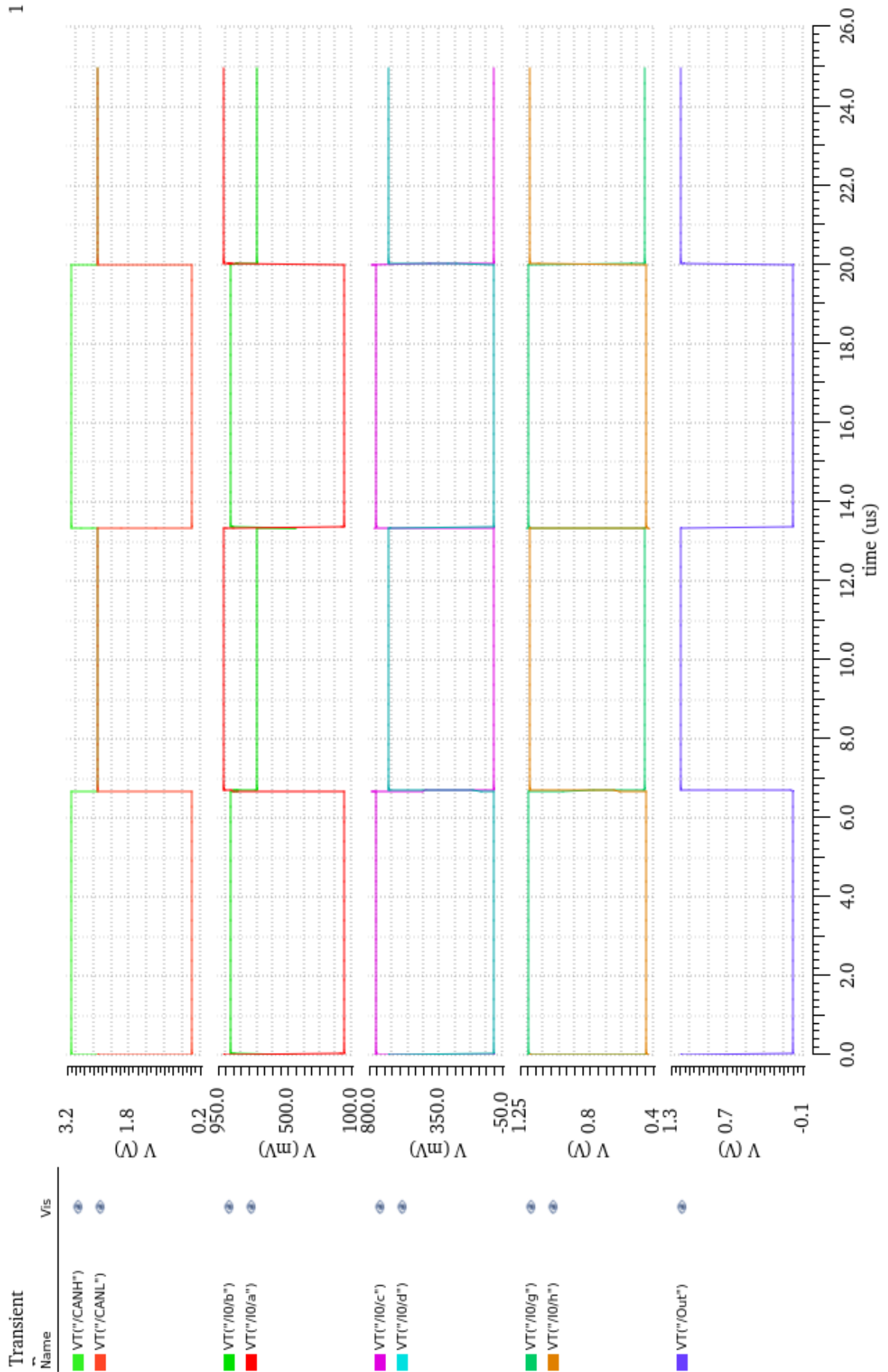


Abbildung A 5: Verhalten CAN Empfänger. Potentiale (v. o. n. u.) CAN_H, CAN_L, b, a, c, d, g, h, Out. Busspannung 2,5 V

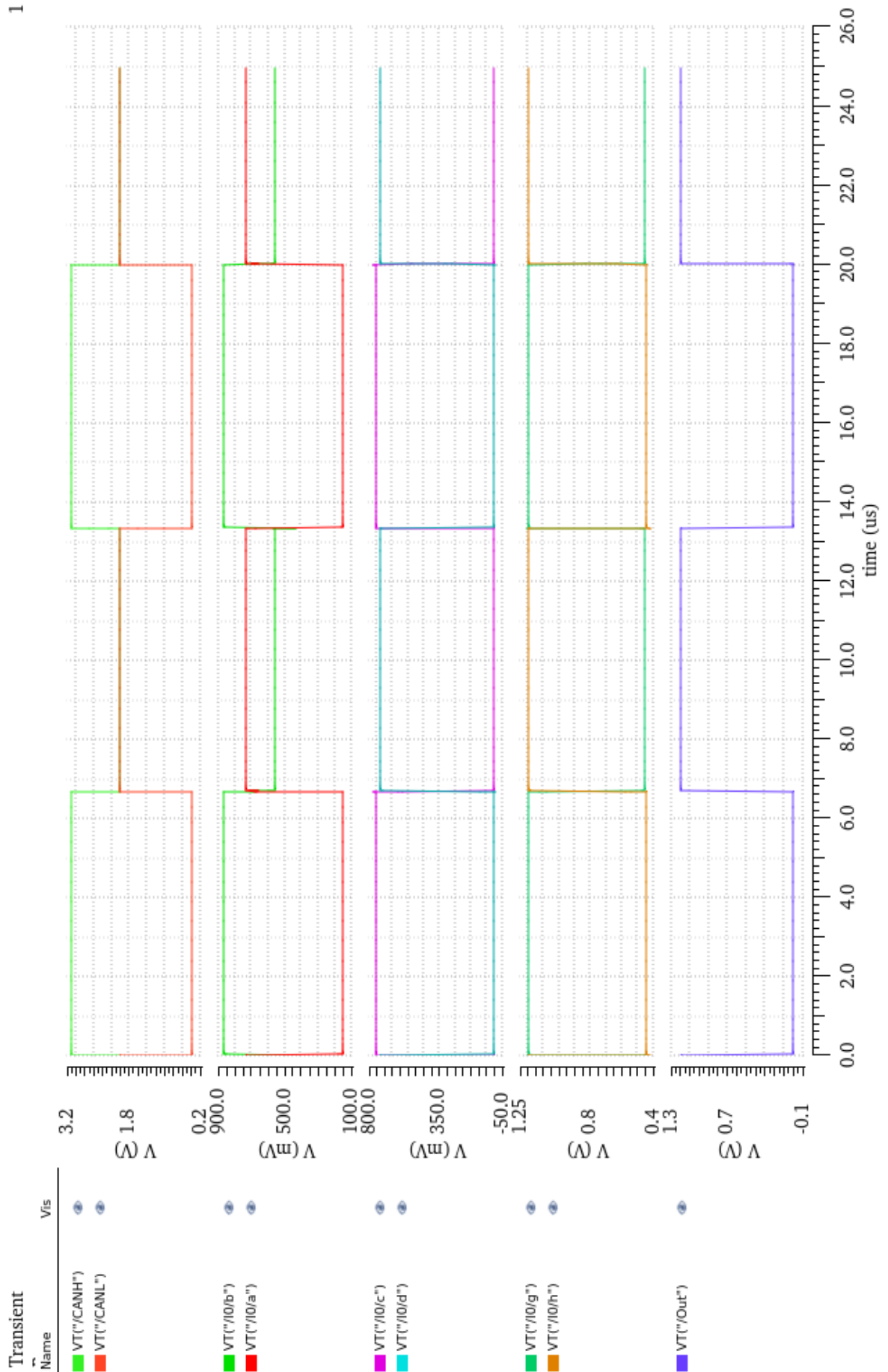


Abbildung A 6: Verhalten CAN Empfänger. Potentiale (v. o. n. u.) CAN_H, CAN_L, b, a, c, d, g, h, Out. Busspannung 2 V

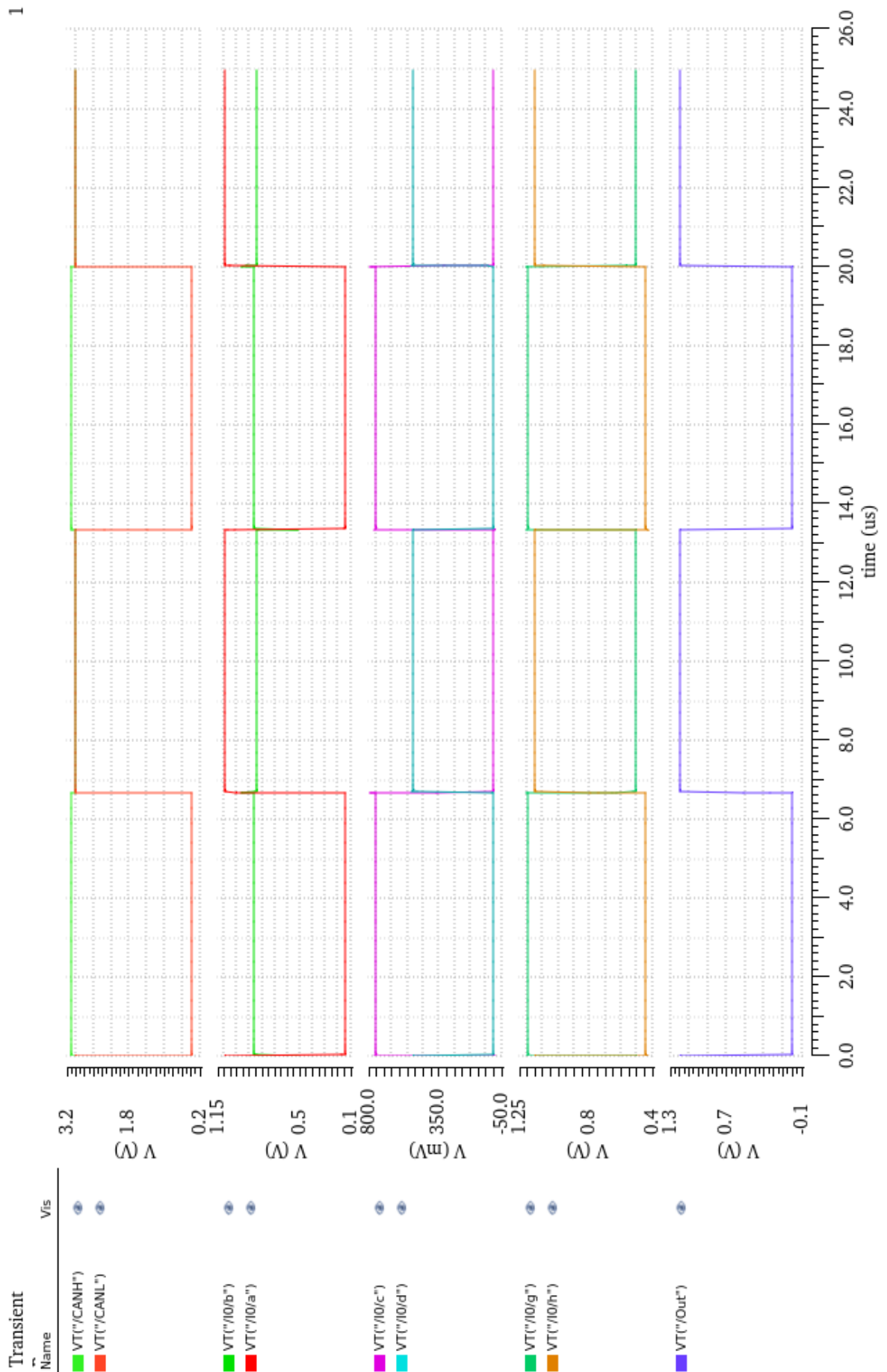


Abbildung A 7: Verhalten CAN Empfänger. Potentiale (v. o. n. u.) CAN_H, CAN_L, b, a, c, d, g, h, Out. Busspannung 3 V

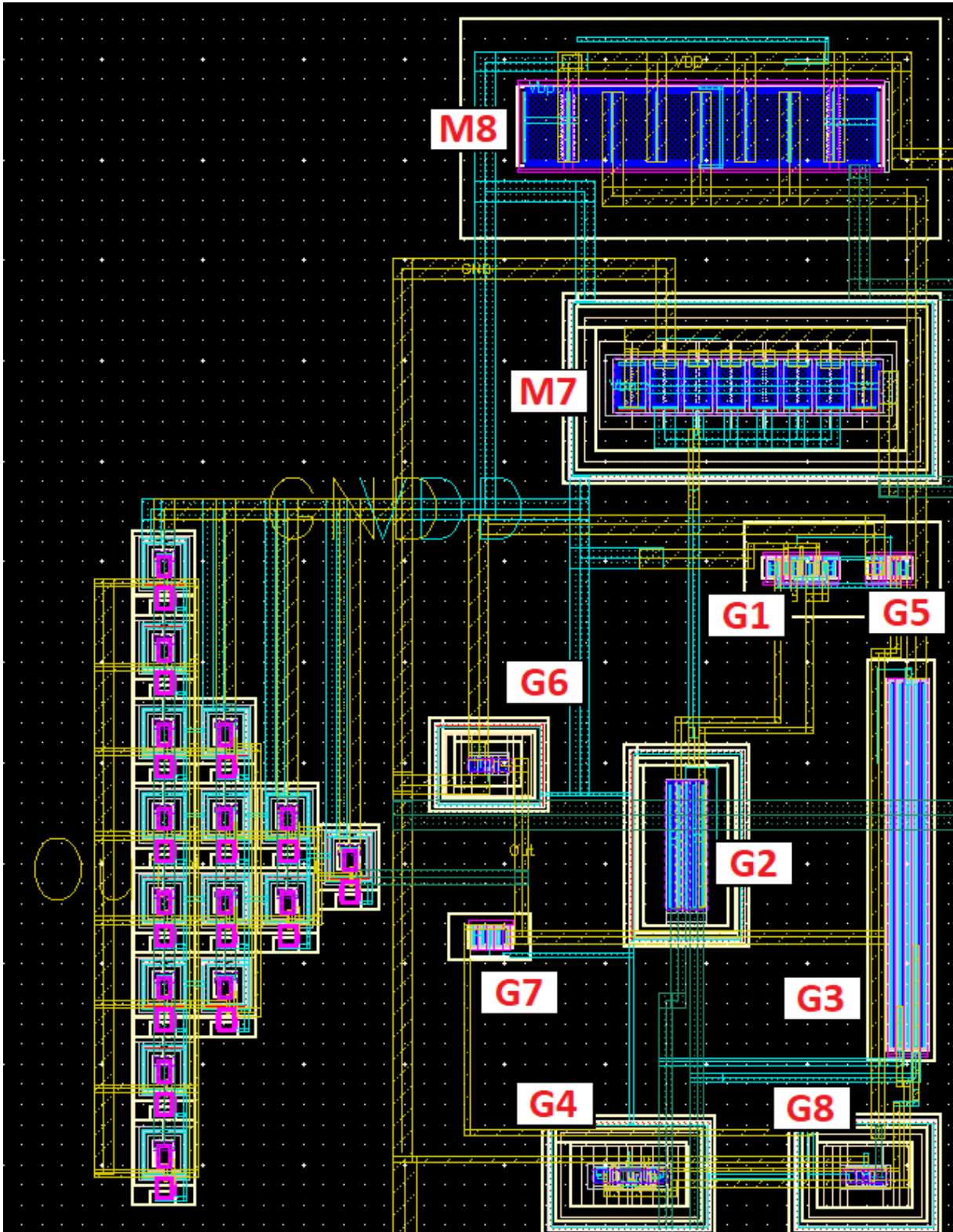


Abbildung A 8: Layout CAN Empfänger. Positionierung der Transistorgruppen.

Transistor	W	L	Fingerbreite
M1, M4, M15, M16	600 nm	200 nm	600 nm
M2, M3	1,2 μm	200 nm	600 nm
M5, M6	6 μm	200 nm	6 μm
M6	1,2 μm	200 nm	1,2 μm
M7	3,5 μm	200 nm	3,5 μm
M9, M10	18 μm	200 nm	18 μm
M12, M13	500 nm	200 nm	250 nm
M11, M14, M21 M22	250 nm	200 nm	250 nm
M18, M17	250 nm	200 nm	250 nm
M19, M20	600 nm	200 nm	600 nm

Tabelle A 7: Transistoren CAN Empfänger

10. Literatur

- [1] Fröse, Tobias (2017): Bandgap, Projektarbeit 1: Entwicklung einer Referenzspannungsquelle
- [2.1] Karagounis, Michael Athanassios: Analog integrated CMOS Circuits for the readout and powering of highly segmented detectors in particle physics applications, 2010
- [2.2] A. Boni, A. Pierazzi, D. Vecchi, LVDS I/O interface for Gb/s-per-pin operation in 0.35- μm CMOS, IEEE Journal of Solid-State Circuits, Vol. 36. No. 04, 2001
- [3] B. Serneels, M. Steyaert, DESIGN OF HIGH VOLTAGE XDSL LINE DRIVERS IN STANDARD CMOS, Springer, 2008
- [4] ISO 11898-2:2016-12, Straßenfahrzeuge - CAN-Bus - Teil 2: Zugriffseinheit für schnellen Datenaustausch