

Entwurf eines strahlenharten 5V
Spannungsreglers aus kaskodierten Dünngate-
Transistoren in einer 65nm CMOS Technologie

Design of a radiation-hard 5V voltage regulator
from cascoded thin-gate transistors in a 65nm
CMOS technology

Mastersthesis

vorgelegt von

Semih Yilmaz

Erstprüfer/in: Prof. Dr.-Ing. Michael Karagounis

Zweitprüfer/in: M. Eng. Jeremias Kampkötter

Zusammenfassung

Der vorliegende Bericht „Entwurf eines strahlenharten 5V Spannungsreglers aus kaskodierten Dünngate-Transistoren in einer 65nm CMOS Technologie“ beschreibt eine an der Fachhochschule Dortmund im Fachbereich Elektrotechnik im Rahmen der Masterthesis durchgeführte Studie.

Ziel des Projekts ist die Entwicklung eines 5V Spannungsreglers, der einen CAN zu I2C Brücken Chip mit Spannung versorgt. Dabei ist zu beachten, dass die Core Transistoren in 65nm CMOS mit einer maximalen Spannung von 1,2V betrieben werden können. Der Chip soll für die Steuerung des Atlas Pixel Detektors am CERN eingesetzt werden.

Abstract

The present report „Design of a radiation-hard 5V voltage regulator from cascoded thin-gate transistors in a 65nm CMOS technology“ describes a study carried out in Fachhochschule Dortmund faculty of Electrotechnics in the framework of a master thesis.

The aim of the project is the development of a 5V voltage regulator, which supplies the voltage to a CAN to I2C bridge chip. It should be noted that the core transistors in 65nm CMOS can be operated with a maximum voltage of 1,2V. The chip will be used to control the Atlas Pixel Detector at CERN.

Inhaltsverzeichnis

Zusammenfassung.....	2
Abstract.....	2
Inhaltsverzeichnis	3
1 Einleitung	4
2 Aufgabenstellung	4
3 Grundlagen.....	5
4 Reglerschaltung.....	26
5 Simulation	33
6 Layout	49
7 Messung	62
8 Fazit.....	66
Abbildungsverzeichnis.....	67
Verweise	69
Eidesstattliche Erklärung	71

1 Einleitung

In diesem Projekt geht es um die Entwicklung von Komponenten für das Kontrollsystem des Pixeldetektors des ATLAS Experiments am CERN. Die Steuerung erfolgt aus einem Kontrollraum, welcher sich etwa 100m entfernt von der aktiven Zone des Detektors befindet. Um die Kommunikation zum Kontrollraum zu etablieren, werden mehrere Mikrochips benötigt, von denen einer die Aufgabe, hat den CAN Feldbus auf einen anderen seriellen Bus abzubilden. Dementsprechend muss ein Brücken Chip entworfen werden, der eine Art Gateway zwischen dem CAN Feldbus und dem anderen seriellen Bus darstellt. Eine besondere Herausforderung stellen dabei die 5V Spannungspegel des CAN Busses dar. 5V Pegel können nur mit Transistoren mit relativ dickem Gate-Oxid gehandhabt werden, die jedoch nicht strahlenhart sind. Die Core-Transistoren der verwendeten Technologie besitzen ein relativ dünnes Gate-Oxid und sind dadurch unempfindlich bezüglich einfallender Strahlung. Zeitgleich sind sie jedoch nicht für den Betrieb mit Spannungen oberhalb von 1,2V geeignet. Die Aufgabenstellung besteht nun darin, mit Hilfe von kaskodierten Core-Transistoren einen Spannungsregler zu entwerfen, der die 5V Versorgungsspannung in eine 1,2V Ausgangsspannung wandelt.

2 Aufgabenstellung

Die Masterthesis umfasst folgende Aufgaben:

- Schaltungsaufbau mit der TSMC 65nm Technologie in Cadence
- Simulation und Verifikation der Schaltung in Cadence
- Layouterstellung in Cadence
- Messtechnische Charakterisierung produzierter Prototypen

Alle Aufgaben sind während der Masterthesis zu bearbeiten und die Ergebnisse zu dokumentieren.

3 Grundlagen

Der MOS-Feldeffekttransistor (MOS-FET)

Aufbau eines MOS-FET Transistors

Da die Schaltungsentwicklung mit der CMOS Technologie erfolgt, wird zu Beginn eine Einführung in den Aufbau und die Funktionsweise von MOS-Feldeffekttransistoren gegeben. Als Substrat eines NMOS-Transistors dient ein p-dotierter Siliziumkristall. In dem Substrat befinden sich zwei n-dotierte Bereiche, die den Source- und den Drain-Anschluss des MOS-Transistors darstellen. Zwischen diesen Anschlüssen befindet sich ein Bereich mit zur Drain bzw. Source komplementärer Dotierung, der den Transistorkanal darstellt. Oberhalb des Transistorkanals befindet sich durch ein Oxid vom Kanal isolierter Gate-Anschluss. In örtlicher Nähe zum Transistor befindet sich der Bulk-Anschluss, der p-dotiert ist. Wie in Abbildung 1 dargestellt, wird bei einem PMOS-Transistor zusätzlich noch eine N-Wanne eingefügt. Die Dotierung des PMOS-Transistors ist dabei komplementär zum NMOS, d.h. Source und Drain sind p-dotiert, während der Bulk-Anschluss n-dotiert ist.

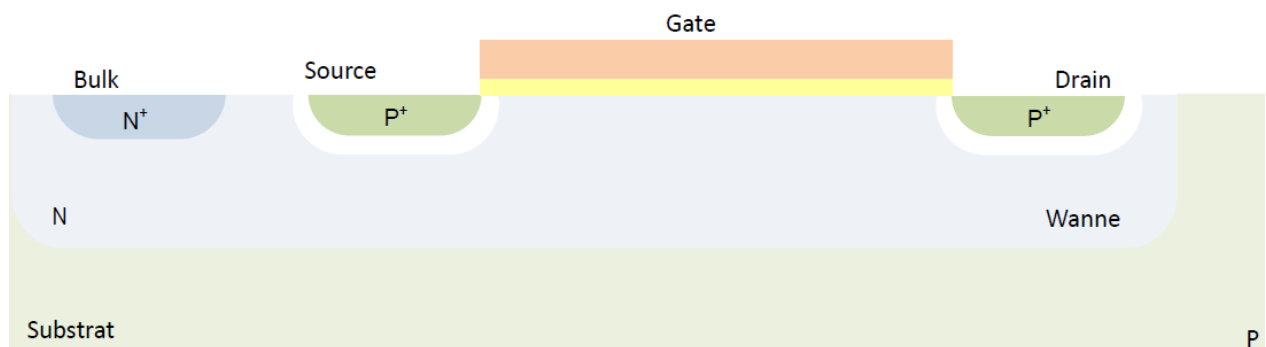


Abbildung 1 Aufbau eines PMOS-Transistors [1]

Der Abstand L zwischen Drain und Source entspricht der Transistorkanallänge. Die Breite W des Gate-Anschlusses entspricht der Kanalbreite des Transistors.

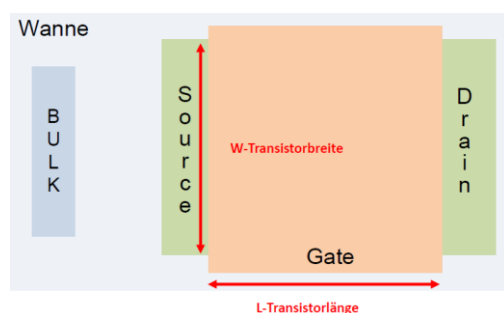


Abbildung 2 Aufsicht PMOS [2]

Schaltsymbole für NMOS- und PMOS-Transistoren sind in Abbildung 3 und 4 dargestellt.

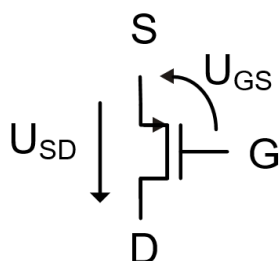


Abbildung 3 PMOS

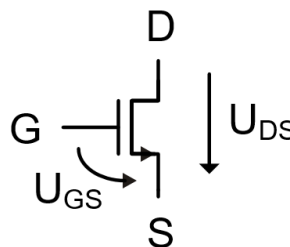


Abbildung 4 NMOS

Zu beachten sind hierbei die unterschiedlichen Indizes für die Spannungen des NMOS bzw. PMOS, welche maßgeblich Einfluss auf den Arbeitspunkt des Transistors nehmen, nämlich U_{GS} bzw. U_{SG} und U_{DS} bzw. U_{SD} . Die Reihenfolge der Indizes ist so gewählt, dass sich Spannungen mit positiven Vorzeichen im regulären Betriebsfall ergeben.

Funktionsweise eines NMOS-FET Transistor

Durch den Aufbau von Gate, Oxyd und Bulk bildet sich ein Kondensator, der bei einer positiven Spannung zwischen Gate und Bulk entsprechend aufgeladen wird. Es entsteht ein elektrisches Feld. Elektronen werden von der positiv geladenen Gate-Elektrode aus dem p-leitenden Substrat (Löcher) angezogen, welche bis an die Grenzschicht zum Oxid wandern können. Zunächst rekombinieren die Elektronen jedoch mit den Löchern im Bereich unterhalb der Gate-Elektrode, wodurch sich eine Raumladungszone mit negativer Raumladung einstellt. Solange die Spannung U_{GS} zwischen dem Gate und der Source kleiner als die Schwellenspannung U_{th} des Transistors ist, sind Source und Drain des Transistors voneinander elektrisch isoliert und der Transistor sperrt und leitet keinen Strom. Ein Kanal wird nicht gebildet.

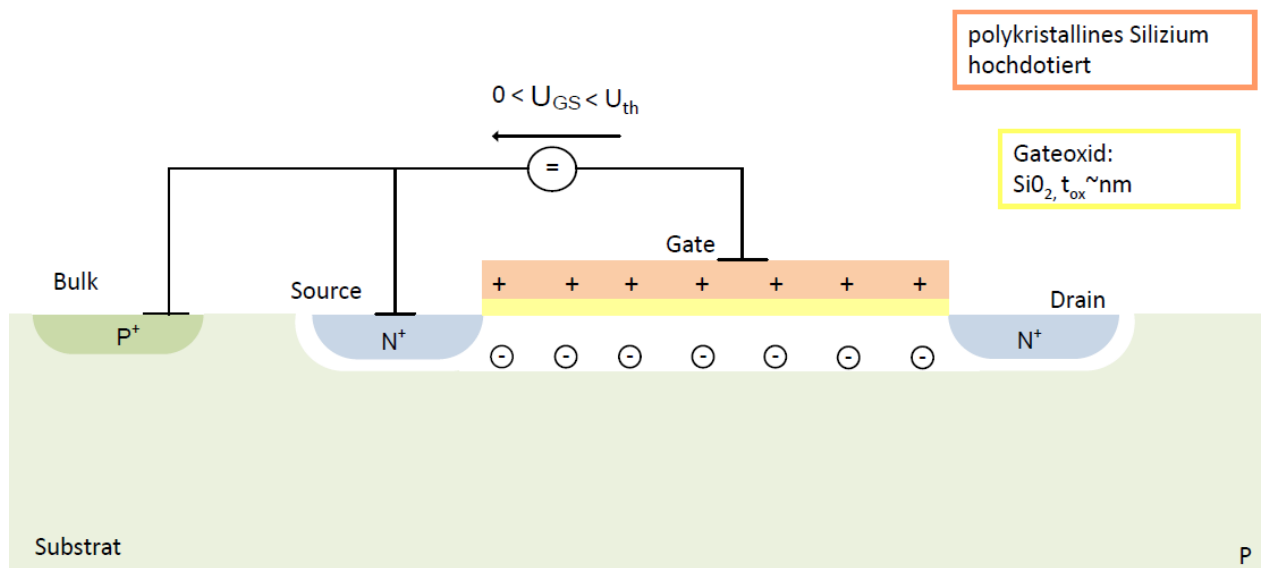


Abbildung 5 Raumladungszone [1]

Wird jedoch eine positive Spannung U_{GS} zwischen Gate und Source angelegt, die größer als die Schwellenspannung des Transistors ist, bilden die angezogenen Elektronen einen leitfähigen Kanal zwischen Drain und Source. Ein Stromfluss ist möglich, sobald eine Potenzialdifferenz zwischen Source und Drain vorherrscht (Abbildung 6).

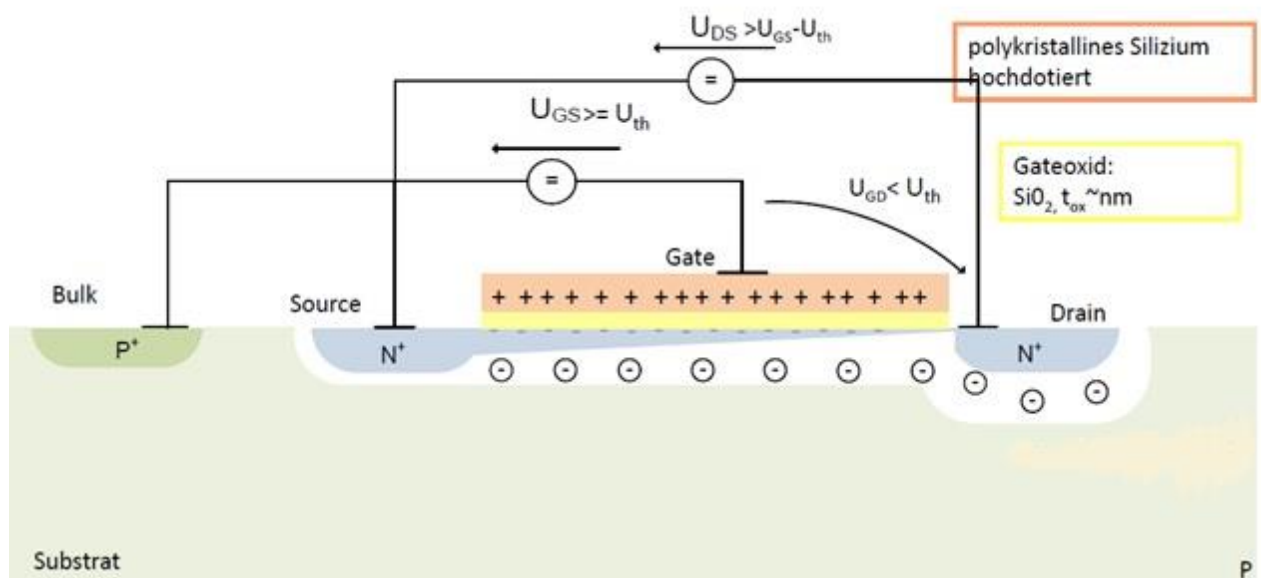


Abbildung 6 Transistor leitet [1]

Bodyeffekt

Durch Veränderung der Source- Bulk-Spannung wird die Raumladungszone größer oder kleiner. Je größer die Source- Bulk-Spannung wird, desto größer wird die Raumladungszone und somit auch die Schwellenspannung.

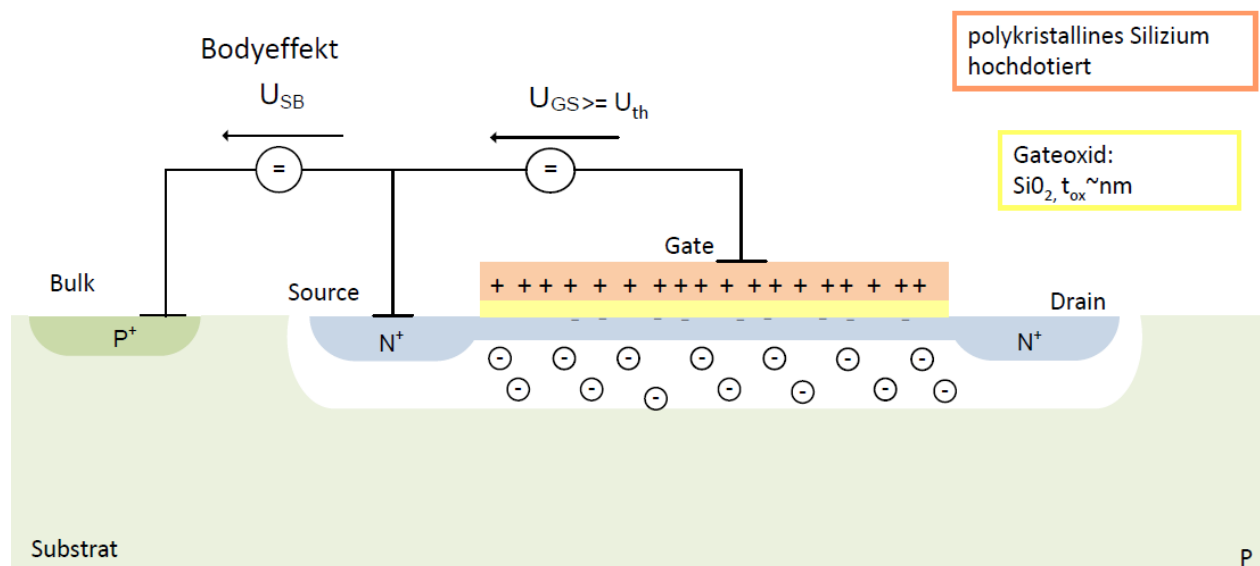


Abbildung 7 Bodyeffekt [1]

Liegt das Potenzial des Substratanschlusses unter dem Potenzial der Source, befindet sich die sogenannte Bulk-Diode, welche sich aus den p- und n-dotierten Bereichen des Source- und Bulk-Anschlusses formt, in Sperrrichtung. Wie bei jeder Diode in Sperrrichtung bildet sich eine Raumladungszone mit ortsgebundenen Ladungen aus. Diese Raumladungszone breitet sich insbesondere im schwach dotierten Substrat im Bereich unterhalb des Kanals aus, in dem Dotierungsatome ionisiert und negativ aufgeladen werden. Je größer die Spannungsdifferenz zwischen Bulk und Source wird, desto weiter wird die Bulk-Diode in Sperrrichtung betrieben, wodurch die Raumladungszone weiter anwächst. Die in der Raumladungszone befindliche negative Ladung muss durch positive Ladungen am Gate gespiegelt werden. Wenn die negative Ladung in der Raumladungszone zunimmt, stehen weniger positive Ladungen am Gate zur Verfügung, um freie Elektronen an die Transistoroberfläche zu ziehen. Dadurch sinkt die Elektronendichte im Kanal und der Stromfluss verringert sich. Um diesem Effekt entgegenzusteuern, muss durch eine Anhebung des Gate-Potentials dafür gesorgt

werden, dass zusätzliche positive Ladungsträger auf den Gate-Kontakt geführt werden. Je nach Polarität der Spannung zwischen Bulk und Source kann auch der entgegengesetzte Effekt auftreten. Der Bodyeffekt wird aus diesem Grund als erhöhte oder verringerte Transistorschwellspannung im Transistormodell eingeführt.

Die Formel der Schwellenspannung ergibt sich aus:

$$U_{th} = U_{th0} + \gamma(\sqrt{2\phi_F - U_{SB}} - \sqrt{2\phi_F})$$

wobei U_{th0} der Schwellenspannung bei einer Source-Bulk-Spannung von $U_{SB} = 0$, ϕ_F dem elektrostatischem Potential und γ dem Body-Effekt Parameter 0 entspricht.

ϕ_F wird wie folgt berechnet:

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_{Sub}}{n_i}\right)$$

k entspricht dabei der Boltzmann Konstante. q steht für die Elementarladung. N_{Sub} stellt die Substratdotierung dar und n_i entspricht der intrinsischen Ladungsträgerkonzentration des verwendeten Substrats.

Für den Bodyeffekt Faktor γ gilt der folgende Zusammenhang:

$$\gamma = \frac{\sqrt{2q\epsilon_{Si}N_{Sub}}}{C_{ox}}$$

Dabei entspricht ϵ_{Si} der Permittivität von Silizium, C_{ox} steht für die Oxidkapazität und N_{Sub} beschreibt die Substratdotierung.

Die Oxidkapazität C_{ox} berechnet sich aus:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

Dabei entspricht ϵ_{ox} der Permittivität und t_{ox} der Dicke des Gate-Oxids.

Die Permittivität des Oxids ϵ_{ox} berechnet sich aus:

$$\epsilon_{ox} = \epsilon_{SiO_2} * \epsilon_0$$

Dabei steht ϵ_{SiO_2} für die relative Dielektrizitätszahl von Siliziumoxid.

Eingangskennlinie eines NMOS

In Abbildung 8 ist die Eingangskennlinie eines NMOS-Transistors bei einer Drain-Source-Spannung von 1,2V dargestellt. Es ist klar zu erkennen, dass der Kanalstrom mit zunehmender Gate-Source-Spannung U_{GS} ansteigt, sobald die Gate-Source-Spannung größer als die Schwellenspannung U_{th} des Transistors wird, die im dargestellten Fall bei etwa 550mV liegt. Der Verlauf deutet auf eine quadratische Abhängigkeit zwischen dem Kanalstrom und der Gate-Source-Spannung U_{GS} hin. Bei genauerer Betrachtung erkennt man, dass auch für $U_{GS} < U_{th}$ Ströme fließen, die jedoch wesentlich geringer als die Ströme oberhalb der Schwellenspannung sind und keine quadratische, sondern eine exponentielle Abhängigkeit von der Gate-Source-Spannung besitzen. Aus diesem Grund wird zwischen zwei Arbeitsbereichen des Transistors unterschieden.

Arbeitsbereiche des MOS-Transistors

Den Arbeitsbereich der **starken Inversion** erreicht der Transistor bei Gate-Source Spannung größer als die Schwellenspannung. In diesem Arbeitsbereich ist der Transistorkanal vollständig ausgebildet und die Ladungsträger können bei angelegtem elektrischem Feld von Source zu Drain driften. Der Transistor befindet sich im Bereich der **schwachen Inversion**, wenn der Transistor mit einer Gate-Source-Spannung unterhalb der Schwellenspannungen angesteuert wird. In diesem Arbeitsbereich ist der Transistorkanal noch nicht vollständig ausgebildet, jedoch können Ladungsträger auf Grund von Diffusionsprozessen von der Source zur Drain gelangen.

Eingangskennlinie eines NMOS-Transistors

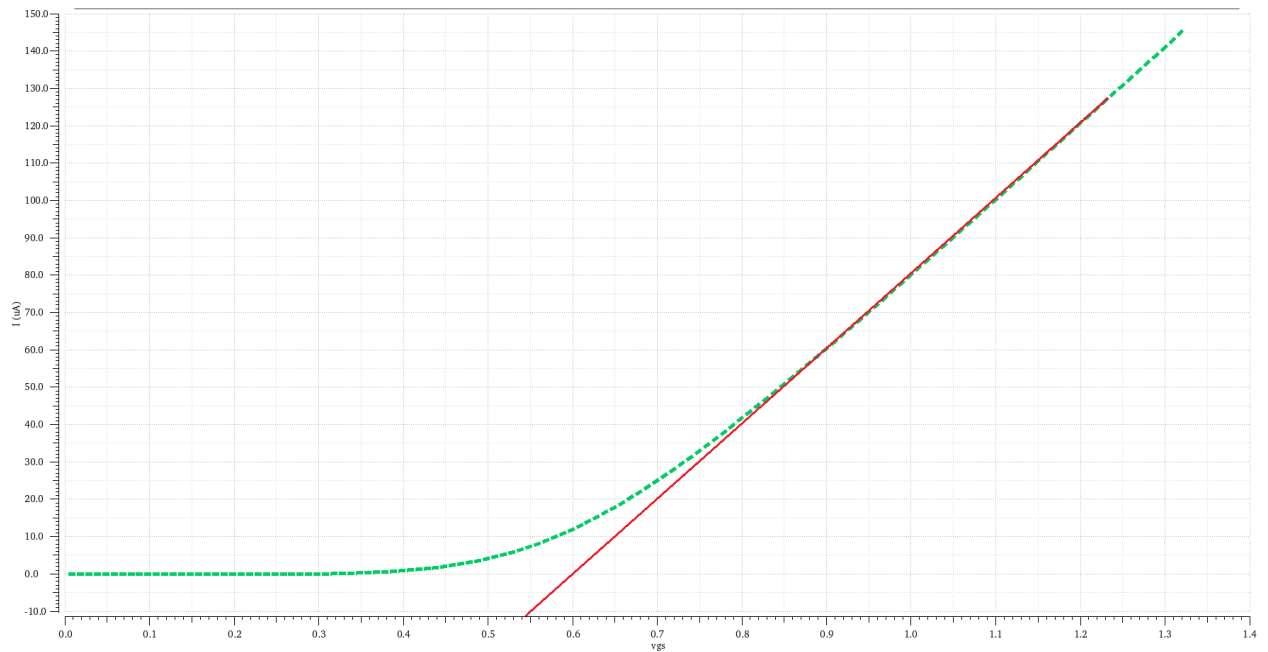


Abbildung 8 Eingangskennlinie eines NMOS-Transistors

Ausgangskennlinie eines NMOS

In Abbildung 9 und 10 sind die Ausgangskennlinien in starker sowie schwacher Inversion dargestellt.

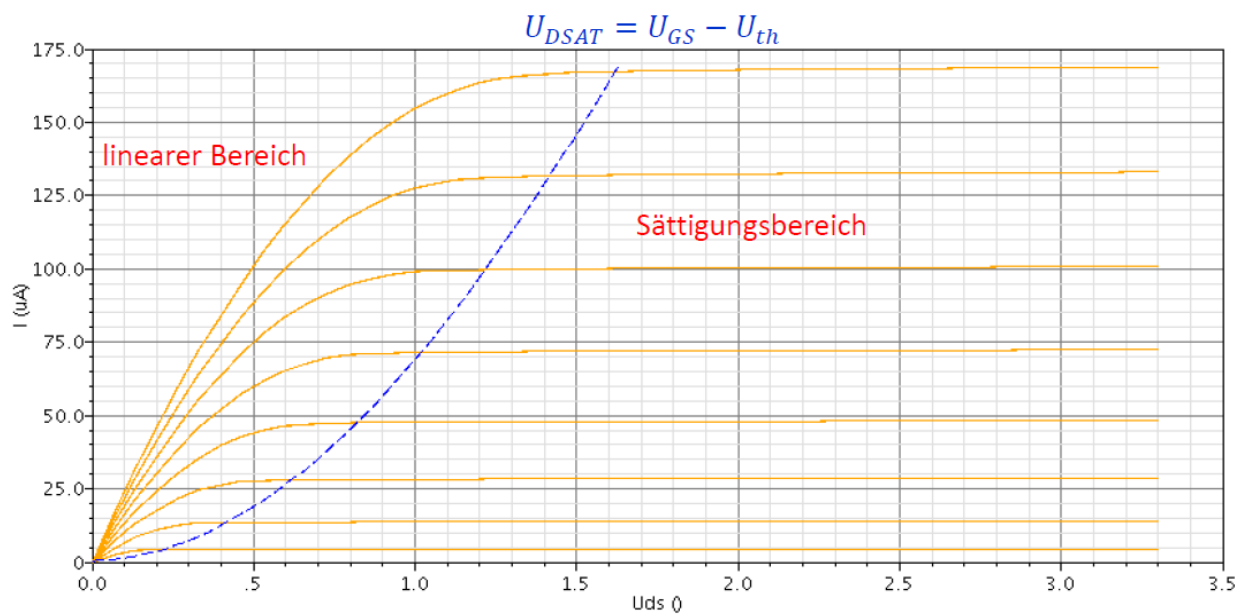


Abbildung 9 Ausgangskennlinie eines NMOS in starker Inversion [3]

Wie den Abbildungen zu entnehmen ist, hat die Drain-Source-Spannung ebenfalls Einfluss auf den Kanalstrom des Transistors. In Abbildung 9 ist die sogenannte Ausgangskennlinie eines NMOS-Transistors in starker Inversion abgebildet, welche die Abhängigkeit des Kanalstromes von der Drain-Spannung U_{DS} visualisiert. An der Abszisse ist die Drain-Source-Spannung und an der Ordinate der Drain-Strom aufgetragen. Es ist ein klarer Übergang zwischen zwei Kennlinienbereichen zu erkennen. Bei Drain-Source-Spannungen unterhalb des Wertes $U_{Dsat} = U_{GS} - U_{th}$ ist der Kanalstrom stark von der Drain-Source-Spannung U_{DS} abhängig und steigt nahezu linear mit der Spannung U_{DS} an. Diesen Kennlinienbereich nennt man den linearen- bzw. Triodenbereich. Oberhalb der Spannung $U_{Dsat} = U_{GS} - U_{th}$, welche auch als Sättigungsspannung bezeichnet wird, befindet sich der Transistor im Sättigungsbereich. In diesem Kennlinienbereich ist der Kanalstrom nahezu unabhängig von der Drain-Source-Spannung U_{DS} und steigt nur leicht mit zunehmender U_{DS} Spannung an. Transistoren in analogen Schaltungen werden meist im Sättigungsbereich und Transistoren in digitalen Schaltungen werden meist im linearen Bereich betrieben.

Transistorgleichung eines MOS-FET Transistors

Auf Grund der unterschiedlichen Abhängigkeiten des Kanalstromes werden auch verschiedene Transistorgleichungen für die einzelnen Arbeits- und Kennlinienbereiche des MOS-Transistors verwendet. Für die Transistorgleichung eines NMOS-Transistors in **starker Inversion** gilt dabei:

$$I_d = \mu C_{OX} \frac{W}{L} [(U_{GS} - U_{th})U_{DS} - U_{DS}^2] \quad ; \quad U_{DS} < U_{GS} - U_{th} \quad \text{linearer Bereich}$$

$$I_d = \frac{1}{2} \mu C_{OX} \frac{W}{L} (U_{GS} - U_{th})^2 (1 + \lambda U_{DS}) \quad ; \quad U_{DS} \geq U_{GS} - U_{th} \quad \text{Sättigungsbereich}$$

wobei μ der Ladungsträgerbeweglichkeit, C_{ox} der Gateoxidkapazität, W der Transistorbreite, L der Transistorlänge, U_{th} der Schwellenspannung und λ dem Kanallängemodulationsfaktor entsprechen.

Der Übergang von der starken zur schwachen Inversion erfolgt bei einer Spannung $U_{GS} - U_{th}$ von etwa 70mV-80mV. In der schwachen Inversion ist die

Sättigungsspannung U_{DSAT} unabhängig von der Gate-Source-Spannung U_{GS} und stellt sich bei etwa dem vierfachen Wert der Temperaturspannung $U_T = k * \frac{T}{q}$ ein. Dabei bezeichnet k die Boltzmannkonstante, T die absolute Umgebungstemperatur in Kelvin und q die Elementarladung. Bei Raumtemperatur erreicht die Temperaturspannung U_T in etwa einen Wert von 25mV. Die Sättigungsspannung liegt dementsprechend bei etwa 100mV.

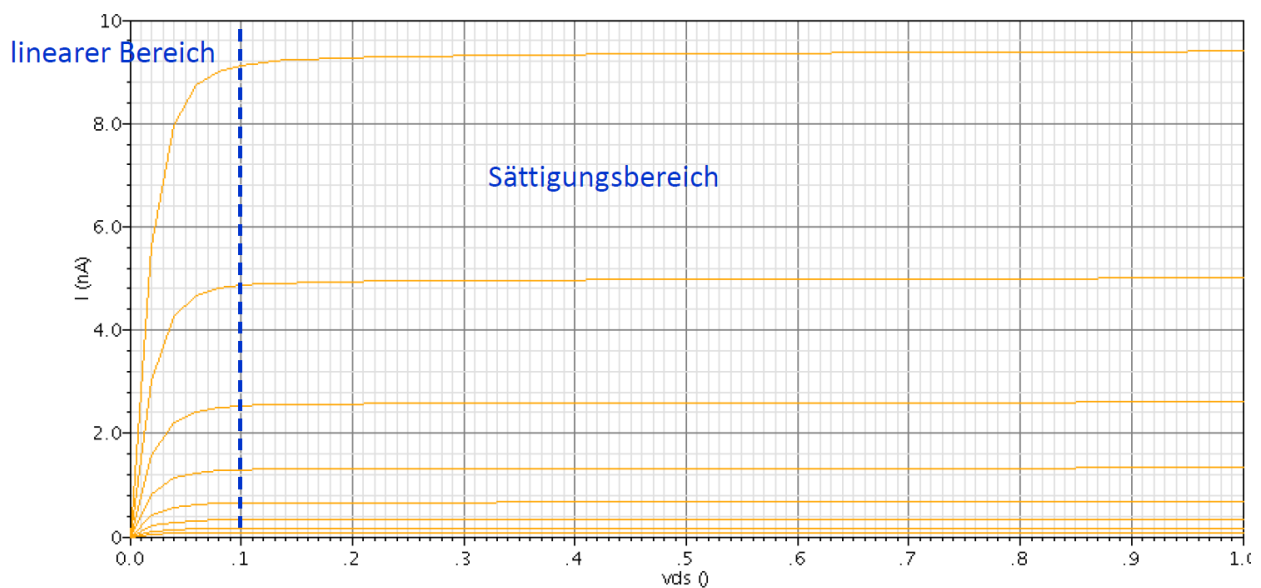


Abbildung 10 Ausgangskennlinie eines NMOS in schwacher Inversion [4]

Für die Transistorgleichung eines NMOS-Transistors in **schwacher Inversion** gilt der folgende Zusammenhang:

$$I_d = 2n\mu C_{OX} U_T^2 \frac{W}{L} * e^{\frac{U_{GS}-U_{th}}{nU_T}} (1 - e^{-\frac{U_{DS}}{U_T}}); \quad U_{DS} < 4 U_T \quad \text{linearer Bereich}$$

$$I_d = 2n\mu C_{OX} U_T^2 \frac{W}{L} * e^{\frac{U_{GS}-U_{th}}{nU_T}} (1 + \lambda U_{DS}); \quad U_{DS} \geq 4 U_T \quad \text{Sättigungsbereich}$$

Die Gleichungen für PMOS-Transistoren ergeben sich aus den Gleichungen für NMOS-Transistoren durch Vertauschen der Indizes der einzelnen Transistorspannungen. U_{GS} und U_{DS} werden folglich bei PMOS-Transistoren durch U_{SG} und U_{SD} ersetzt. Dadurch kann die invertierte Ansteuerung des PMOS-Transistors ohne die Verwendung von Vorzeichen abgebildet werden.

Stromspiegel

Ein Stromspiegel ist eine stromgesteuerte Stromquelle und ermöglicht, Ströme zu kopieren und sie zu skalieren. Durch die Veränderung der Stromstärke I_1 wird ebenfalls die Stromstärke I_2 verändert (siehe Abbildung 11).

Funktionsweise eines Stromspiegels

Um den gleichen Strom zu erzeugen, sollten die Transistoren identisch dimensioniert sein, d. h. dieselbe Kanallänge und Kanalbreite besitzen. Dadurch haben die Transistoren dieselbe Eingangskennlinie. Werden die Transistoren so geschaltet, dass die Gate- und die Source-Anschlüsse auf demselben Potential liegen, ist der Strom I_2 äquivalent zu I_1 . Wenn die Transistoren unterschiedliche Breiten und Längen haben, so wird der Strom I_2 vergrößert oder verkleinert. Da die Schwellenspannung durch parasitäre Effekte von der Kanallänge abhängig ist, sollten Transistoren in Stromspiegeln vorzugsweise die gleiche Kanallänge besitzen. Die Skalierung des Stromes sollte allein durch die Variation der Transistorbreite erfolgen. Eine hohe Spiegelgenauigkeit wird besonders bei ganzzahligen vielfachen oder Teilern erreicht, wenn Transistoren unterschiedlicher Breite durch Parallelschaltung von Einzeltransistoren gleicher Breite erfolgen. In Abbildung 12 ist die Formel für den Stromspiegelfaktor dargestellt.

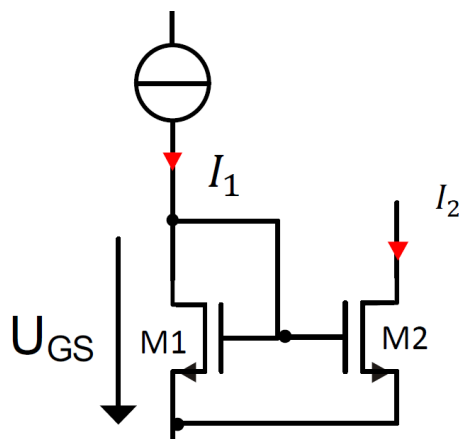


Abbildung 11 Stromspiegel [18]

$$I_2 = \frac{W_2}{L_2} \frac{L_1}{W_1} I_1$$

Abbildung 12 Gleichung für die Einstellung des Eingangstromes I_2 in Abhängigkeit des Eingangstromes I_1 [18]

Strahlungsschäden in integrierten Schaltungen

Eine integrierte Schaltung, die, wie im ATLAS-Experiment, ionisierender Strahlung ausgesetzt ist, erfährt Schäden [5] [6] [7] [8]. Schäden können auf zwei verschiedene Arten auftreten. Eine Schädigungsart entsteht durch kumulative Effekte, die durch Ionisation und Verschiebung verursacht werden. Ionisierende Teilchen erzeugen Ladungen, die sich an einem Schaltungsteil ansammeln und das Verhalten beeinflussen können, was im schlimmsten Fall zu einem Ausfall der Schaltung führt. Im Falle von Verschiebungsschäden wird die Struktur von Siliziumkristallen durch ein hochenergetisches einfallendes Teilchen verändert. Eine zweite Schädigungsart wird durch Single Event Effects (SEEs) generiert, die jederzeit auftreten können und durch einzelne Teilchen verursacht werden. Dies führt beispielsweise dazu, dass ein gespeichertes Bit seinen Wert ändert, was auch als Bit-Flip bezeichnet wird. Neuere CMOS-Fertigungstechnologien (z.B. 250nm, 130nm oder kleiner) besitzen den Vorteil einer intrinsischen Strahlungshärte, d.h. Chips, die in diesen Technologien hergestellt werden, sind weniger von Schäden betroffen als Chips aus älteren Technologien. Auf der anderen Seite gibt es neue Effekte, die in früheren Technologien nicht aufgetreten sind [9] [10], weswegen jede Technologie sorgfältig in Bezug auf ihre Strahlungsfestigkeit hin untersucht werden muss. Um Transistoren widerstandsfähiger gegen Schäden durch Strahlung zu machen, können spezielle Entwurfstechniken eingesetzt werden. Einige dieser Techniken werden auf Schaltungsebene angewendet, während andere den Fertigungsprozess betreffen [5].

Kumulative Strahlungseinflüsse

Wird ein Chip dauerhaft Strahlung ausgesetzt, akkumulieren sich mehrere kleinere Schäden im Laufe der Zeit auf. Während bei SEEs ein einzelnes Teilchen Fehler verursacht, sind es bei kumulativen Effekten die Summe aller Treffer, welche die Merkmale der verwendeten Bauteile beeinflussen. Die Schädigungen entstehen dabei aus der ionisierten Ladung oder durch Gitterschäden in den Halbleiter- oder Isoliermaterialien [11].

Total-Ionizing Dose (TID)

Die durch ionisierende Partikel erzeugten Elektron-Loch-Paare akkumulieren sich im Oxid oder im Grenzflächenbereich der integrierten Halbleiterbauelemente. Während die Elektronen im Oxid relativ beweglich sind, weisen Löcher bzw. positive Ladungsträger ein viel trägeres Verhalten auf. Die Elektronen verlassen demnach sehr schnell das Oxid, während die übrigen Löcher eine positive Aufladung des Oxids bewirken. Dieser Effekt führt bei MOSFETs zu einer Verschiebung der Schwellenspannung. Die Dicke des Gate-Oxids nimmt mit bei aktuellen CMOS Prozessen immer weiter ab, um einen Betrieb mit niedrigen Versorgungsspannungen zu erzielen. Dies führt auch zu einer Verbesserung der Strahlungsfestigkeit denn einerseits werden in einem dünnen Oxid weniger Ladungsträger ionisiert als in einem dicken Oxid und andererseits können ionisierte Ladungsträger auf Grund des Tunneleffekts leichter aus einem dünnen Oxid entkommen [11]. Dies macht moderne CMOS Technologien bereits intrinsisch strahlungshart und ermöglicht den Betrieb mit einer akkumulierten Strahlungsdosis (TID) von über 100 Mrad. Nicht alle Designparameter skalieren dabei auf die gleiche Weise mit fortschreitender Technologie, so dass bei Strukturgrößen von 130nm und darunter andere Effekte auftreten, die zuvor noch nicht beobachtet wurden. In [9] wurde eine Studie an Hand eines 130nm-Prozesses durchgeführt, bei der verschiedene Transistorstrukturen in Bezug auf ihre Strahlungsfestigkeit untersucht wurden. Die Studie hat gezeigt, dass die Isolation zwischen einzelnen Transistoren (STI) die Ursache für die meisten strahleninduzierten Schäden ist. Das STI besitzt im Vergleich zum Gateoxid eine relativ große Dicke und fängt deswegen entlang des Transistors eine ausschließlich positive Ladung ein. Diese positive Ladung zieht negative Ladungsträger an, wodurch ein leitender Kanal ausgebildet wird. Dies macht sich durch einen Anstieg des Leckstroms I_{leak} und durch eine Reduzierung der Schwellenspannung V_{th} bemerkbar. Abbildung 13 zeigt die beiden Parameter als Funktion der akkumulierten Strahlungsdosis TID für verschiedene Transistorstrukturen. Es ist zu erkennen, dass kleinere Transistoren in der Nähe oder bei minimaler Kanallänge stärker betroffen sind als große Transistoren. Ein Transistor minimaler Größe mit $W/L = 0,16/0,12 \mu m$ erfährt eine Erhöhung des Leckstroms um den Faktor 1000, während bei einem 10/1-Transistor nur eine Erhöhung um den Faktor 10, d.h. um zwei Größenordnungen kleiner, beobachtet wird. Dies ist dadurch zu erklären, dass der Kanal, der durch die eingeschlossenen Ladungen im STI

entsteht, bei schmalen und kurzen Transistoren einen größeren prozentualen Teil der Transistorweite ausmacht als bei breiten Transistoren.

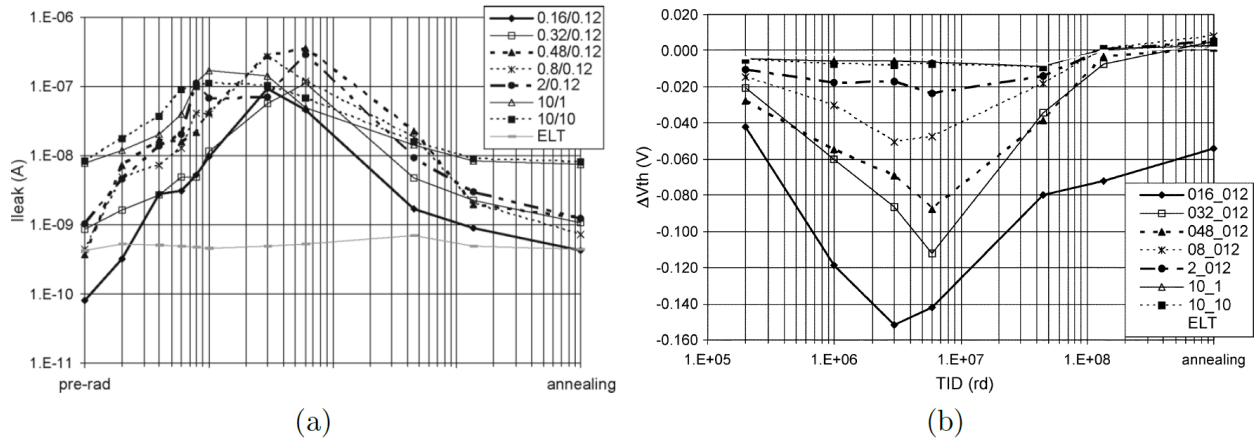


Abbildung 13 Strahlungsinduzierte Veränderungen des Ableitstroms I_{leak} (a) und der Schwellenspannung V_{th} (b) für verschiedene Transistorgrößen [9].

Zu beachten ist jedoch, dass größere Transistoren einen fast zehnmal höheren Anfangsleckstrom aufweisen. Kaum betroffen sind geschlossene Layouttransistoren (ELTs), also Transistoren mit ringförmigem Gate. In Abbildung 13 ist auch zu sehen, dass sich ein Maximum für den Leckstrom I_{leak} und die Schwellenspannungsverschiebung V_{th} bei einigen Mrad ausbildet. Der Anstieg bei niedrigen Dosen ist auf positive Ladungen zurückzuführen, die wie oben beschrieben im STI eingeschlossen sind. Negative Ladungen, die im Grenzflächenbereich eingeschlossen sind, beginnen die Wirkung der Oxidladungen mit einiger Verzögerung zu reduzieren. Aufgrund der unterschiedlichen Zeitkonstanten der Prozesse stellt sich dieses zuvor beschriebene Maximum ein. Dieser Effekt ist ebenfalls abhängig von der Transistorgeometrie und ist stärker bei schmalen Kanälen (kleine W). Der beobachtete Effekt wurde in [9] beschrieben und als strahlungsinduzierter Engkanal-Effekt (RINCE) bezeichnet. Die Höhe des RINCE-induzierten Maximums hängt von verschiedenen Parametern wie Temperatur, Dosisleistung und anderen Betriebsbedingungen ab. Für den in IBL verwendeten FE-I4-Chip wurden Studien durchgeführt, die zeigen, dass eine höhere Betriebstemperatur zu niedrigeren Spitzenwerten führt [12].

Verdrängungsschäden

Einfallende hochenergetische Teilchen können zu Schäden am Siliziumgitter führen. Atome des Gitters werden verschoben und verursachen dadurch zusätzliche Defekte im Silizium. Die Verdrängungsschäden hängen vom nichtionisierenden Energieverlust der Teilchenart und -energie ab [13]. Durch Verdrängungsschäden werden zusätzliche Energiezustände eingeführt, welche sich in der Mitte der Bandlücke befinden. Diese Zwischenzustände erhöhen den Leckstrom und führen zu einem höheren Rauschen in einem Silizium-Sensor. Im schlimmsten Fall erwärmt der zusätzliche Leckstrom den Sensor und verursacht dadurch einen noch höheren Leckstrom. Dieser thermische Prozess kann im schlimmsten Fall zur Zerstörung einer Sensorzelle führen [14]. Verdrängungsschäden können auch eine Änderung der Dopingkonzentration herbeiführen, die sich auf die Eigenschaften der Transistoren auswirkt. Mehr Informationen in Bezug auf die Auswirkungen von Verdrängungsschäden finden sind zu finden in [13] [14] [15]. [16]

Der Operationsverstärker

Ein Operationsverstärker ist ein elektronisches Bauteil, das die Differenz der Eingangssignale verstärkt am Ausgang ausgibt. In Abbildung 14 ist das Schaltzeichen eines Operationsverstärkers abgebildet.

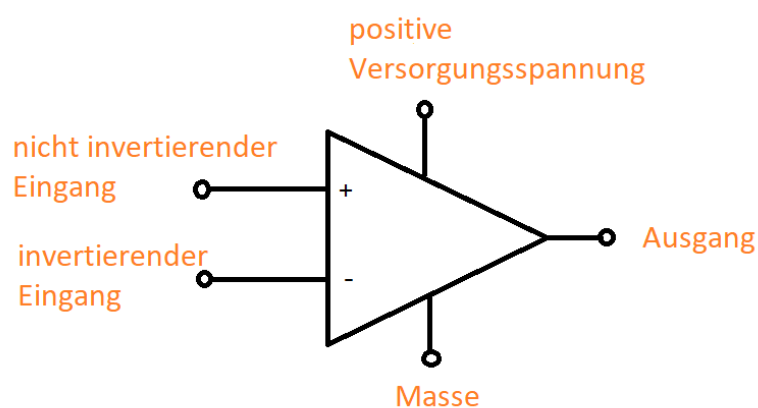


Abbildung 14 Operationsverstärker

Funktionsweise des Operationsverstärkers

Grundsätzlich benötigt ein Operationsverstärker eine Versorgungsspannung und besitzt zwei Eingänge und einen Ausgang. Den Eingang mit dem „+“ Zeichen bezeichnet man als nicht-invertierenden Eingang, den Eingang mit dem „-“ Zeichen als invertierenden Eingang. Da die Versorgungsspannung des Verstärkers in diesem Projekt 1,2V entspricht, liegt die Ausgangsspannung des Verstärkers zwischen 0V und 1,2V. Zwischen dem invertierenden und dem nicht-invertierenden Eingang liegt eine Differenzspannung. Wenn beispielsweise am nicht-invertierenden Eingang eine Spannung von 10,000.010V und am invertierenden Eingang eine Spannung von 10,000.008V anliegt, besitzt die Differenzspannung einen Wert von $10,000.010V - 10,000.008V = 2\mu V$. Die Differenzspannung von, in diesem Fall, $2\mu V$ wird mit einem Verstärkungsfaktor multipliziert und an den Ausgang gegeben.

Der Verstärkungsfaktor wird als Differenzverstärkung bezeichnet und Werte um den Faktor 1.000.000 erreichen. Angenommen, dass ein Verstärker mit differentieller Verstärkung von 1.000.000 vorliegen würde, dann würde sich im behandelten Beispiel eine Ausgangsspannung von 2V einstellen. Da sich dieser Wert jedoch oberhalb der Versorgungsspannung befindet, sättigt der Verstärkerausgang bei 1,2V. Aus dem beschriebenen Grund werden Verstärker mit hohem Verstärkungsfaktor selten ohne Rückkopplungspfad verwendet. Eine Rückkopplung der Ausgangsspannung auf den invertierenden Eingang führt dazu, dass sich die Spannung am invertierenden und nichtinvertierenden Eingang angleichen und sich sehr kleine Differenzspannungen einstellen, wodurch die Saturierung der Ausgangsspannung vermieden werden kann. Dieser Zustand wird auch als virtueller Kurzschluss an den Eingängen des Operationsverstärkers bezeichnet. Der virtuelle Kurzschluss kann herangezogen werden, um die Spannungsverhältnisse in einer Operationsverstärkerschaltung zu berechnen.

Low-Dropout-Regler

Low-Dropout-Regler werden in großem Umfang für eine breite Vielfalt an Elektronikanwendungen und in vielen unterschiedlichen Branchen eingesetzt. Sie sind einfache und kostengünstige Regler zur Steuerung und Regelung einer

Ausgangsspannung. LDOs werden in den meisten Anwendungen dazu verwendet, eine empfindliche Last von einer störbehafteten Energiequelle zu isolieren. Der Low-Dropout Regler gehört zu der Klasse der linearen Spannungsregler. Der Unterschied zum klassischen linearen Spannungsregler ist, dass der LDO die Spannung regeln kann, auch wenn die Differenz zwischen Eingang und Ausgang relativ gering ist. Bei LDOs liegt diese Differenz bei etwa 200 mV.

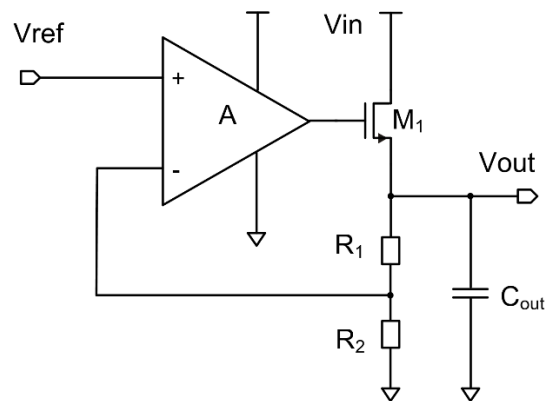


Abbildung 15 Low-Dropout-Regler

Aufbau und Funktionsweise

Der LDO besteht im Prinzip aus einer Referenzspannung, einem Operationsverstärker, einem Durchgangselement, welches auch Pass-Device genannt wird und einem Widerstand in Reihe zum Kondensator am Ausgang. Low-Dropout-Regler können je nach Anforderung folgende Durchgangselemente enthalten: p-Kanal-MOSFET, n-Kanal-MOSFET, NPN-Transistor oder PNP-Transistor.

Die Wahl des Durchgangselements wird nach Wunsch der Dropout-Spannung, also der Differenz zwischen dem Eingang und Ausgang gewählt. Der MOSFET ist dafür da, die Ausgangsspannung durch Änderung des Kanalstromes anzupassen. Der Operationsverstärker vergleicht die Spannung, welche durch den Spannungsteiler am Ausgang gebildet wird, mit einer Referenzspannung. Je nach Eingangsspannungsdifferenz stellt sich eine höhere oder niedrigere Ausgangsspannung am Operationsverstärker ein, so dass die Spannung zwischen Gate und Source des Transistors anwächst oder kleiner wird. Dadurch fließt mehr oder weniger Strom zum

Reglerausgang. Der Kondensator am Ausgang dient als Speicher und definiert meist auch die Bandbreite bzw. die Reaktionszeit des LDO. Der Widerstand in Reihe zum Kondensator hat eine stabilisierende Wirkung und verhindert, dass der Regler schwingt.

Der Regler kann nicht sofort auf Lastwechsel reagieren, sondern benötigt dafür eine gewisse Zeit. Diese Zeit wird auch als die Zeitkonstante des Reglers bezeichnet und ist eng mit der Bandbreite des Reglers verknüpft. Wenn die Last plötzlich zunimmt, wird zunächst kein zusätzlicher Strom vom Pass-Device zur Verfügung gestellt. Der zusätzliche Laststrom wird demnach zunächst in den Ausgangskondensator entladen, wodurch die Ausgangsspannung etwas abfällt. Am Operationsverstärker wird die Spannung am nichtinvertierenden Eingang nun kleiner als am invertierenden Eingang. Die Differenzspannung am Eingang des Operationsverstärkers wird dadurch leicht negativ, was dazu führt, dass die Ausgangsspannung des Operationsverstärkers sinkt. Da der Ausgang des Operationsverstärkers am Gate des PMOS-Transistors angeschlossen ist, steigt zeitgleich die Source-Gate-Spannung U_{SG} des PMOS, wodurch sich der Stromfluss durch das Pass-Device erhöht. Der Lastanstieg wird demnach vom Pass-Device ausgeglichen und die Spannung auf den ursprünglichen Wert zurück geregelt. Die Last bekommt nun mehr Strom und der Kondensator wird wieder aufgeladen.

Stabilität des Reglers

Low Dropout Regler haben den Nachteil, dass durch den Aufbau der Schaltung besonders auf die Stabilität geachtet werden muss. Das „spezielle Nyquist-Kriterium“ ermöglicht eine Beurteilung der Stabilität ohne die Übertragungsfunktion zu kennen. Es wird nur die Ortskurve oder das Bode Diagramm des offenen Regelkreises benötigt. Den Frequenzgang des offenen Regelkreises kann man beispielsweise in der Entwicklungsumgebung Cadence über die Stability Analyse ermitteln. Für die Simulation ist es nötig der Software mitzuteilen, an welcher Stelle der Regelkreis geöffnet werden soll. Hierfür wird eine Spannungsquelle zwischen dem Spannungsteiler am Ausgang des Reglers und dem nichtinvertierenden Eingang des Operationsverstärkers gelegt und die DC-Spannung auf 0V gesetzt.

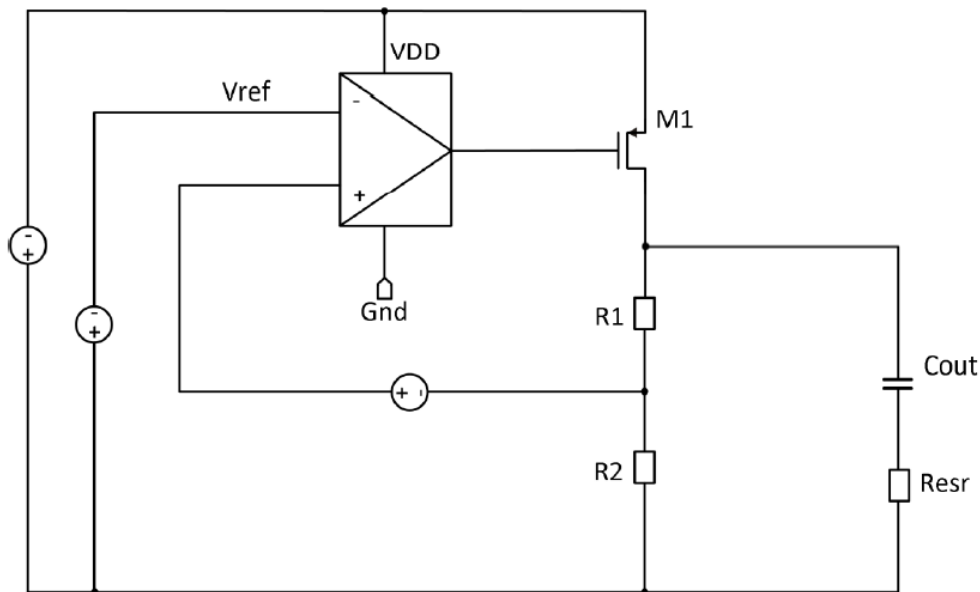


Abbildung 16 Offener Regelkreis

Das spezielle Nyquist-Kriterium

Das spezielle Nyquist-Kriterium wird anhand des folgenden Systems erklärt. In der Abbildung 17 ist ein einfacher Regelkreis zu sehen. $F_o(s)$ ist die Übertragungsfunktion des offenen Regelkreises, welche den Regler, das Stellglied, die Regelstrecke und das Rückkoppelglied einschließt. $Y(s)$ ist die Ausgangs- und $W(s)$ die Führungsgröße. Alle Signale, auch die Führungsgröße und die Rückkopplung über dem Messglied kann man als eine Überlagerung aus Sinusschwingungen betrachten, die das System durchlaufen. Diese Schwingungen erfahren aufgrund des Übertragungsverhaltens der einzelnen Glieder des Regelkreises eine Phasenverschiebung.

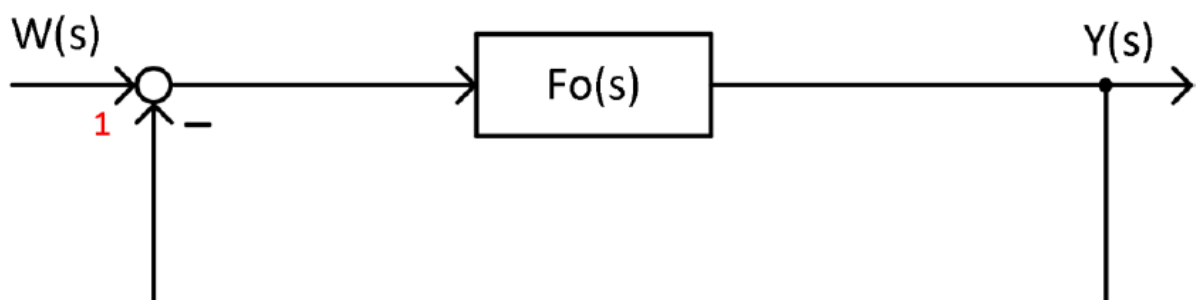


Abbildung 17 Regelkreis

Das Ausgangssignal $Y(s)$ wird auf den Eingang zurückgeführt und von der Führungsgröße $W(s)$ abgezogen. Eine derartige Reglerstruktur wird als Gegenkopplung bezeichnet. Durch die Differenzbildung erhält das zurückgekoppelte Signal eine Phasendrehung von 180° . Des Weiteren überlagern sich an der Stelle (1), die zwei Schwingungen, die dem Eingangs- und dem Rückkopplungssignal entsprechen. Erzeugen die in der Übertragungsfunktion $F_o(s)$ zusammengefassten Glieder des offenen Regelkreises eine Phasendrehung von weiteren 180° , wird aus der Gegenkopplung eine Mitkopplung. In diesem Fall stellt sich statt der Differenzbildung eine Summation der Führungsgröße mit der Rückkoppelgröße ein. Das resultierende Signal steigt dadurch immer weiter an und das System kann instabil werden. Für die Stabilität des Systems ist die Verstärkung des Regelkreises bei der Frequenz ausschlaggebend, bei der das Rückkopplungssignal eine Phasenverschiebung von 180° erfährt. Ist die Verstärkung bei dieser Frequenz größer als eins, wirkt der Regelkreis wie ein Oszillator und ist instabil. Ist die Verstärkung bei dieser Frequenz kleiner eins, nimmt der Regelkreis einen stabilen stationären Zustand ein. Besonders anschaulich kann die Stabilität durch die Ortskurve bestimmt werden, welche den Frequenzgang des offenen Regelkreises in Betrag und Phase zeitgleich visualisiert.

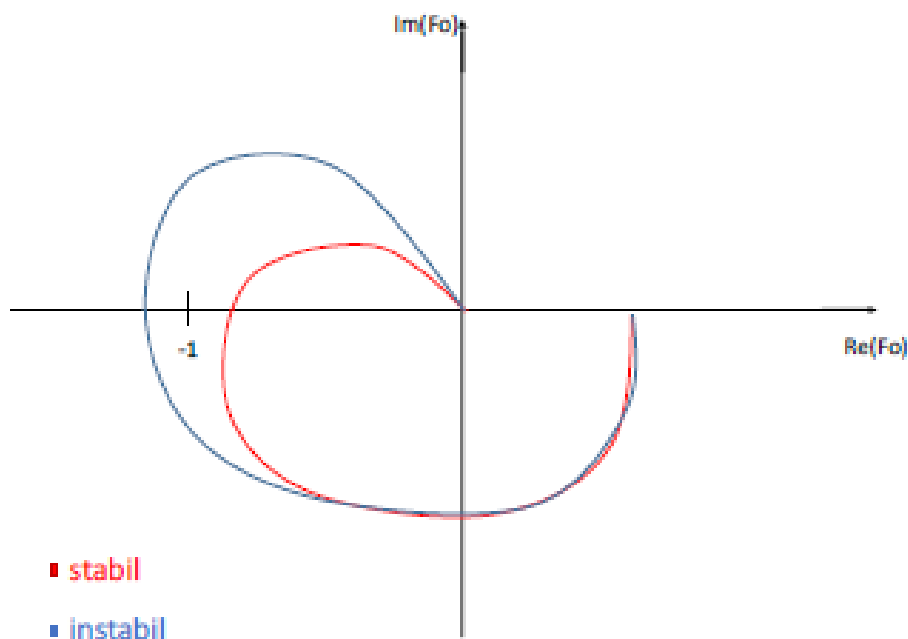


Abbildung 18 Ortskurve für stabiles und instabiles System

Nach der Definition des Nyquist-Kriteriums, ist ein System dann stabil, wenn die Ortskurve des offenen Regelkreises den Punkt -1 der Ortskurvenebene weder umschließt, noch durchdringt. Einfacher ausgedrückt kann man sagen, dass das System stabil ist, wenn die Ortskurve den Punkt -1 in der komplexen Ebene links liegen lässt.

Die Stabilität eines Systems kann aber auch im Bode-Diagramm beurteilt werden. Anders als bei der Ortskurve wird im Bode-Diagramm der Amplituden- und Phasengang in zwei getrennten Kurven dargestellt. Darüber hinaus ist die Frequenzachse im Bode-Diagramm logarithmisch skaliert und die Amplitude in der logarithmischen Einheit Dezibel aufgetragen. In der Abbildung 19 ist beispielhaft erklärt, wie anhand eines Bode-Diagramms beurteilt werden kann, ob ein System stabil ist.

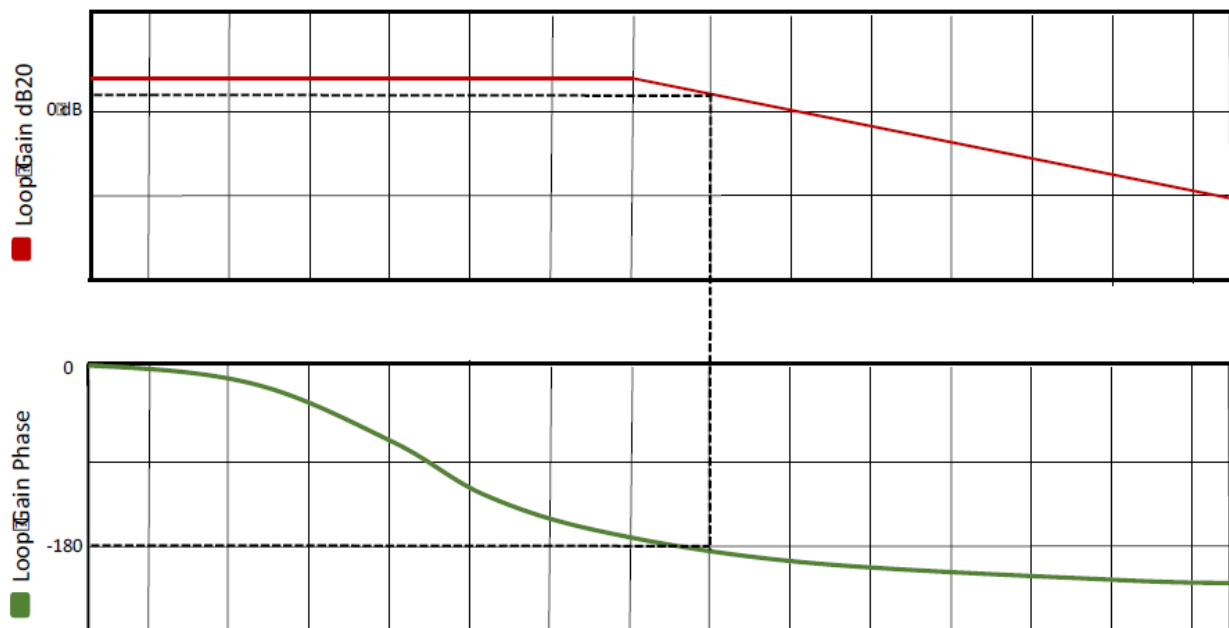


Abbildung 19 Stabilität überprüfen anhand des Bode Diagramms

Ein System ist stabil, wenn bei einer Phasenverschiebung von $f = -180^\circ$ des offenen Regelkreises, die Verstärkung kleiner als 1 ist. Im Bode Diagramm betrachtet man dazu die kritische 0 dB Linie. Bei einer Phasendrehung von 180° wird abgelesen, ob die Verstärkung unter oder oberhalb der 0 dB Linie liegt.

Das System in Abbildung 20 wäre somit instabil.

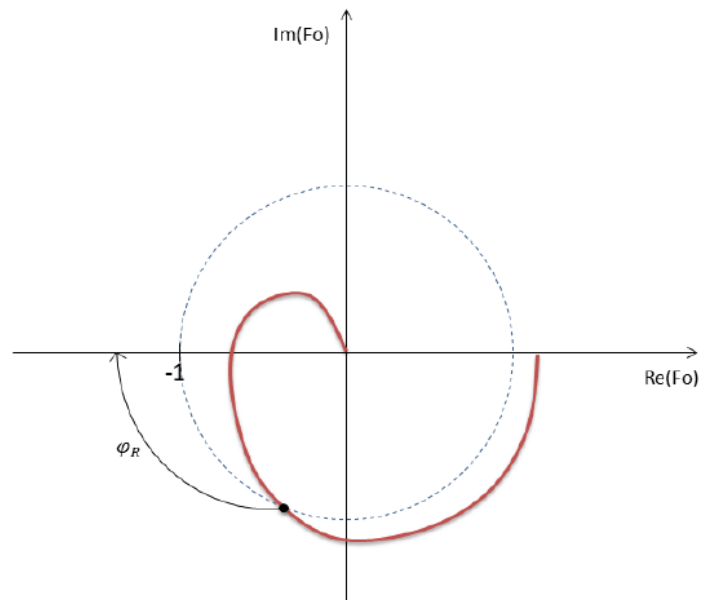


Abbildung 20 Phasenreserve in der Ortskurve

Die Dämpfung eines Reglers kann anhand der Phasenreserve beurteilt werden. Die Phasenreserve sagt aus, wie weit der Phasengang an der Durchtrittsfrequenz von -180° entfernt ist. Die Durchtrittsfrequenz ist die Kreisfrequenz, bei der die Betragskennlinie des offenen Regelkreises durch die 0 dB-Linie tritt. [16]

4 Reglerschaltung

Die in dieser Arbeit vorgestellte 5V Reglerschaltung basiert auf dem Entwurf des zuvor beschriebenen konventionellen LDO Spannungsreglers. Um die Strahlungsfestigkeit des Reglers im 5V Betrieb zu gewährleisten, wurden jedoch spezielle Entwurfstechniken angewendet und zusätzliche nötige Schaltungsteile eingeführt, die im Folgenden beschrieben werden.

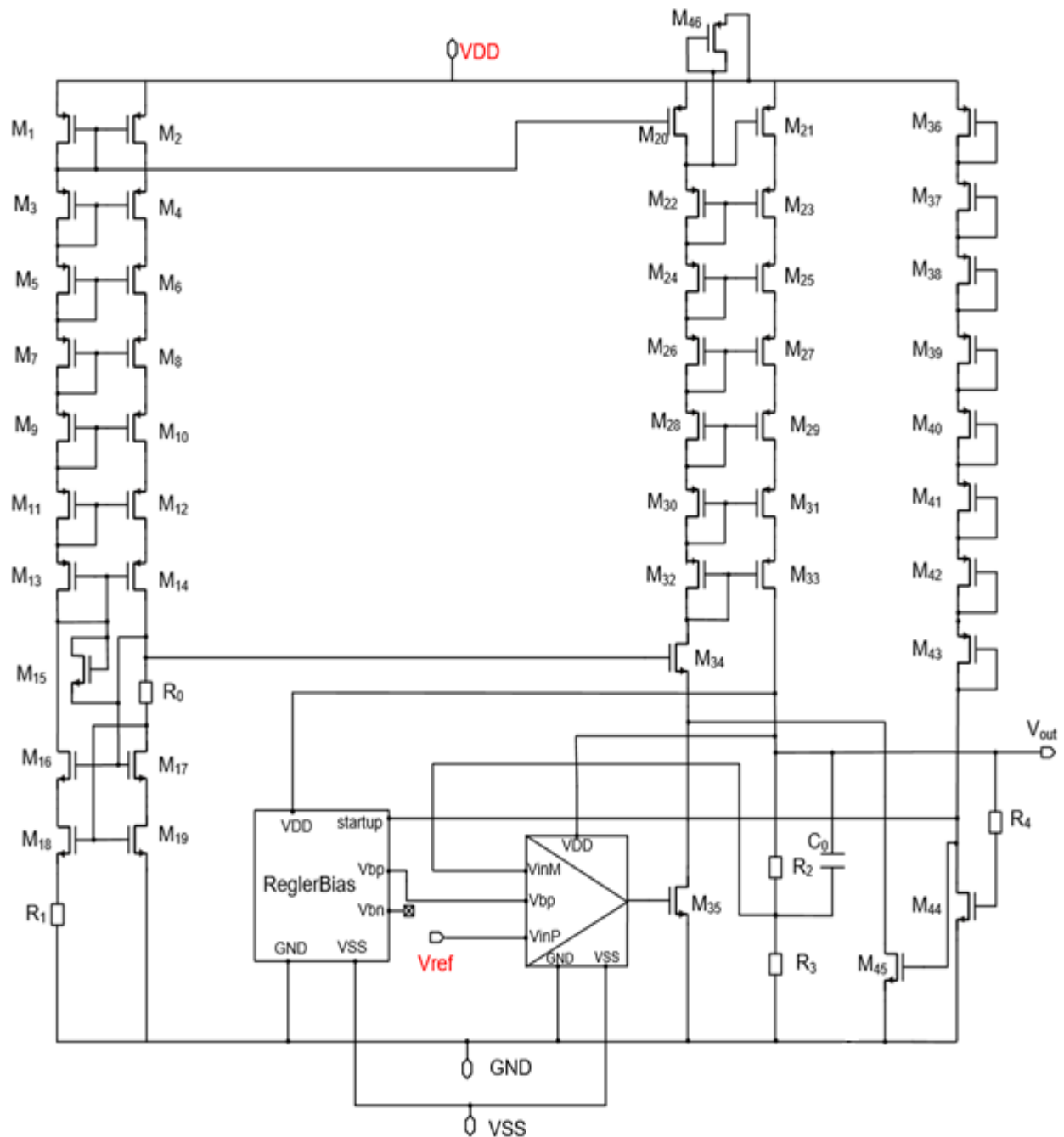


Abbildung 21 Schaltung

Das Funktionsprinzip

Am Spannungsregler liegt eine Eingangsspannung von 5V an, die oberhalb der Technologiegrenze des verwendeten CMOS Prozesses liegt. Um den differentiellen Verstärker vor der hohen Eingangsspannung zu schützen, entspricht die Versorgungsspannung des differentiellen Verstärkers der Ausgangsspannung des Reglers, was ein wesentliches Merkmal dieser Schaltungsarchitektur darstellt.

Die in Reihe geschalteten Transistoren M23 – M33 dienen als regelbarer Widerstand, um lastunabhängig die Ausgangsspannung von 1,2V einzustellen. Die Arbeitspunkte dieser Transistoren werden über eine mehrfach kaskodierte Stromspiegelstruktur unter Verwendung der Transistoren M22-M32 eingestellt.

Der Transistors M46 der parallel zum Transistor M20 verschaltet ist, reduziert den Ausgangswiderstand an diesem Punkt. Diese Schaltungstechnik verbessert in zweifacher Hinsicht das Stabilitätsverhalten der Schaltung. Erstens wird die Verstärkung dieser Stufe kleiner. Zweitens wird die Polfrequenz vergrößert. Beides hat zur Folge, dass die Durchtrittsfrequenz zu niedrigen Frequenzen verschoben wird. Eine niedrige Durchtrittsfrequenz führt dazu, dass alle hochfrequenten Pole bei einer Schleifenverstärkung unterhalb von 0 dB liegen.

Die Transistoren M36-M43 gehören zu einer Startup-Schaltung, welche dazu beitragen soll, dass die Transistoren des Reglers während des Einschaltvorgangs in den richtigen Arbeitspunkt überführt werden. Diese Startup-Schaltung ist nötig, weil bei diesem speziellen Regler, der Verstärker mit der geregelten Ausgangsspannung und nicht mit der unregulierten Eingangsspannung versorgt wird.

Im Folgenden soll nun das Regelungsprinzip der Schaltung detailliert beschrieben werden. Angenommen die Ausgangsspannung sinkt unter den gewünschten Wert von 1,2V auf beispielsweise 1,0V. Die reduzierte Ausgangsspannung von 1,0V wird mit Hilfe des Spannungsteilers, welcher aus den gleichgroßen Widerständen R2 und R3 geformt wird, durch zwei geteilt, wodurch sich eine Spannung von 500mV ergibt. Diese

Spannung am Spannungsteiler wird auf den invertierenden Eingang des Verstärkers zurückgeführt und mit einer Referenzspannung von 600mV, die am nichtinvertierenden Eingang des Verstärkers anliegt, verglichen. Als Folge steigt die Ausgangsspannung des Verstärkers, welche am Gate des NMOS-Transistors M35 anliegt. Der NMOS Transistor zieht dementsprechend mehr Strom. Wenn der Strom durch Transistor M35 größer als der Strom durch Transistor M20 wird, fällt das Potential am Drain von M35 bzw. am Gate von M21 und die Source-Gate-Spannung des Transistors M21 steigt. Durch die größere Source-Gate-Spannung des Transistors M21 fließt mehr Strom zum Ausgang des Reglers, wodurch die Ausgangsspannung des Reglers wieder ansteigt. Im eingeschwungenen Zustand gilt das Prinzip des virtuellen Kurzschlusses an den Eingängen des differentiellen Verstärkers. Die Schaltung regelt sich so ein, dass die Referenzspannung von 600mV sowohl am invertierenden als auch am nichtinvertierenden Eingang anliegt.

Entsprechend dem Teilungsfaktor von 1/2 des Spannungsteilers stellt sich eine Spannung von 1,2V am Ausgang des Reglers ein. Der Transistor M34 schirmt den Transistor M35 vor zu hohen Spannungsabfällen ab.

Im Folgenden wird die Funktion der Startup-Schaltung umschrieben. Für den Fall, dass die Ausgangsspannung des Reglers 0V beträgt, sperrt der Transistor M44. Am Gate des Transistors M45 liegt infolge eine Spannung von ungefähr $U_G = V_{DD} - 8 * U_{th}$ an, was zu einer hohen Gate-Source-Spannung des Transistors M45 führt. Wenn der Transistor M45 mehr Strom zieht, als der Transistor M20 liefern kann, fällt die Spannung an dem Drain des Transistors M20 ab und die Source-Gate-Spannung des Transistors M21 steigt an. Dadurch fließt mehr Strom in den Reglerausgang, wodurch der Regler in den gewünschten Arbeitspunkt gehoben wird und sich eine Ausgangsspannung von 1.2V einstellt.

Für den Fall, dass die Ausgangsspannung 1,2V beträgt, leitet der Transistor M44. Das Gate Potential von M45 beträgt nicht mehr $U_G = V_{DD} - 8 * U_{th}$, sondern $U_G = V_{DD} - 8 * (U_{th} + U_{dsat})$. Dementsprechend fließt ein höherer Strom durch Transistor M44, wodurch das Gate-Potentials des Transistors M45 sinkt, bis er schließlich sperrt.

Somit hat der Transistor M45 im gewünschten Arbeitspunkt des Reglers keinen Einfluss auf die Funktion der Schaltung.

Der Kondensator am Ausgang des Reglers, welcher der Last parallelgeschaltet ist, unterstützt die Regeldynamik besonders bei schnellen Lastwechseln und wird für die Stabilisierung des Reglers benötigt.

Der Beta Multiplier

Die Arbeitspunkteinstellung erfolgt über einen mehrfach kaskodierten Beta-Multiplier, der aus zwei gegenläufigen Stromspiegeln und dem Widerstand R1 besteht. Wie in Abbildung 21 dargestellt, werden die Stromspiegel aus den Transistoren M1 und M2 bzw. M18 und M19 geformt. Der Transistor M15 dient dabei als Startup-Schaltung, um den Beta-Multiplier beim Einschaltvorgang in den gewünschten Arbeitspunkt zu überführen. Fließt beispielsweise kein Strom durch die Transistoren des Beta-Multipliers, werden die Gate-Source bzw. Source-Gate-Spannungen der Transistoren sehr klein. Die Gates der PMOS-Transistoren M1-M14 besitzen in diesem Fall eine relativ hohe Spannung, welche am Drain und am Gate des Transistors M15 anliegt. In gleicher Weise werden die Gates der NMOS-Transistoren M16-M20 sehr kleine Werte bezüglich Masse annehmen, wodurch die Spannung an der Source des Transistors sehr kleine Werte annimmt. In Folge stellt sich eine Gate-Source-Spannung am Transistor M15 ein, die einen signifikanten Querstrom vom linken zum rechten Zweig des Beta-Multipliers bewirkt. Dieser Stromfluss hebt die Schaltung schließlich in den richtigen Arbeitspunkt, die Source-Gate bzw. Gate-Source-Spannungen nehmen zu, wodurch die Gate-Source-Spannung des Transistors M15 auf null zurückgeht und sich die Startup-Schaltung abschaltet.

Der differentielle Verstärker

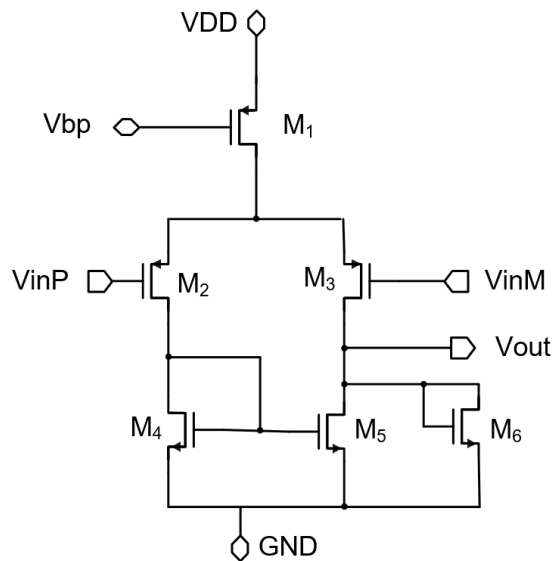


Abbildung 22 Der differentielle Verstärker

Funktionsweise des differentiellen Verstärkers

Da die kaskodierten Transistoren des Reglers bereits zu einer sehr hohen Schleifenverstärkung führen, wird der differentielle Verstärker als einstufige Schaltung mit einer PMOS-Eingangsstufe ausgeführt. Der Transistor M1 stellt dabei den Stromfluss durch den differentielle Verstärker ein, welcher durch eine spezielle Biasing-Schaltung eingestellt wird. Besitzen die Eingänge des differentiellen Verstärkers V_{inM} und V_{inP} das gleiche Potential, teilt sich der eingestellte Strom gleichmäßig auf die Transistoren M2 und M3 auf. Der Transistor M4 spiegelt den Strom, der durch M2 fließt, auf den Transistor M5. Wenn nun derselbe Strom durch Transistor M3 wie durch Transistor M5 fließt stellt sich am Ausgang ein Mittelpotential ein. Der Transistor M6, hat dieselbe Funktion wie der Transistor M46 in Abbildung 21. Er dient dazu, den Ausgangswiderstand des Verstärkers zu verringern, was zu einer Verringerung der Verstärkung an diesem Knoten und zu einer verbesserten Stabilisierung des Reglers führt. Wenn nun an V_{inP} eine höhere Spannung als an V_{inM} anliegt, wird der Strom durch M2 kleiner und der Strom durch M3 größer. Der kleinere Strom durch Transistor M4 wird auf M5 gespiegelt, was dazu führt, dass mehr Strom durch Transistor M3 als durch Transistor M5 fließt. Somit steigt die Ausgangsspannung V_{out} .

Bias-Schaltung

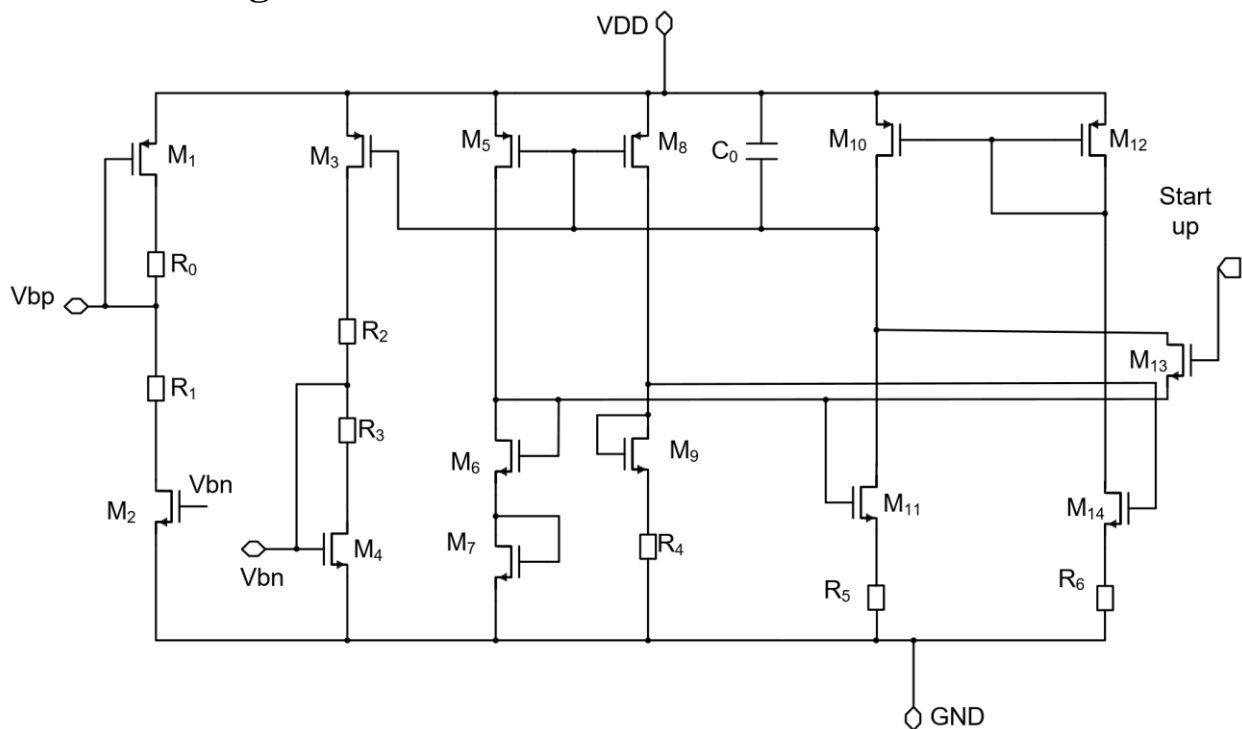


Abbildung 23 Bias-Schaltung

Funktionsweise der Bias-Schaltung

Um einen konstanten Arbeitspunkt zu erhalten, müssen die Gate-Source-Spannungen der Transistoren M5 und M8 konstant bleiben und durch die Transistoren M6 und M9 derselbe Strom fließen.

Im Fall, dass der Transistor M9 mehr Strom zieht als M6, steigt die Gate-Source-Spannung von M9 im Gegensatz zu M6 an. Das bedeutet, dass sich die Eingangsspannung des differentiellen Verstärkers, welcher aus den Transistoren M10-M12 und M14 besteht, verändert und der Transistor M14 einen höheren Strom als M11 liefert. Dieser Strom wird mit Hilfe des Stromspiegels, von M12 auf M10 gespiegelt. Nun liefert M10 mehr Strom als M11 ziehen kann, was zu einem Wiederanstieg der Ausgangsspannung führt. Der Transistor M7 wird für eine grobe Kompensation des Temperaturverhaltens des Widerstandes R4 verwendet. Dadurch ändert sich der Referenzstrom nur gering mit der Temperatur.

Im Fall, dass die Eingangsspannung V_{DD} höher wird, wird die Ausgangsspannung des differentiellen Verstärkers ebenfalls höher, um weiterhin die gleiche Source-Gate Spannungen der Transistoren M5 und M8 zu erhalten und somit einen konstanten Stromfluss zu gewährleisten.

Der Startup Zweig wird während des Einschaltvorgangs aktiviert. Hierfür wird das Gatepotential des Transistors M45 in der Startup-Schaltung des Reglers an das Gate des NMOS-Transistor M13 geführt. Ist der Transistor M13 geschlossen, wird ein Strom in die Schaltung eingepreßt, der die Transistoren in den gewünschten Arbeitspunkt hebt.

M1 und M4 bilden jeweils eine Seite eines Stromspiegels. Die Leitung V_{bp} und V_{bn} können an alle PMOS und NMOS Transistoren, die eine Arbeitspunkteinstellung benötigen, geführt werden. Die Widerstände R0, R1, R2, R3, R5 und R6 unterstützen die Arbeitspunkteinstellung der jeweiligen Transistoren.

5 Simulation

Für die Simulation wird der Regler in die aus Abbildung 24 dargestellte Testbench eingebettet, welche neben idealen Spannungsquellen für die Versorgung und Referenzspannung auch über einen Widerstand und eine Stromquelle als konfigurierbare Last des Reglers verfügt. Darüber hinaus befindet sich in der Testbench noch ein Kondensator mit Reihenwiderstand (ESR) für die Stabilisierung des Reglers. Die Simulation wird mit der Entwurfssoftware Cadence durchgeführt und erfolgt bei den Temperaturen -40°C , 27°C und 120°C sowie mit den verschiedenen Prozess Cornern ff, fs, sf, ss und tt. Zusätzlich zu den Corner Simulationen wurde die Monte Carlo Simulation durchgeführt. Bei der Corner Simulation werden alle Transistoren gleichermaßen beeinflusst und auf eine spezielle zu erwartende Prozessvarianz gesetzt. Bei der Monte-Carlo Simulation hingegen werden die Parameter aller Transistoren unabhängig voneinander und zufällig verändert. Der Regler wird mit vier verschiedenen Ausgangs Lastströmen belastet. Dabei ist zu beachten, dass in allen Betriebsfällen die Gate-Drain-Spannung, die Drain-Source-Spannung und die Gate-Source-Spannung aller Transistoren nicht größer als $1,32\text{V}$ bei NMOS-Transistoren und nicht kleiner als $-1,32\text{V}$ bei PMOS-Transistoren betragen dürfen. Zusätzlich wurde geprüft, ab welcher Eingangsspannung der Regler startet und bis zu welcher Eingangsspannung die Spannungsgrenzen für die Transistoren eingehalten werden. In Abbildung 34 ist die Konfiguration der automatisierten Checks dargestellt. Durch diese Checks werden Spannungen betragsmäßig größer als $1,32\text{V}$ angezeigt.

Parametereinstellung des Reglers

- Die Transistoren **M9**, **M31**, **M34**, **M36**, **M39**, **M40**, und **M42** haben eine Länge von 200nm und eine Breite von $9\mu\text{m}$, sowie ein Multiplier von 10.
- Die Transistoren **M63**, **M64**, **M65**, **M66**, **M67**, **M68**, **M69**, **M70**, **M71**, **M72**, **M73**, **M74**, **M75**, **M76** und **M135** haben eine Länge von 200nm und eine Breite von $9\mu\text{m}$.
- Die Transistoren **M7**, **M32**, **M33**, **M37**, **M41**, **M38**, und **M43** sind um den Faktor 2500-mal größer, als die oben aufgeführten Transistoren.
- Die Transistoren **M44**, **M45**, **M46**, **M47**, **M48**, **M49**, **M50**, **M51** und **M133** haben eine Länge von 200nm und eine Breite von $9\mu\text{m}$ sowie ein Multiplier von 4.

- Der Transistor **M132** hat eine Länge von $4\mu\text{m}$, eine Breite von $20\mu\text{m}$ und einen Multiplier von 16.
- Der Transistor **M35** hat eine Länge von 200nm , eine Breite von $3\mu\text{m}$ und einen Multiplier von 50.
- Der Transistor **M0** hat eine Länge von $4\mu\text{m}$, eine Breite von $20\mu\text{m}$ und einen Multiplier von 4.
- Die Transistoren **M29**, **M52** und **M54** haben eine Länge von 200nm und eine Breite von $3\mu\text{m}$.
- Der Transistor **M53** hat eine Länge von 200nm , eine Breite von $3\mu\text{m}$ sowie ein Multiplier von 5.
- Die Kapazität **C0** beträgt 74 pF . Mit einer Breite von 155nm und einem Multiplier von 74.
- Die Widerstände **R0**, **R1** und **R4** haben eine Länge von $14,22\mu\text{m}$ und eine Breite von $2\mu\text{m}$, die Widerstandswerte betragen $5\text{k}\Omega$.
- Der Widerstand **R6** hat eine Länge von $5,69\mu\text{m}$ und eine Breite von $2\mu\text{m}$. Der Widerstandswert beträgt $2\text{k}\Omega$.
- Der Widerstand **R7** hat eine Länge von $1,7\mu\text{m}$ und eine Breite von $1\mu\text{m}$. Der Widerstandswert beträgt $1,2\text{ M}\Omega$ und der Multiplier 2.

Parametereinstellung der Testbench

- Der Widerstandswert von **R0** beträgt $86\text{m}\Omega$.
- Die Kapazität **C0** beträgt $2,2\mu\text{F}$.
- Die Spannungsquelle **V1** liefert eine Spannung von 5V und die Referenzspannungsquelle **V0** liefert 600mV .

Parametereinstellung des differentiellen Verstärkers

- Der Transistor **M7** hat eine Länge von $2\mu\text{m}$ und eine Breite von $7\mu\text{m}$ sowie ein Multiplier von 65.
- Die Transistoren **M2** und **M6** haben eine Länge von $2\mu\text{m}$ und eine Breite von $40\mu\text{m}$ sowie einen Multiplier von 100.

- Der Transistor **M10** hat eine Länge von 200nm und eine Breite von 500nm sowie ein Multiplier von 11.
- Der Transistor **M4** hat eine Länge von 200nm und eine Breite von 500nm sowie ein Multiplier von 10.
- Der Transistor **M11** hat eine Länge von 200nm und eine Breite von 500nm.

Parametereinstellung des Bias-Schaltung

- Der Transistor **M7** hat eine Länge von $2\mu\text{m}$ und eine Breite von $35\mu\text{m}$.
- Der Transistor **M36** hat eine Länge von $2\mu\text{m}$ und eine Breite von $1,2\mu\text{m}$.
- Die Transistoren **M34, M37, M39, M42, M43, M44** und **M45** haben eine Länge von $2\mu\text{m}$, und eine Breite von $12\mu\text{m}$.
- Die Transistoren **M0, M1, M2, M3, M5** und **M50** haben eine Länge von $2\mu\text{m}$ und eine Breite von $40\mu\text{m}$.
- Die Widerstände **R34** und **R36** haben eine Länge von $14\mu\text{m}$ und eine Breite von $2\mu\text{m}$. Die Widerstandswerte betragen $4,92\text{k}\Omega$.
- Die Widerstände **R32** und **R35** haben eine Länge von $20\mu\text{m}$ und eine Breite von $2\mu\text{m}$. Die Widerstandswerte betragen $7\text{k}\Omega$.
- Die Widerstände **R22, R25** und **R36** haben eine Länge von $27,6\mu\text{m}$ und eine Breite von $2\mu\text{m}$. Die Widerstandswerte betragen $9,7\text{k}\Omega$.
- Die Kapazität **C0** hat eine Breite von 100nm und beträgt $2,59\text{pF}$.

Testbench

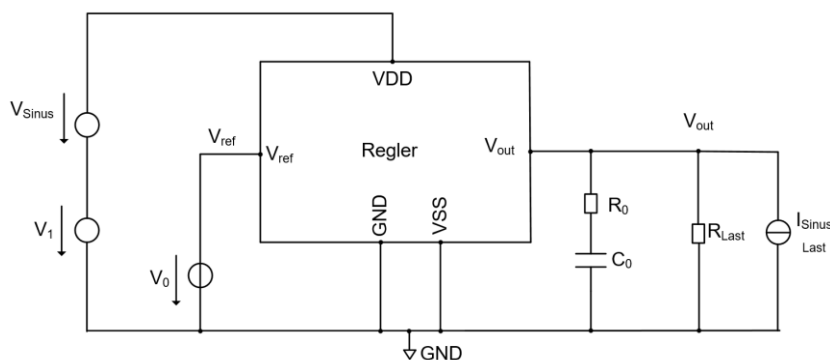


Abbildung 24 Testbench

DC-Simulation mit einem Laststrom von 200mA bei einer konstanten Eingangsspannung von 5V

Regler

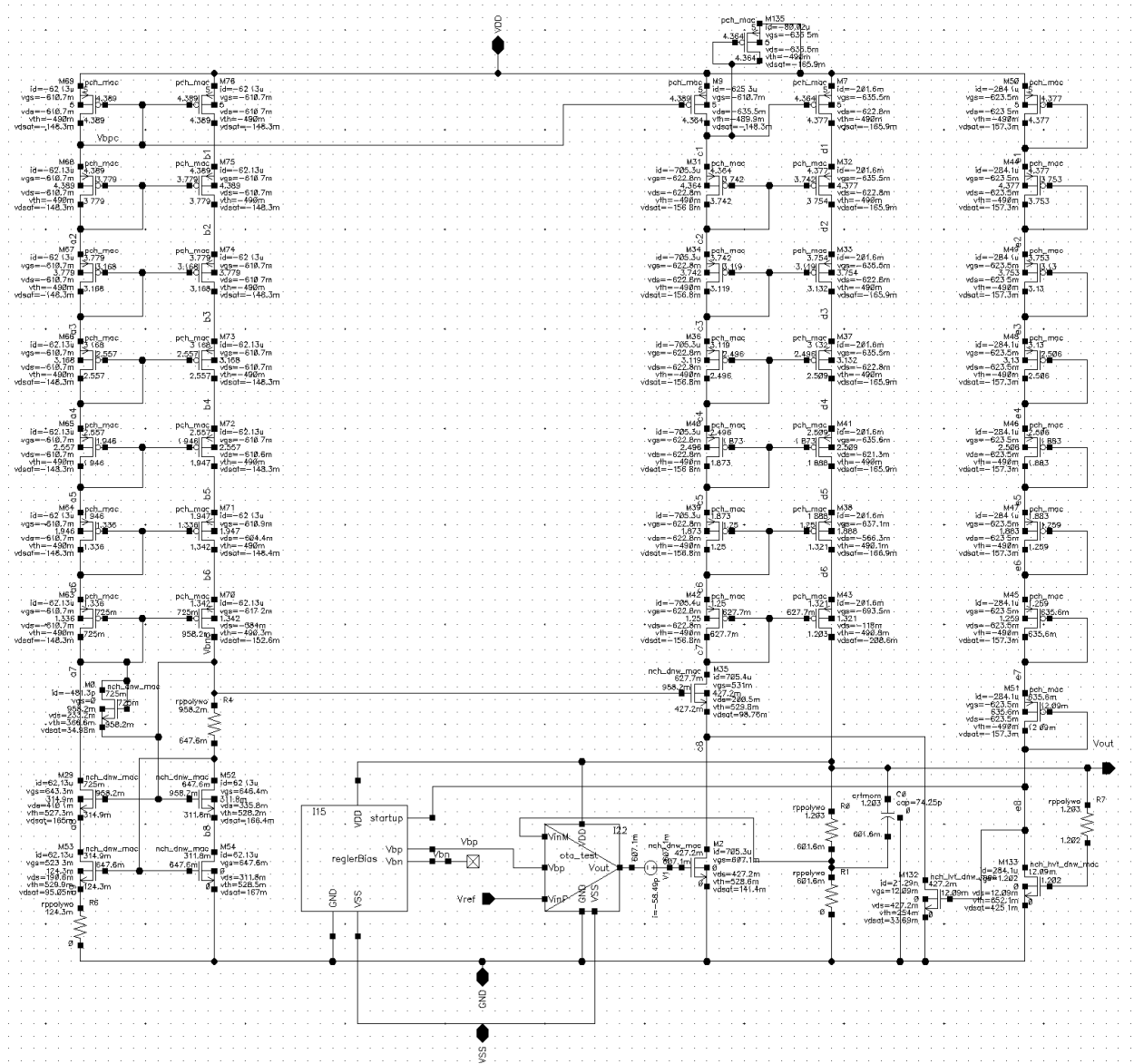


Abbildung 25 Laststrom von 200mA

Es ist zu erkennen, dass alle Transistoren in Abbildung 25 bis auf die Transistoren M0 und M132 in starker Inversion und in Sättigung sind. Die Transistoren M0 und M132 befinden sich im Sättigungsbereich in schwacher Inversion. Die Spannungsgrenze von 1,32V bzw. -1,32V wird nicht überschritten. Die Doppelstromspiegelstruktur prägt den gewünschten Strom in die Schaltung ein. Der Regler funktioniert bis zu einem Laststrom von 200mA. Die gewünschte Ausgangsspannung von 1,2V wird erreicht.

Differenzieller Verstärker bei einem Laststrom von 200mA

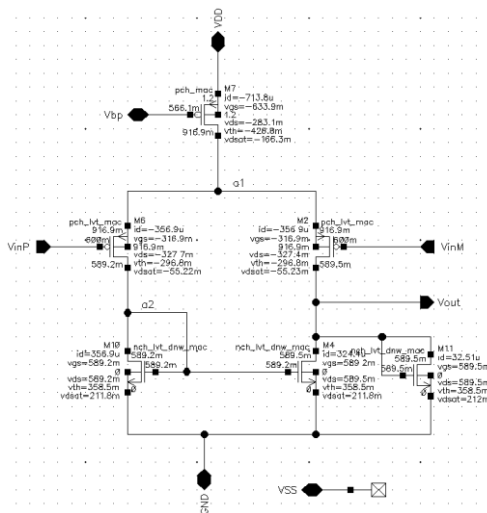


Abbildung 26 Differenziellen Verstärker bei einem Laststrom von 200mA

In Abbildung 26 ist zu erkennen, dass bis auf M2 und M6 alle Transistoren in starker Inversion und in Sättigung sind. Die Transistoren M5 und M6 befinden sich in schwacher Inversion und im Sättigungsbereich. Die maximalen Betriebsspannungsgrenzen werden nicht überschritten.

Bias-Schaltung bei einem Laststrom von 200mA

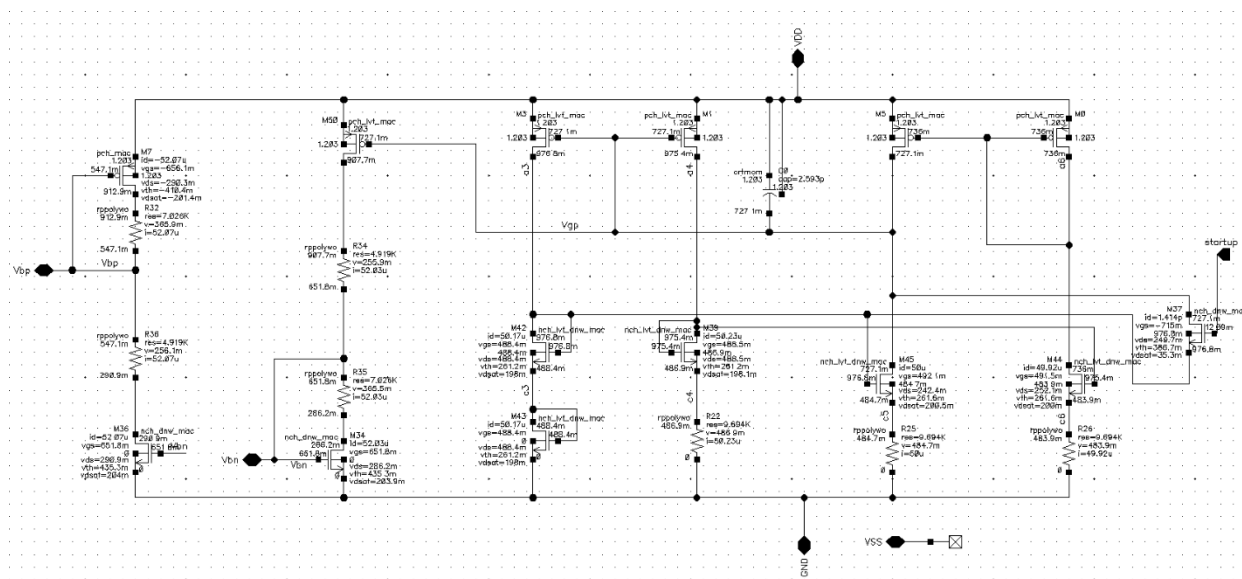


Abbildung 27 Bias-Schaltung bei einem Laststrom von 200mA

In Abbildung 27 ist zu erkennen, dass alle Transistoren in starker Inversion und in Sättigung sind. Die maximalen Betriebsspannungsgrenzen werden nicht überschritten.

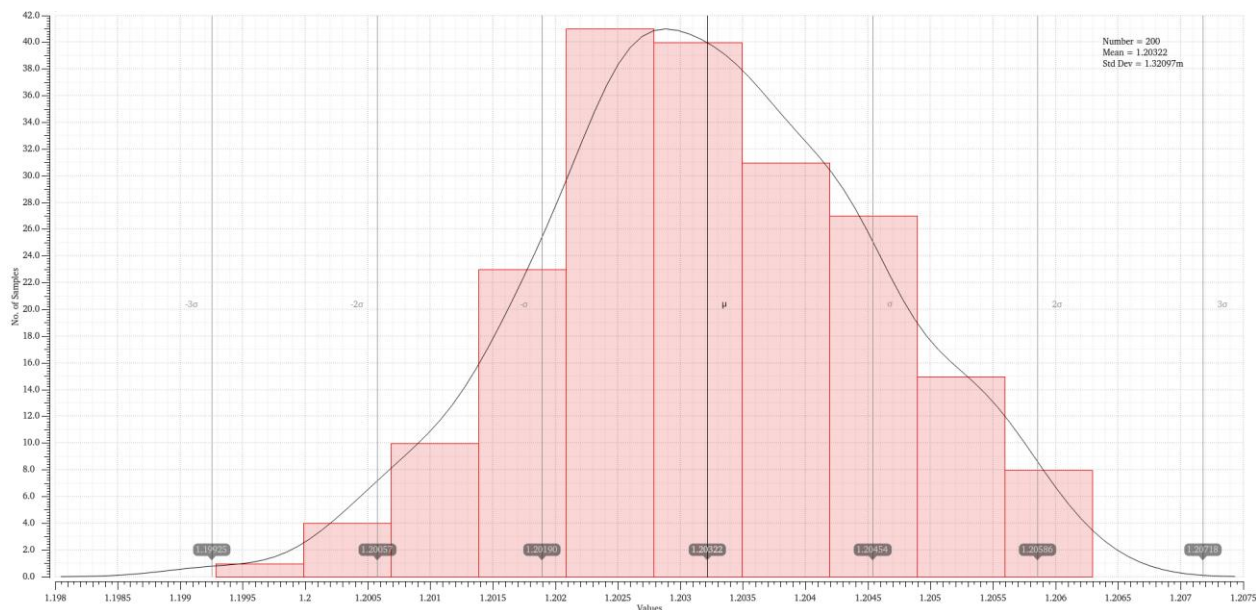


Abbildung 28 Monte Carlo Simulation bei 200mA Laststrom

Wie bereits erwähnt wurden neben den Corner Simulationen, auch Monte Carlo Simulationen durchgeführt. Die Simulationen erfolgen mit 200 Iterationen, die zufällig ausgewählt wurden. In Abbildung 28 ist auf der Abszisse die Ausgangsspannung, und auf der Ordinate die Anzahl der Beispielproben abgebildet. Die Ausgangsspannung variiert zwischen 1,9925V und 1,20063V. Die meisten Proben liegen im Bereich von 1,202V bis 1,20454V. Wie auch bei der Corner Simulation wird bei der Monte Carlo bestätigt, dass bei einem Laststrom von 200mA die gewünschte Ausgangsspannung erreicht wird und mit einer Standardabweichung von etwa 1 mV eine ausreichende Präzision vorhanden ist.

DC-Simulation mit einem Laststrom von 100mA bei einer konstanten Eingangsspannung von 5V

Regler

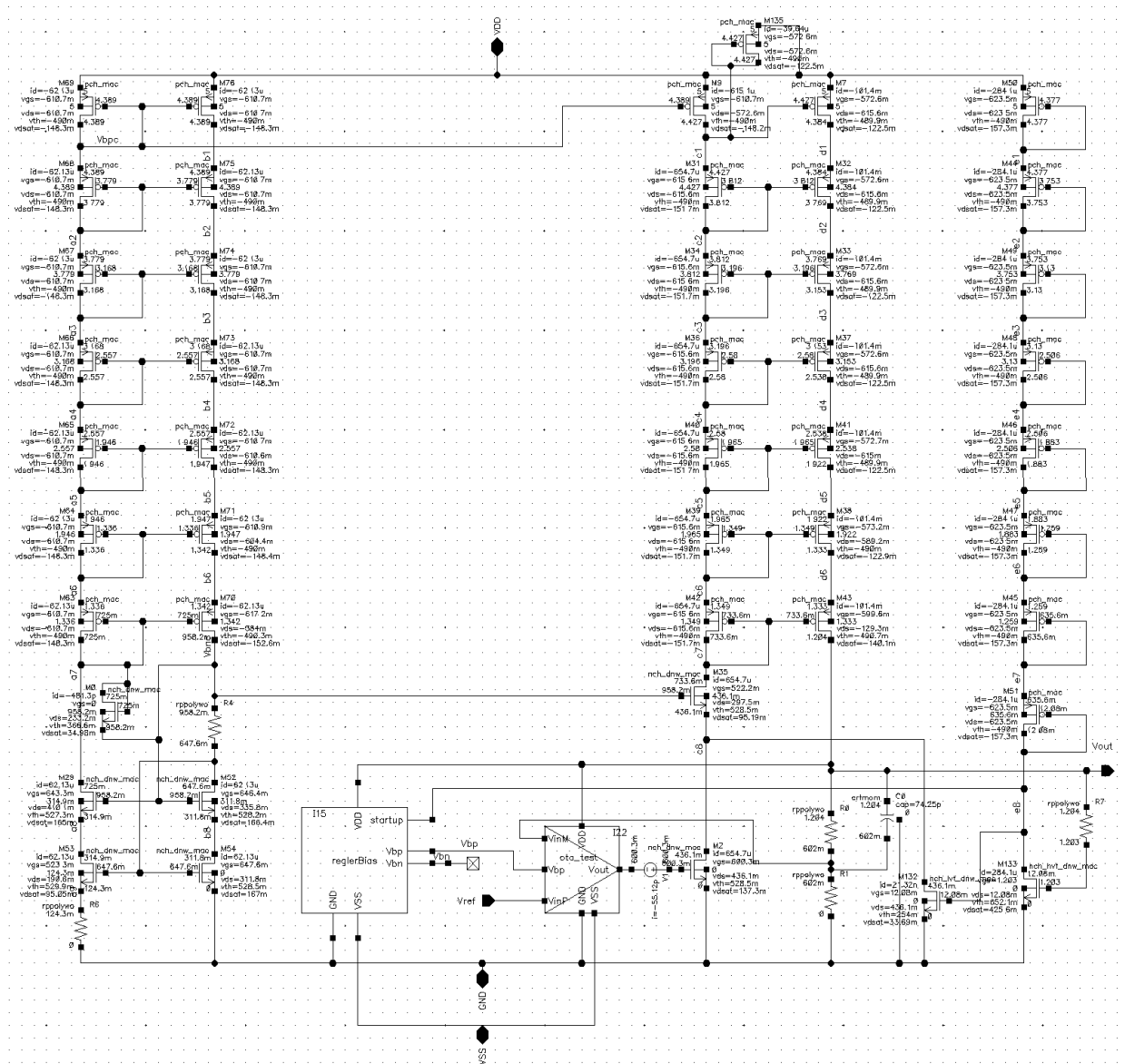


Abbildung 29 Laststrom von 100mA

Es ist zu erkennen, dass alle Transistoren in Abbildung 29 bis auf M0 und M132 in starker Inversion und in Sättigung sind. Die Transistoren M2 und M6 in Abbildung 30 befinden sich in schwacher Inversion und im Sättigungsbereich. Die Spannungsgrenze von 1,32V bzw. -1,32V wird nicht überschritten. Der Regler funktioniert bei einem Laststrom von 100mA. Die gewünschte Ausgangsspannung von 1,2V wird erreicht.

Differenzieller Verstärker bei einem Laststrom von 100mA

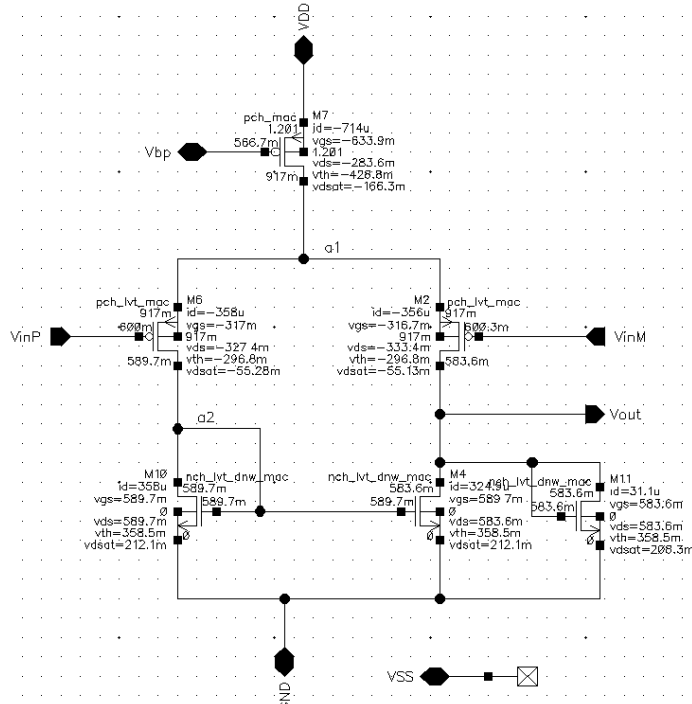


Abbildung 30 Differenziellen Verstärkers bei 100mA Laststrom

Bias-Schaltung bei einem Laststrom von 100mA

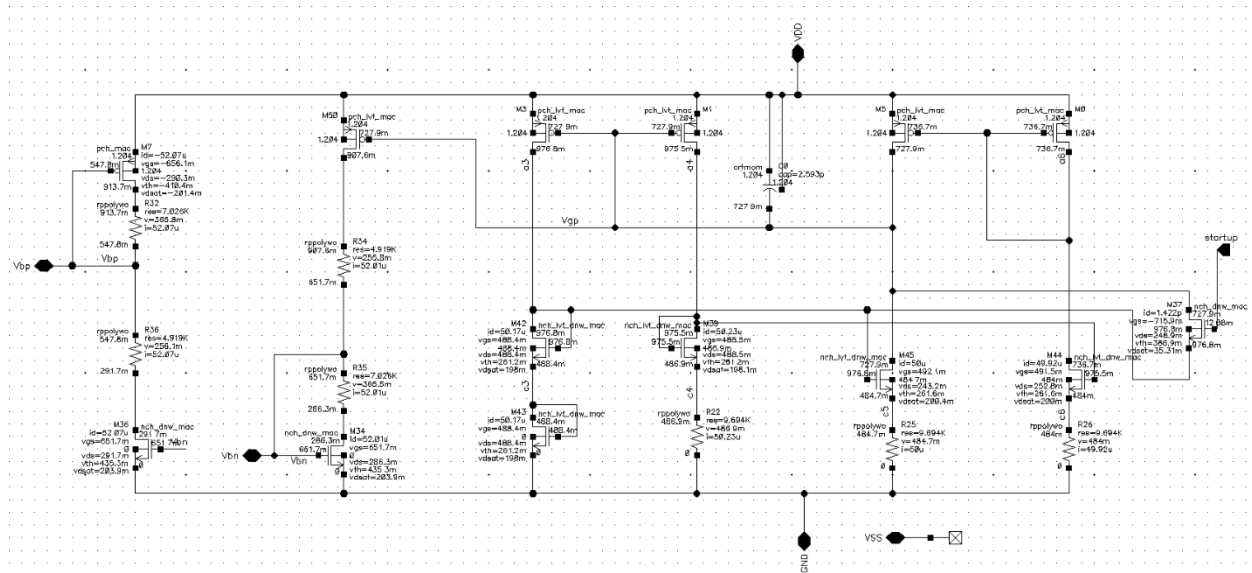


Abbildung 31 Bias-Schaltung bei einem Laststrom von 100mA

In Abbildung 31 sind alle Transistoren in starker Inversion und Sättigung. Die maximalen Betriebsspannungsgrenzen werden nicht überschritten.

DC-Simulation bei einem Laststrom von 50mA bei einer konstanten Eingangsspannung von 5V

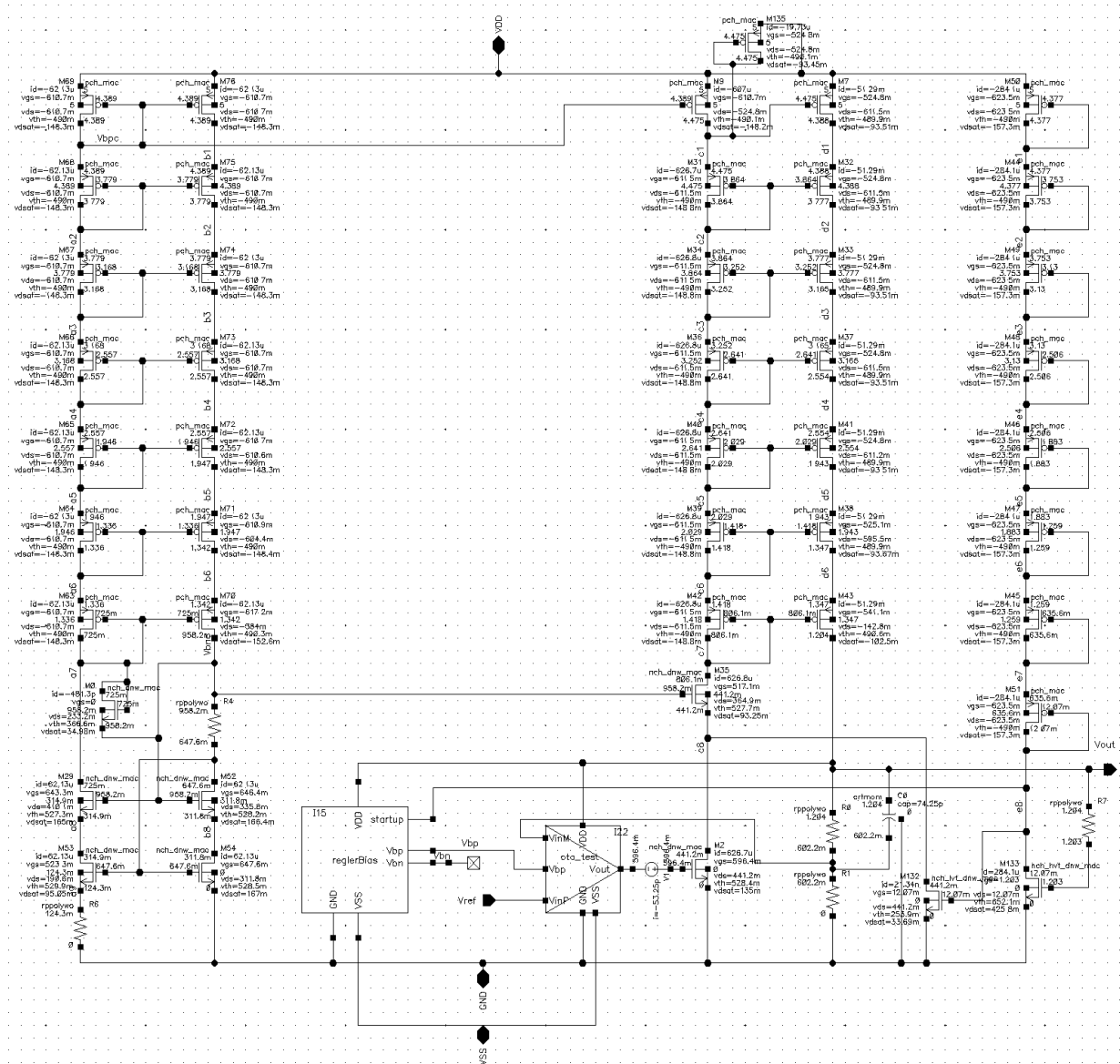


Abbildung 32 Laststrom von 50mA

Auch bei 50mA entsprechen die Ergebnisse den Anforderungen. Aufgrund der ähnlichen Werte wie bei 200mA und 100mA, wurde der Operationsverstärker und die Bias-Schaltung hier nicht dargestellt.

DC-Simulation einem Laststrom von 0A bei einer konstanten Eingangsspannung von 5V

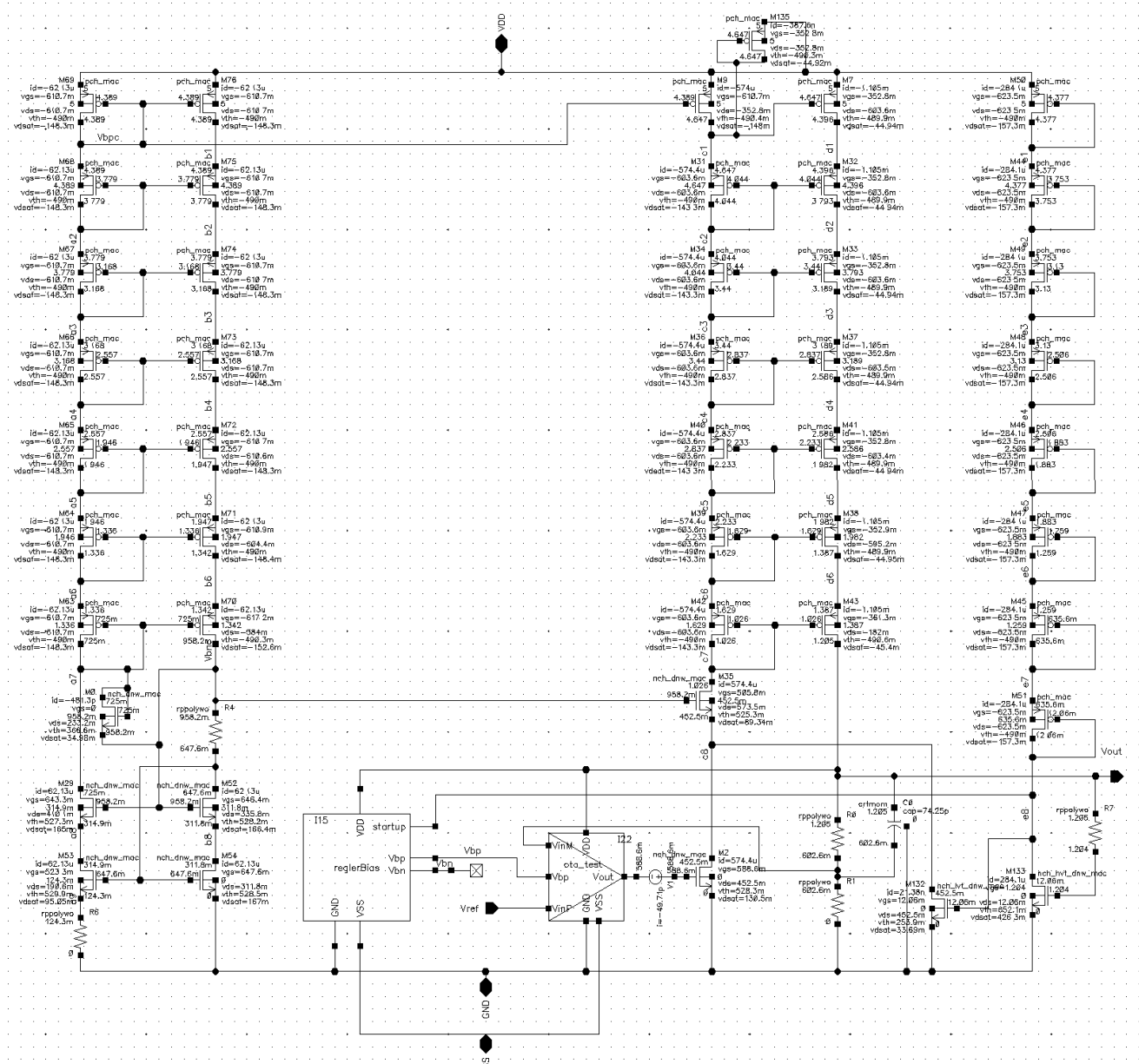


Abbildung 33 Laststrom von 0A

Auch bei einem Laststrom von 0A wurden die Spannungsgrenzen eingehalten.

In der folgenden Abbildung 34 sind alle Corner mit den jeweiligen Temperaturen aufgelistet. Man kann erkennen, dass bei allen Cornern die Spannungsgrenzen eingehalten wurde und die Ausgangsspannung bei 1,2V liegt.

Parameter		C2_0	C2_1	C2_2	C2_3	C2_4	C2_5	C2_6	C2_7	C2_8	C2_9	C2_10	C2_11	C2_12	C2_13	C2_14				
temperature		-40	27	120	-40	27	120	-40	27	120	-40	27	120	-40	27	120				
toplevel.scs		rf_lib	rf_lib	rf_lib	fs_lib	fs_lib	fs_lib	sf_lib	sf_lib	sf_lib	ss_lib	ss_lib	ss_lib	tt_lib	tt_lib	tt_lib				
Point	Test	Output	precisf	Min	Max	C2_0	C2_1	C2_2	C2_3	C2_4	C2_5	C2_6	C2_7	C2_8	C2_9	C2_10	C2_11	C2_12	C2_13	C2_14
Parameters: Ioad=1u																				
1	regulator DC... /Vout1																			
1	regulator DC... VDCI(/Vout1*)			1,201	1,218	1,202	1,204	1,209	1,201	1,203	1,206	1,206	1,209	1,218	1,204	1,207	1,212	1,203	1,205	1,21
1	regulator DC... VS(/Vout1*)																			
1	regulator DC... Count 'All Checks/Asserts'					No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations
Parameters: Ioad=50m																				
2	regulator DC... /Vout1																			
2	regulator DC... VDCI(/Vout1*)			1,2	1,216	1,201	1,203	1,206	1,2	1,202	1,204	1,205	1,208	1,216	1,204	1,206	1,21	1,202	1,204	1,208
2	regulator DC... VS(/Vout1*)																			
2	regulator DC... Count 'All Checks/Asserts'					No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations
Parameters: Ioad=100m																				
3	regulator DC... /Vout1																			
3	regulator DC... VDCI(/Vout1*)			1,199	1,216	1,201	1,203	1,206	1,199	1,201	1,204	1,205	1,208	1,216	1,203	1,206	1,21	1,202	1,204	1,207
3	regulator DC... VS(/Vout1*)																			
3	regulator DC... Count 'All Checks/Asserts'					No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations
Parameters: Ioad=200m																				
4	regulator DC... /Vout1																			
4	regulator DC... VDCI(/Vout1*)			1,199	1,215	1,2	1,202	1,205	1,199	1,201	1,203	1,204	1,207	1,215	1,202	1,205	1,209	1,201	1,203	1,206
4	regulator DC... VS(/Vout1*)																			
4	regulator DC... Count 'All Checks/Asserts'					No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations	No violations

Abbildung 34 Konfiguration der automatisierten Checks

Line Regulation

Eine wichtige Anforderung ist, dass der Regler in einem Spannungsbereich von 4,7V bis 5,7V innerhalb der vorgeschriebenen Spannungsgrenzen arbeitet und die Ausgangsspannung konstant bei 1,2V bleibt. Bei dieser Simulationsart wurden alle Prozess-Corner und Temperaturen berücksichtigt. Der Laststrom beträgt 0A.

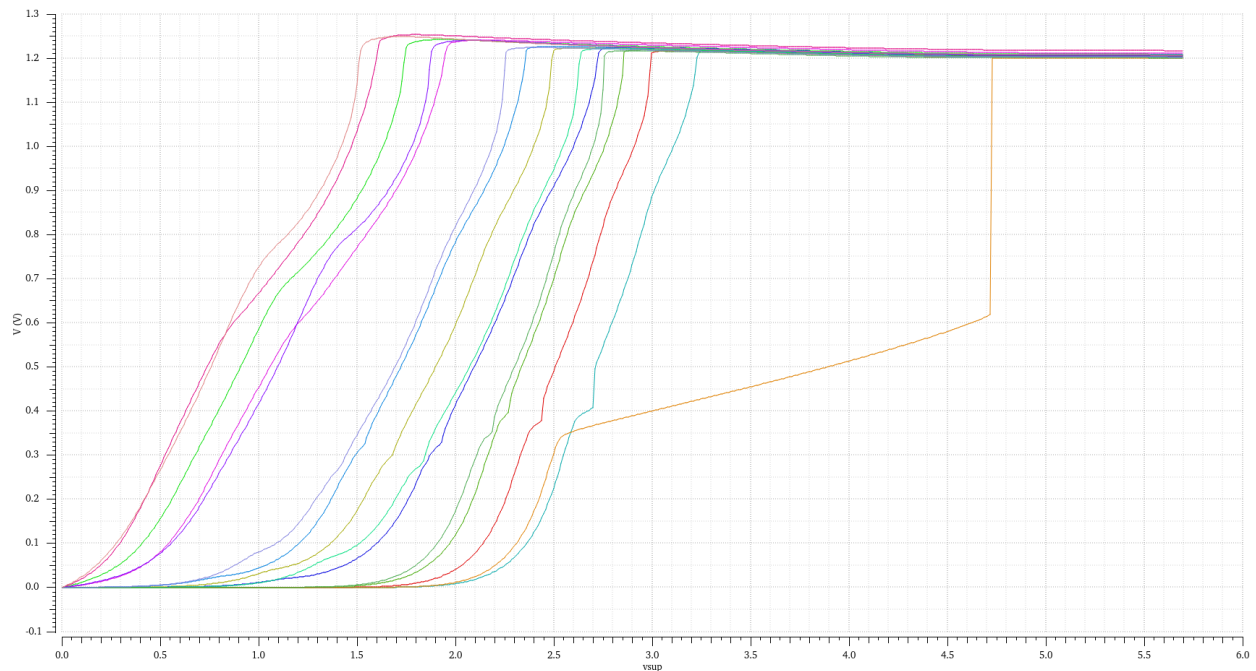


Abbildung 35 Sweeps bis 5,7V bei einem Laststrom von 0A

Wie in der Abbildung 35 zu erkennen ist (Abszisse Eingangsspannung, Ordinate Ausgangsspannung), wird die gewünschte Ausgangsspannung bei einigen Cornern schon ab einer Eingangsspannung von 2,7V erreicht. Bei der fs Corner startet der Regler jedoch erst ab einer Eingangsspannung von 4,84V.

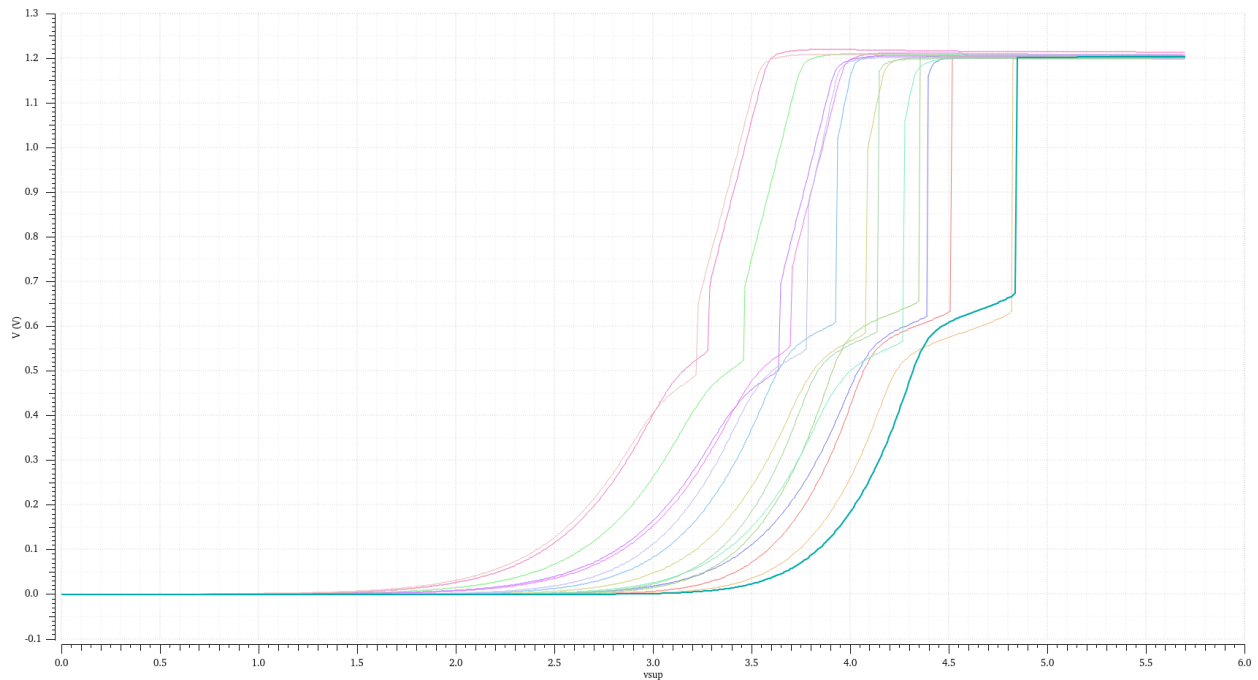


Abbildung 36 Sweeps bis 5,7V bei einem Laststrom von 200mA

In Abbildung 36 ist der Sweep bei einem Laststrom von 200mA abgebildet. Es ist klar zu erkennen, dass der Regler bei allen Corner im Vergleich zum Fall ohne Last später startet. Durch die Integration eines Vorwiderstandes R4 wurde der Transistor M44 in Abbildung 21 vor einem Gateoxid-Durchbruch und dem damit einhergehenden großen Stromfluss geschützt. Nach Ergreifung dieser Maßnahme wurden alle Spannungsgrenzen eingehalten.

Load Regulation

Der Regler muss auch bei Lastwechseln in der Lage sein, eine konstante Ausgangsspannung zur Verfügung zu stellen. Mit Hilfe der Load Regulation kann geprüft werden, inwiefern sich die Ausgangsspannung bei zunehmendem Laststrom ändert.



Abbildung 37 Load Regulation

In Abbildung 37 ist die Ausgangsspannung des Reglers bei ansteigendem Laststrom abgebildet. Es ist zu erkennen, dass mit zunehmendem Strom die Ausgangsspannung minimal um $140\mu V$ bei der ss Corner sinkt. Bei allen anderen Cornern ist der Abfall geringer. Da die Änderung der Ausgangsspannung um $140\mu V$ sehr gering ist, wird der Ausgang als nahezu konstant angenommen.

Stabilitätsbetrachtung im Bode-Diagramm

Für den sicheren Betrieb des Reglers ist die Stabilität des Reglers zu gewährleisten. Die Stabilität des Reglers kann an Hand der Phasenreserve im offenen Regelkreis ermittelt werden, welche nicht unter 45° fallen sollte. Eine besondere Herausforderung bei der Stabilisierung des Reglers besteht darin, dass der Regler aus drei Stufen besteht, welche jeweils einen Pol zur Übertragungsfunktion des Reglers beitragen. Darüber hinaus besteht ein weiteres Problem darin, dass durch die mehrfach kaskodierten Transistoren diese Stufen zum Teil sehr hohe Ausgangswiderstände erreichen, was zur Folge hat, dass die Pole bei relativ niedrigen Frequenzen liegen und die Schleifenverstärkung relativ hohe Werte erreicht. Durch Verwendung der externen Kapazität $C_0 = 2.2\mu\text{F}$ wurde der dominante Pol der Schaltung, d.h. der Pol mit der niedrigsten Frequenz, an den Ausgang des Reglers gelegt. In Reihe zum Kondensator wird ein Widerstand $R_{\text{ESR}} = 86\text{m}\Omega$ platziert. Dieser Widerstand führt eine Nullstelle in die Übertragungsfunktion des offenen Regelkreises ein, die zur Pol-/Nullstellenkompensation verwendet wird. Durch Einführung der Gate-Drain verbundenen Transistoren M46 in Abbildung 21 und M6 in Abbildung 22 konnte der Ausgangswiderstand des differentiellen Verstärkers und der zweiten Reglerstufe reduziert werden, was einer Reduktion der Ausgangswiderstände dieser Stufen zur Folge hat. Dadurch werden die betreffenden Pole zu höheren Frequenzen verschoben und die Schleifenverstärkung abgesenkt. Durch die Reduktion der Schleifenverstärkung sinkt die Durchtrittsfrequenz, bei welcher der offene Regelkreis eine Verstärkung von 0 dB erreicht. Darüberhinaus wurde mit Hilfe des Kondensators C_0 , welcher parallel zum Spannungsteiler platziert ist, ein Pol-/Nullstellenpaar eingeführt, das in einem gewissen Frequenzbereich eine phasenanhebende Wirkung besitzt.

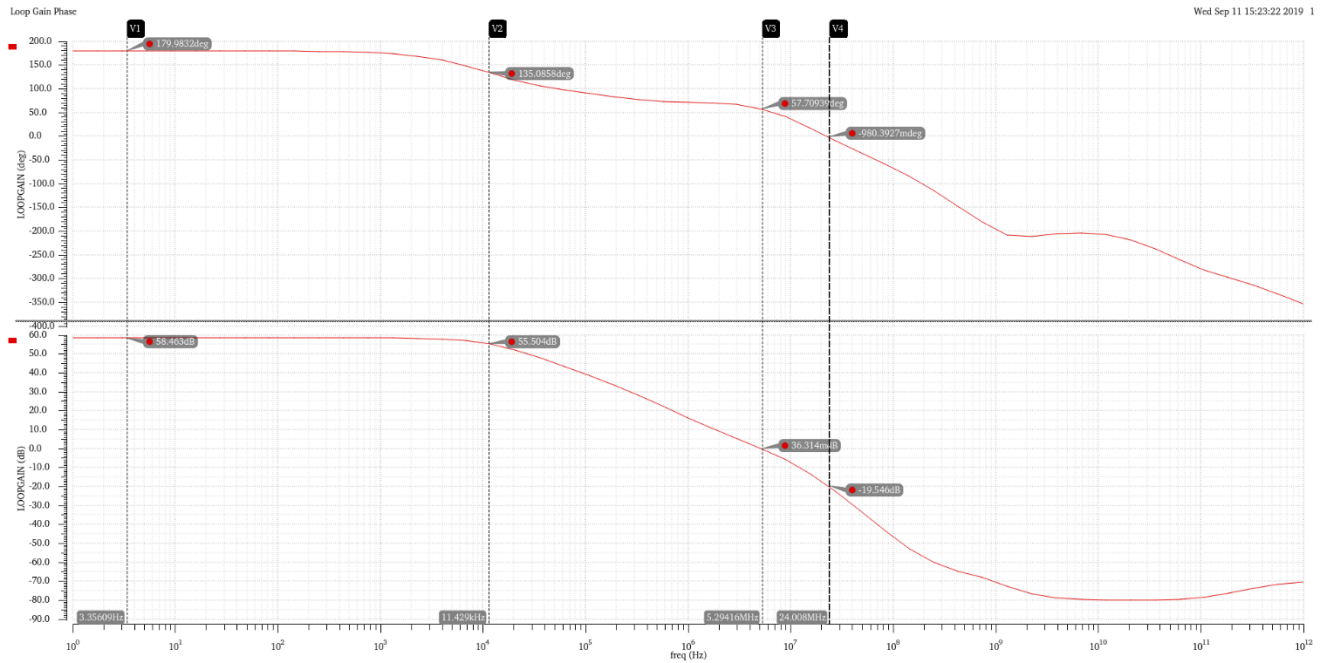


Abbildung 38 Bode Diagramm des Verstärkers

In Abbildung 38 ist der Frequenzgang des kompletten Reglers dargestellt. Die Simulation erfolgte bei einem Laststrom von 200mA mit einer Raumtemperatur von 27°C. Die maximale Verstärkung beträgt 58,463 dB. Die Leerlaufverstärkung des Verstärkers ist 55,504 dB und die Bandbreite 11,429kHz. Die Phasenreserve beträgt 57,70939 und die Amplitudenreserve liegt bei 19,18.

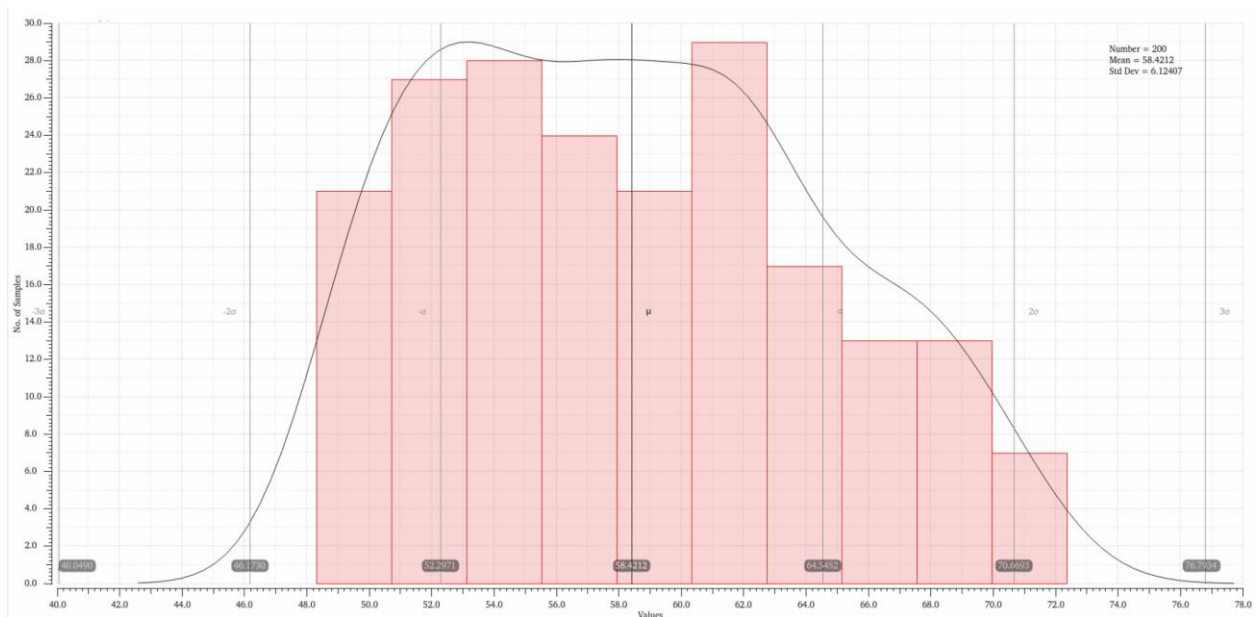


Abbildung 39 Die Phasenreserve bei einem Laststrom von 200mA

In Abbildung 39 ist die Monte Carlo Simulation mit einem Laststrom von 200mA abgebildet. Auf der x-Achse ist die Phasenreserve dargestellt. Wie aus der Abbildung zu entnehmen ist, liegt das Spektrum der Phasenreserve zwischen 48,84 bis 72,25. In Abbildung 40 ist die Phasenreserve für eine Last von 0A abgebildet. Der Unterschied ist klar zu erkennen, die Phasenreserve liegt bei einer Last von 0A im Durchschnitt bei 62,2 und im schlimmsten Fall bei 57, wohingegen bei einem Laststrom von 200mA der Durchschnitt bei 58 und im schlimmsten Fall bei 48 liegt.

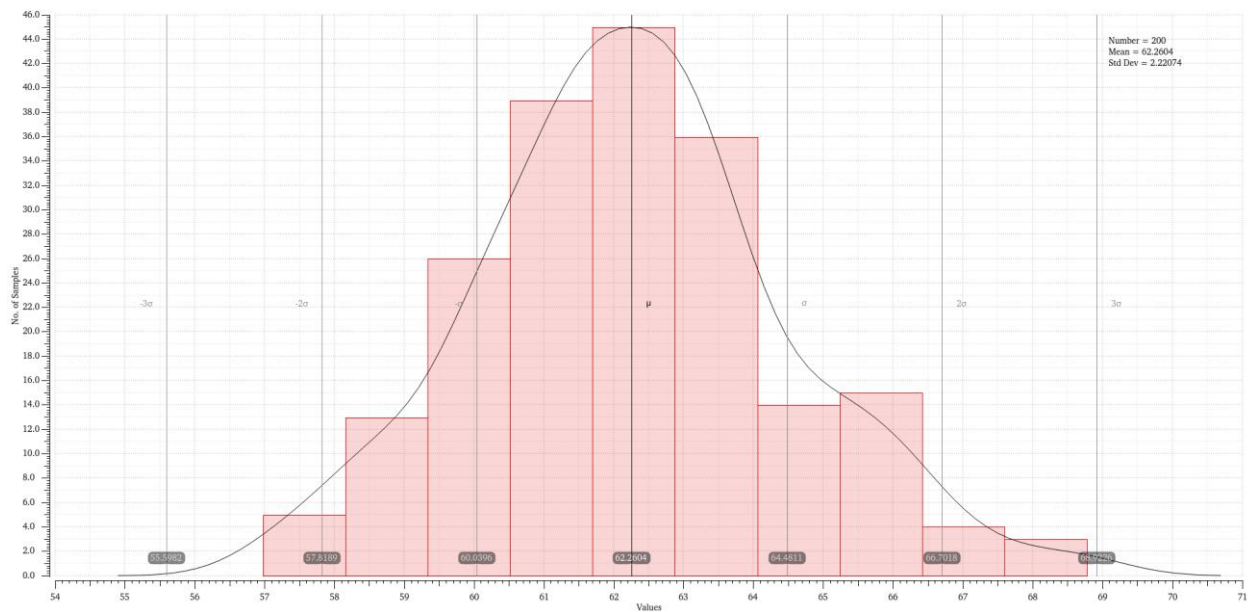


Abbildung 40 Die Phasenreserve bei einem Laststrom von 0A

6 Layout

Nachdem Entwurf der Schaltung und der erfolgreichen Simulation, erfolgt die Erstellung des Layouts. Das Layout wurde wie auch die Schaltung mit Virtuoso entworfen.

Erstellung einer Zelle

Für die Erstellung einer Layoutzelle muss in der Menüleiste in Cadence zuerst auf die Schaltfläche *File* anschließend auf *New* und zum Schluss auf *Cellviews* angeklickt werden. Es öffnet sich das in Abbildung 41 dargestellte Fenster.

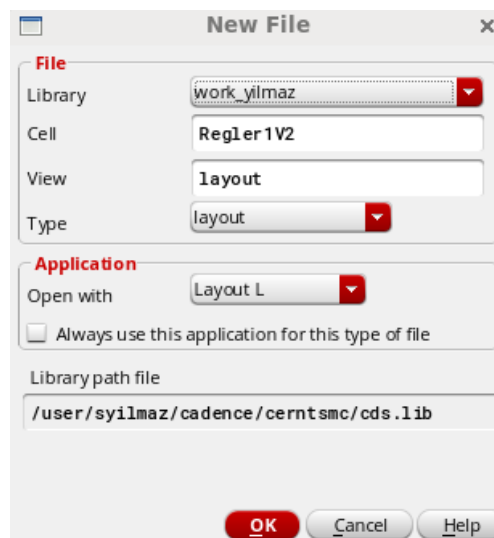


Abbildung 41 Anlegen einer neuen Zelle

In diesem Fenster ist zu beachten, dass der richtige Bibliotheksname sowie der richtige Name der Zelle ausgewählt wurden. Im Eingabefenster *View* muss *layout* gewählt werden. Durch die Betätigung der OK Taste öffnet sich das Layout-Fenster (Abbildung 42). In dem Fenster befindet sich auf der linken Seite die Auswahl *Layers*. In diesem Fenster können die verschiedenen Schichten der vorhandenen oder zu erstellenden Bauelemente angezeigt werden.

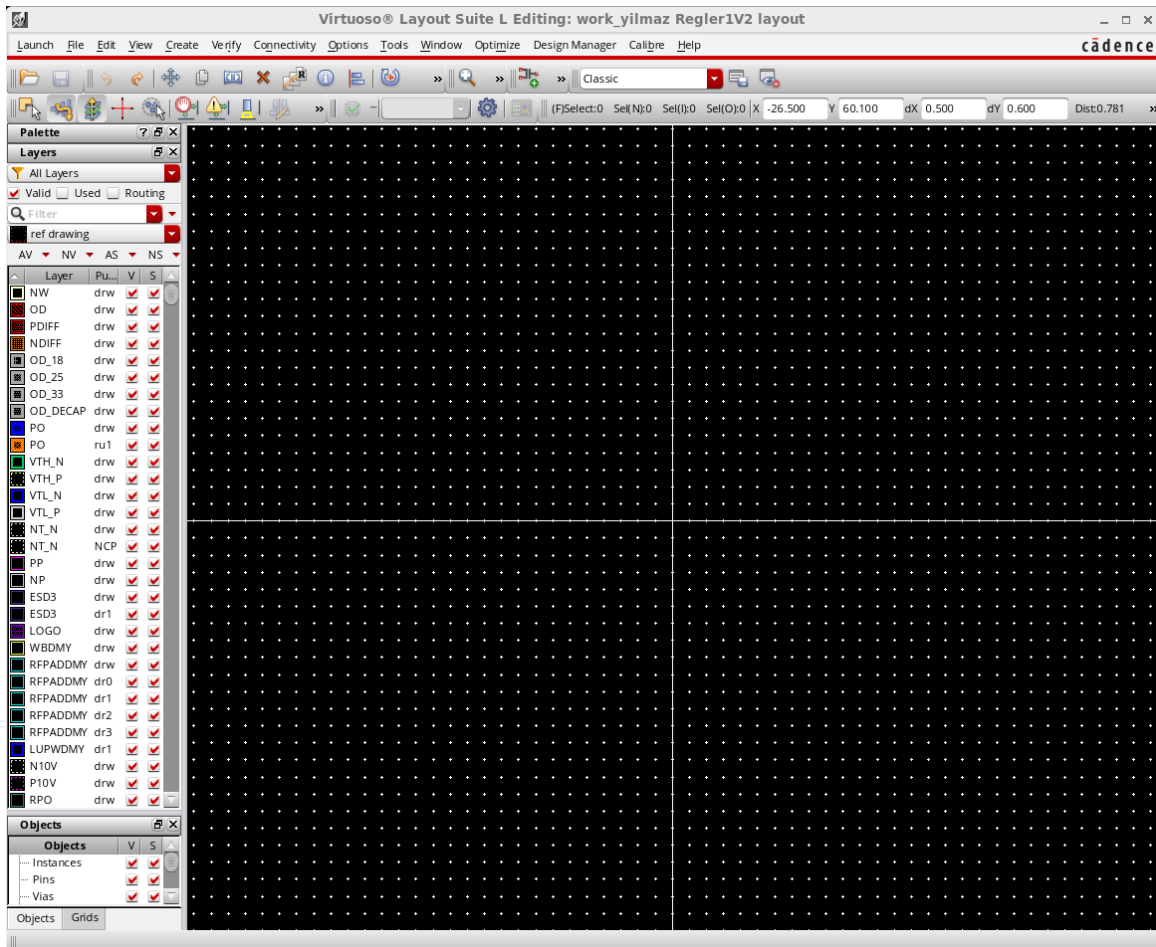


Abbildung 42 Layout Fenster

Durch die Auswahl der Option *Used* werden nur die in der aktuellen Zelle verwendeten Schichten angezeigt. Die vier verschiedenen Auswahlkästchen, die unterhalb von *Used* stehen, werden verwendet, um alle Lagen (AV=All Visible) bzw. um keine Lage darzustellen (NV=None Visible), oder um alle Lagen (AS=All Selected) bzw. um keine Lage selektierbar zu machen (NS=None Selected). Weitere nützliche Buttons sind *V* und *S*, die ebenfalls im *Layer* Fenster auffindbar sind. Mit der Aktivierung oder Deaktivierung von *V* kann die Übersicht auf ein mehrlagiges Layout verbessert werden, in dem beispielsweise bei mehreren übereinanderliegenden Metalllagen nur eine angezeigt wird. Mit der Betätigung des Button *S* können einzelne Lagen selektiert und anschließend bearbeitet werden.

Eine wichtige Eigenschaft des Layouts ist das vom Hersteller vorgegebene Raster, auf dem alle Endpunkte der Layoutstrukturen liegen müssen. Die Einstellung des Rasters erfolgt, nachdem die Layout-Zelle erstellt bzw. geöffnet wurde, durch die Betätigung der Taste *E* oder unter dem Menüpunkt *Display Options* (Abbildung 43). In diesem Fenster wird unter dem Punkt *Grid Control X und Y Snap Spacing* der Wert 0.005 eingestellt.

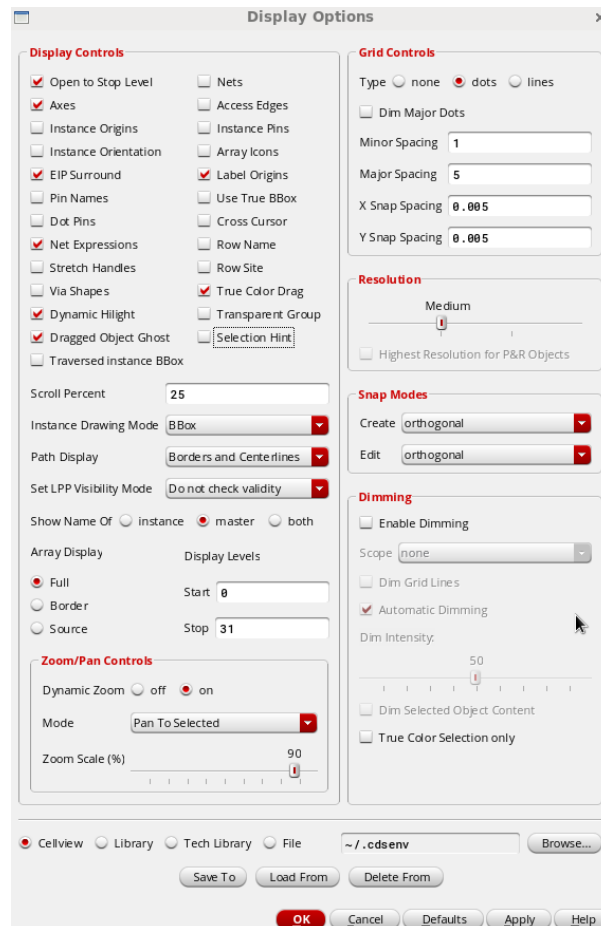


Abbildung 43 Display Option

Designregeln

Bei der Erstellung des Layouts, müssen unterschiedliche vom Hersteller definierte Designregeln beachtet werden. Beispielsweise müssen Mindestabstände zwischen Metallstrukturen und Vias, sowie Mindestflächen eingehalten werden. Im Folgenden wird eine Auswahl verschiedener Designregeln aufgelistet.

1. Es müssen Mindestabstände verschiedener Layoutstrukturen eingehalten werden, um parasitäre Effekte zu vermeiden. Zum Beispiel können die gewünschten Dotierungsprofile von n- und p- Bereichen nur bei ausreichendem Abstand garantiert werden.
2. Metaldichten dürfen vorgeschriebene Werte nicht überschreiten, um die Planarität der Oberfläche zu gewährleisten.
3. Minimalabstände zwischen Leiterbahnen müssen eingehalten werden, um Kurzschlüssen vorzubeugen.
4. Die maximale Breite der Leiterbahnen muss beachtet werden, damit thermisch bedingte Spannungen den Wafer nicht beschädigen.
5. Zwischen zwei n-Wellen müssen Minimalabstände eingehalten werden, um die Verschmelzung der Depletionszonen zu vermeiden, die zu einem Kurzschluss führen würden.

Erstellung des Layouts

Nach dem Öffnen der Zelle mit dem Layout Editor, werden die benötigten Bauelemente als parameterisierte Zelle (pcell) eingefügt. Dafür wird die Taste *I* im Layout Editor betätigt. Nach der Öffnung des Fensters ist es wichtig, den richtigen Bibliotheks- und Bauteilnamen für die verwendete Technologie auszuwählen (Abbildung 44). Desweiteren müssen die korrekten Parametereinstellungen eingepflegt werden, damit die Übereinstimmung im Layout und Schematic sichergestellt ist.

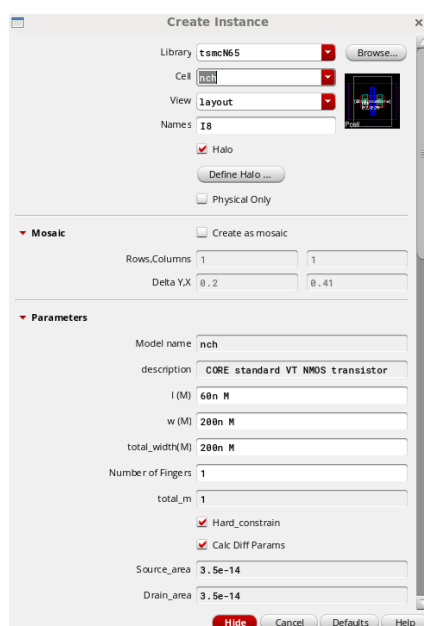


Abbildung 44 Instanzen Einfügen

Bevor alle Bauelemente im Layout platziert werden, ist es bei sehr komplexen Schaltungen ratsam, eine Unterteilung in mehrere Komponenten durchzuführen. Durch die Aufteilung wird gewährleistet, dass die Fehlersuche vereinfacht durchgeführt werden kann. In Abbildung 45 ist beispielsweise nur das Passdevice des Reglers im Schematic dargestellt. Hier ist zu beachten, dass neben den für die Schaltung benötigten Transistoren zusätzliche Dummy-Transistoren in das Schematic eingefügt worden sind. Dummy-Transistoren werden im Layout verwendet, um Inhomogenitäten zu verhindern, die durch die unterschiedliche Umgebung der Transistoren ausgelöst werden würden. In diesem Teil der Schaltung werden für jeden verwendeten Transistor, jeweils zwei Dummies eingesetzt. Die Dummies sollten die gleiche Geometrie wie die aktiven Transistoren

besitzen und so verschaltet werden, dass sie keinen Einfluss auf die Funktion der Schaltung nehmen.

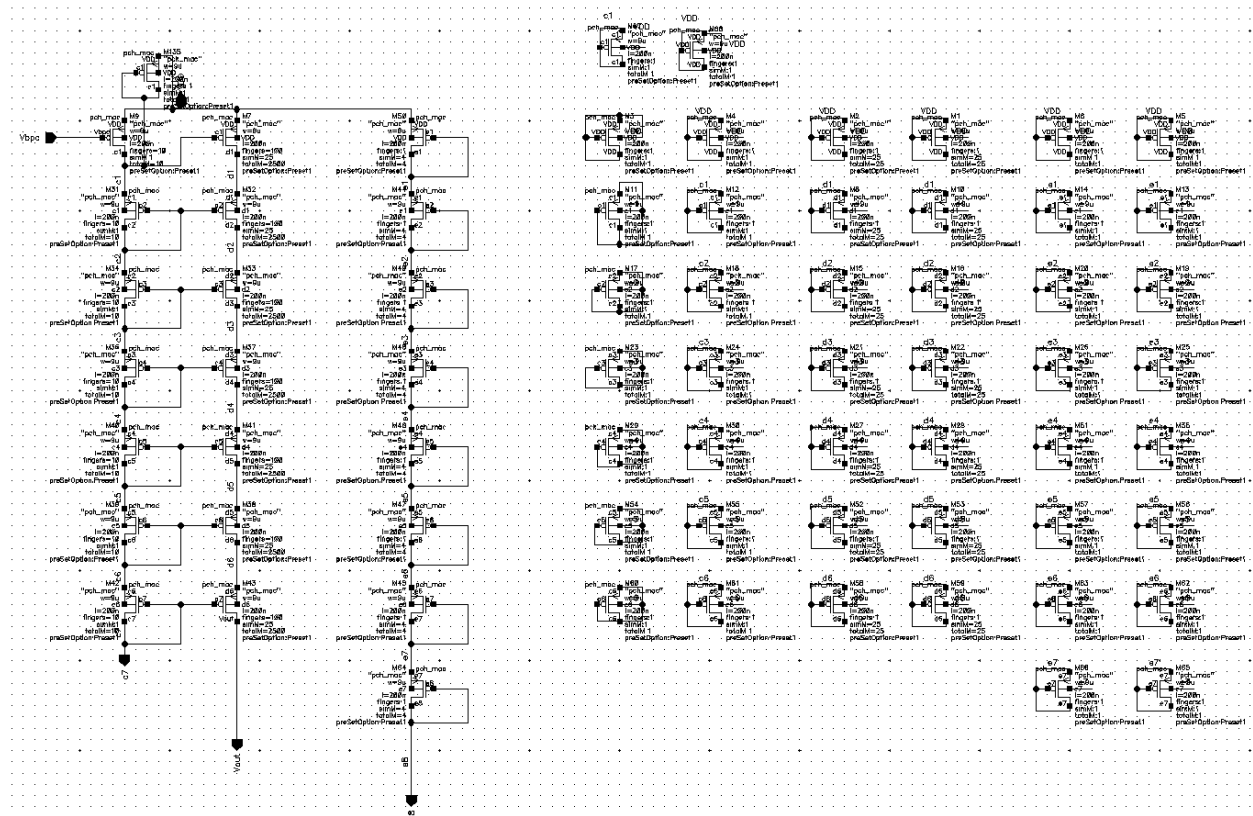


Abbildung 45 Passdevice im Schmettic

Als Nächstes erfolgt die Verbindung der Bauelemente mit den verschiedenen Metalllagen. Durch Auswahl des Menüpunktes *Create/Via* oder der Taste *O* können alle Bauelemente verbunden werden. Für die lokale Verdrahtung des Reglers wurden nur die untersten sieben Metalllagen verwendet, weil die drei obersten Metalllagen bereits für die globale Verdrahtung auf Chipebene verwendet werden, um beispielsweise die Versorgungsspannung und Masse zu verteilen. Zum Abschluss wird nach der Verbindung der Bauelemente und Zusammenführung aller Schaltungsteile das Layout auf Fehler überprüft. Für die Überprüfung werden zwei Methoden und zwei verschiedene Werkzeuge verwendet. Das eine Werkzeug prüft die Einhaltung der Designregeln, während das zweite Werkzeug die Übereinstimmung zwischen Layout mit dem Schematic feststellt.

Desing Rule Check (DRC)

Wie zuvor erwähnt, wird für jede Teilschaltung und am Ende für das gesamte Layout eine Entwurfsregelprüfung durchgeführt. In der Praxis wird nach fast jeder Änderung der Bauelemente oder Verdrahtung ein Check durchgeführt. Durch die ständige Überprüfung können arbeitsintensive Dominoeffekte, welche große Layoutveränderungen für die Behebung von DRC Fehlern zur Folge hätten, vermieden werden. Im Menüpunkt des Layout Editorfensters wird *Calibre* und dann *Run rmDRC* betätigt. Es erscheint ein Fenster, welches unter anderem die Auswahl der Designregeln ermöglicht.

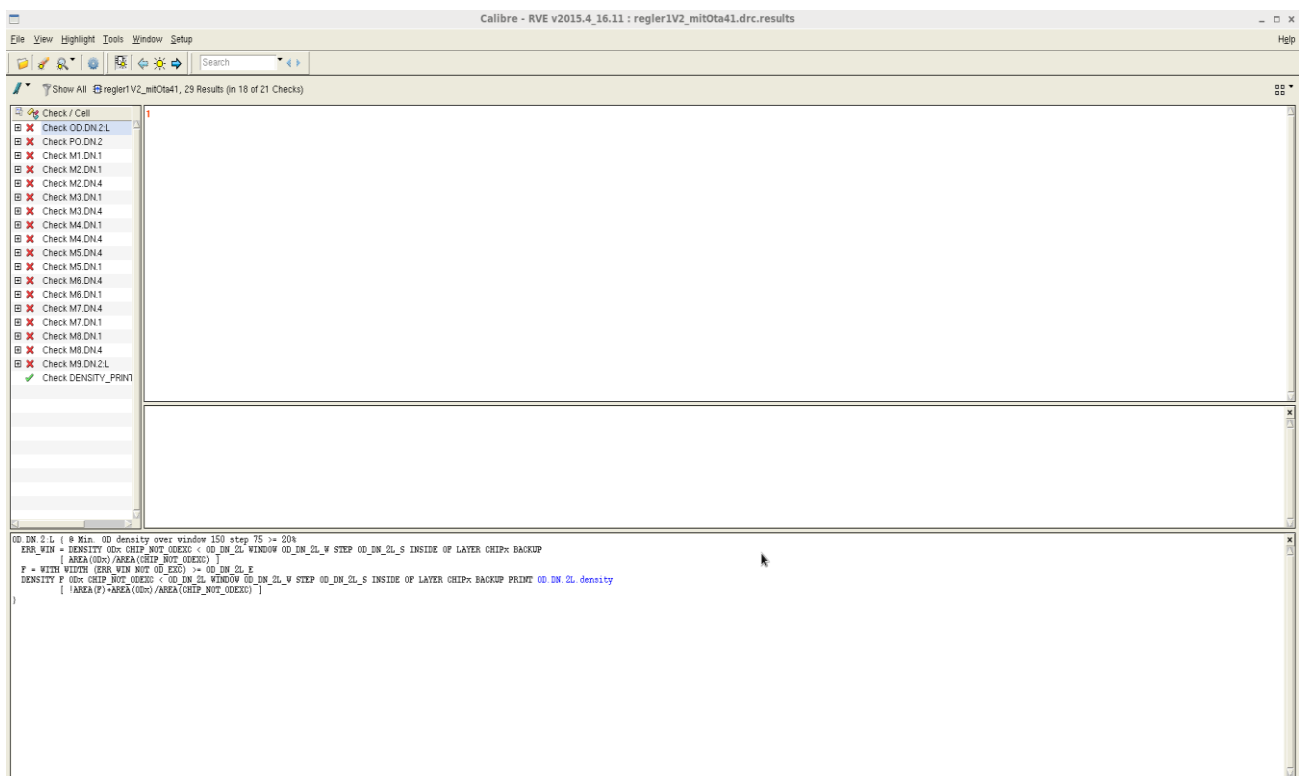


Abbildung 46 Desing Rule Check

Hier wird lediglich auf DRC ausführen geklickt, um den Vorgang zu starten. Nach der Überprüfung werden auf der linken Seite alle vorhandenen Fehler aufgelistet. In Abbildung 46 ist zu sehen, dass nur Regelverletzungen mit der Endung *DN* erkannt worden sind. *DN* bezeichnet hierbei die Unterschreitung von Mindestmetallichten auf den unterschiedlichen Metalllagen. Diese Fehler müssen jedoch nicht berücksichtigt werden, da vor der Produktion des Layouts eine automatische Auffüllung mit Dummystrukturen durch den Hersteller erfolgt. Bei allen anderen vorhandenen Fehlern können durch

Aufrufen des jeweiligen Check-Resultats, die Koordinaten und die Fehlerquellen angezeigt werden.

Layout Versus Schematic (LVS)

Zum Abschluss wird das Layout mit dem Schematic verglichen. Auch hier wird wie bei den Design Rule Checks erst im Menüpunkt des Layout Editorfenster Calibre und diesmal *Run nmLVS* betätigt. Im LVS Fenster wird nach Auswahl der Layout- und Extraktionsregeln auf Ausführen geklickt, um den Vergleich zwischen Layout und Schematic auszuführen. Bei Abweichung zwischen Layout und Schematic wird ein trauriger gelber Smiley links im Navigationsfenster dargestellt und alle Abweichungen in Bezug auf Netze, Bauteile und Parameter im Hauptfenster gelistet. Mögliche Abweichungen sind zum Beispiel, dass ein Port oder ein Netz zu viel oder zu wenig im Layout bzw. im Schematic vorhanden ist. Bei vollständiger Übereinstimmung, leuchtet ein lächelnder Smiley Grün auf. In Abbildung 47 ist das erfolgreiche Ergebnis eines LVS Checks dargestellt.

Layout Cell / Type	Source Cell	Nets	Instances	Ports
regler1V2_mit0ta41	regler1V2_mit0ta41	64L, 64S	224L, 224S	5L, 5S

Cell regler1V2_mit0ta41 Summary (Clean)

CELL COMPARISON RESULTS (TOP LEVEL)

Warning: Unbalanced smashed mosfets were matched.
Warning: Ambiguity points were found and resolved arbitrarily.

LAYOUT CELL NAME: regler1V2_mit0ta41
SOURCE CELL NAME: regler1V2_mit0ta41

INITIAL NUMBERS OF OBJECTS

	Layout	Source	Component Type
Ports:	5	5	
Nets:	100	64	*
Instances:	353	55	* MW (4 pins)
	16743	117	* MW (4 pins)
	57	21	* rppolywa (2 pins)
	75	75	* cfbach (3 pins)
Total Inst:	19125	273	

NUMBERS OF OBJECTS AFTER TRANSFORMATION

	Layout	Source	Component Type
Ports:	5	5	
Nets:	64	64	

Abbildung 47 Layout Versus Schematic (LVS)

Zusammenführung der Layouts

Das Layout des Passdeviceses

In diesem Abschnitt werden alle erstellten Teil-Layouts vorgestellt und am Ende sukzessiv zusammengeführt. Zuerst wird das Passdevice in Abbildung 48 vorgestellt. Die Transistoren M21-M33 aus Abbildung 21, die in Reihe verschaltet sind, haben eine Fingeranzahl von 100 und einen Multiplier von 25, um die benötigte Gesamttransistorbreite zu erhalten. Diese Transistoren entsprechen im Layout, dem Schwarz markierten Bereich am rechten Rand.

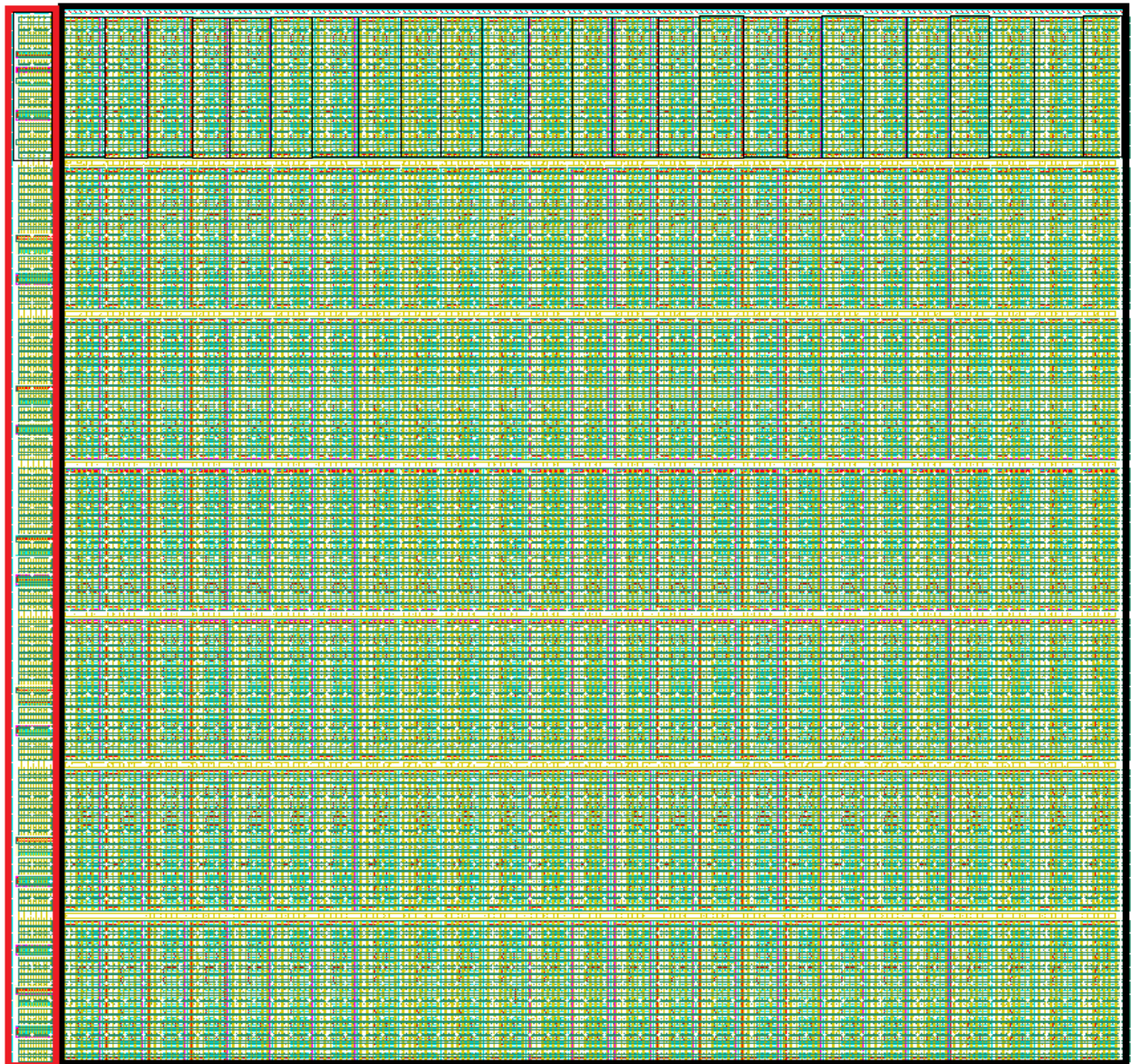


Abbildung 48 Das Layout des Passdeviceses

In der obigen Darstellung wurden jeweils Gruppen von 25 Einzeltransistoren weiß markiert, um die Verteilung der Transistoren hervorzuheben. Auf der linken Seite des Teillayouts finden sich die Transistoren M20-M32 und M36-M43 der Teil-Schaltung wieder. Die dargestellte Layoutstruktur hat insgesamt eine Breite von 311,23 μm und eine Höhe von 304,38 μm .

Das Layout der Startup-Schaltung

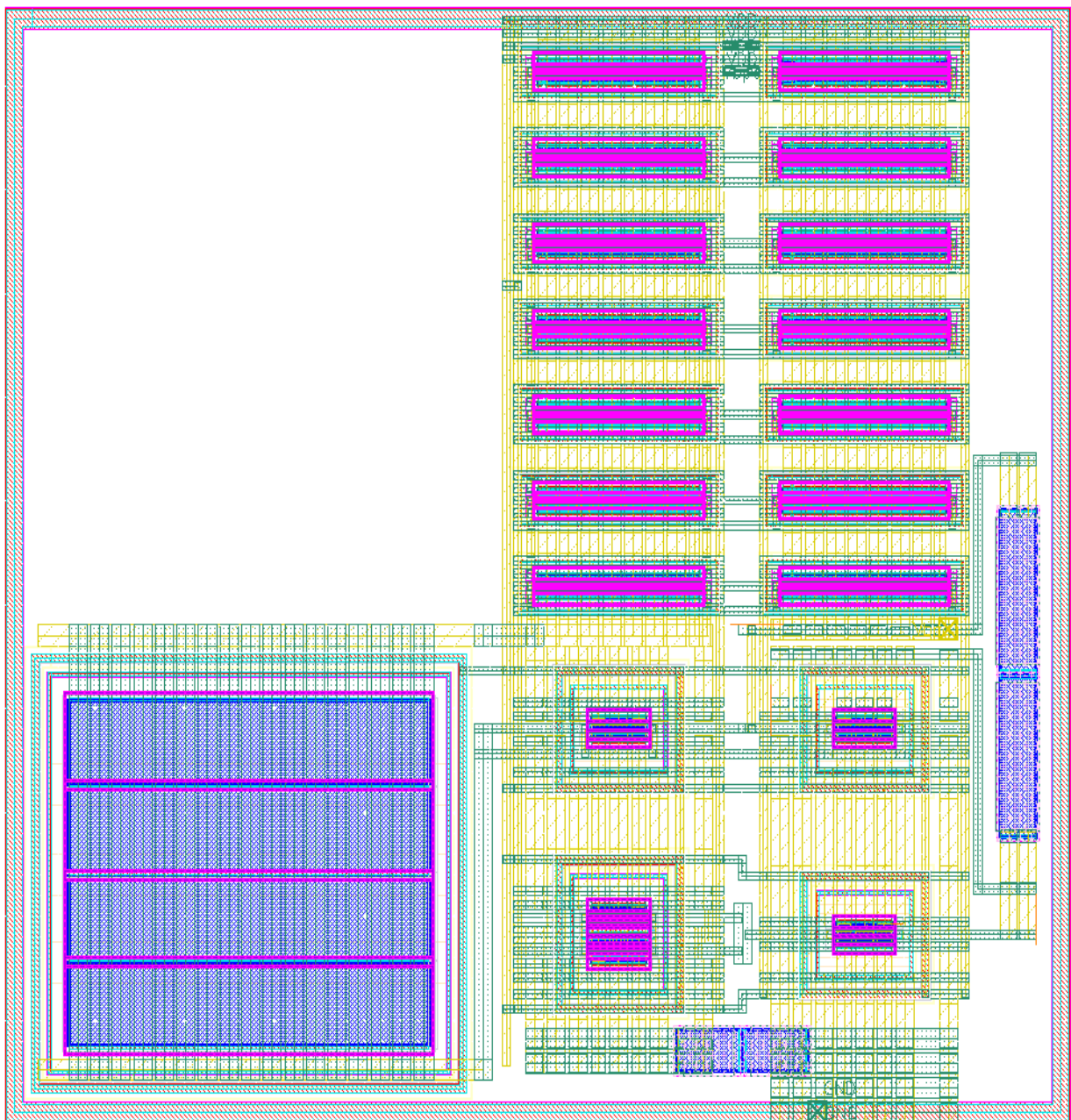


Abbildung 49 Das Layout der Startup-Schaltung

In Abbildung 49 ist die Startup-Schaltung des Reglers dargestellt. Dessen Schematic in Abbildung 21 auf der linken Seite dargestellt ist. Auf der rechten und unteren Seite sind die Widerstände, an Hand der charakteristischen blauen Farbe der Polysilizium Lage, zu erkennen. Der Transistor M15 besitzt eine größere Breite und Länge als alle anderen Transistoren der Schaltung, was auch deutlich zuerkennen ist. Im Layout wird der Transistor M15 auf der unteren linken Seite dargestellt.

Das Layout des differentiellen Verstärkers

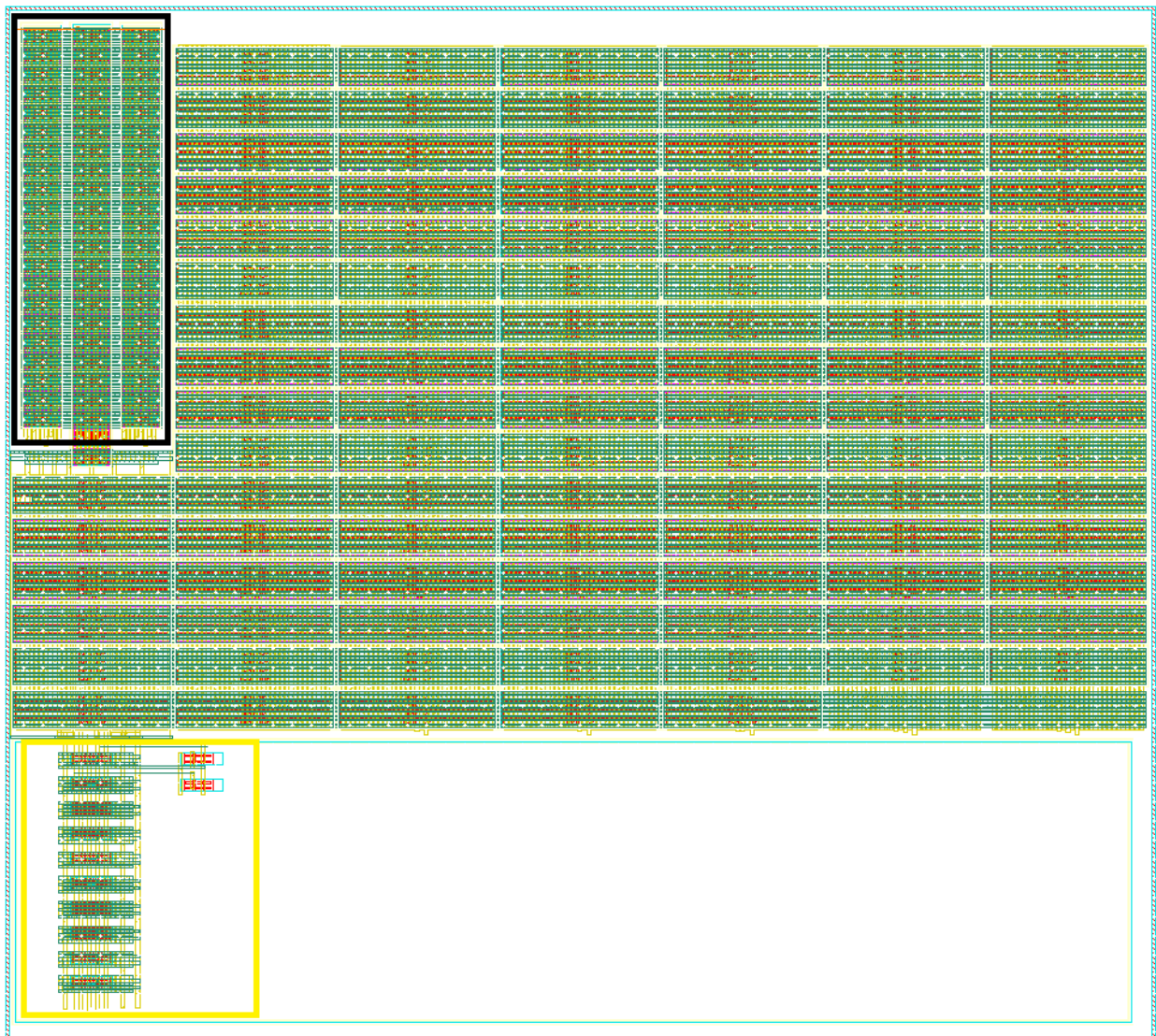


Abbildung 50 Das Layout des differentiellen Verstärkers

Der Transistor M1 in Abbildung 22 wird in der Schwarz markierten Umrandung dargestellt. Die Transistoren M4, M5 und M6 sind im gelben Bereich. Alle weiteren

Strukturen stellen die Transistoren M2 und M3 dar.

Das Layout der Gesamten Schaltung

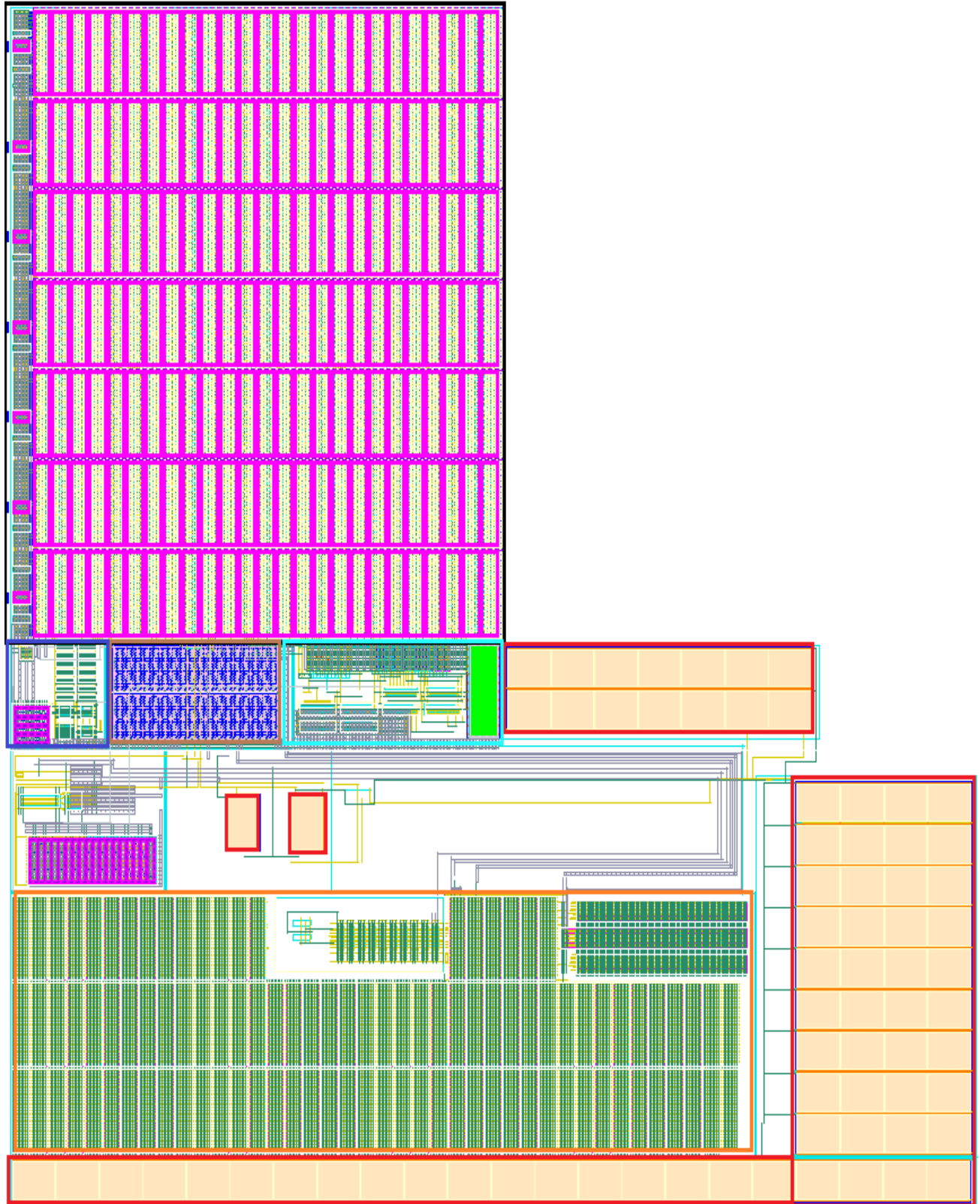


Abbildung 51 Gesamtes Layout

Schließlich wurden alle Layout-Teile zur Reglerschaltung zusammengefügt. Das Ergebnis wird in Abbildung 51 dargestellt. Im oberen Bereich befindet sich das schwarz markierte Passdevice. Darunter ist die Startup-Schaltung (blau markiert). Direkt daneben ist der Widerstand R4, der einen Widerstandswert im $M\Omega$ Bereich besitzt (grau markiert). Die Bias-Schaltung befindet sich daneben mit einer hellblauen Markierung. Darunter ist der in orange markierte differentielle Verstärker. Die rot markierte Struktur entspricht dem Kondensator C0, der sich parallel zum oberen Widerstand des Spannungsteilers in Abbildung 21 befindet. Dieser wurde in mehrere Teilkondensatoren aufgeteilt und unter, neben sowie über dem Verstärker platziert. Die dargestellte Layoutstruktur hat insgesamt eine Höhe von $587,935 \mu\text{m}$ und eine Breite von $596,215 \mu\text{m}$.

7 Messung

Nach Vervollständigung aller Entwicklungs- und Verifikationsschritten wurde das Layout über einen durch Europractice organisierten miniASIC Multi-Project-Wafer (MPW) Run in die Produktion gegeben. Zur Validierung des Reglers wurde der Testchip ohne Gehäuse auf eine zuvor vorbereitete Platine geklebt und durch Wire-Bonding verbunden (Abbildung 52). Die Platine beinhaltet neben dem Chip noch passive Komponenten wie z.B. den externen Kondensator, der zur Stabilisierung am Ausgang des Reglers platziert ist und Stecker zum Anschluss der Spannungsquelle und Messgeräte. Dieser Aufbau wurde in einen Teststand integriert, der bereits für die automatisierte Charakterisierung von Spannungsreglern entwickelt worden ist.

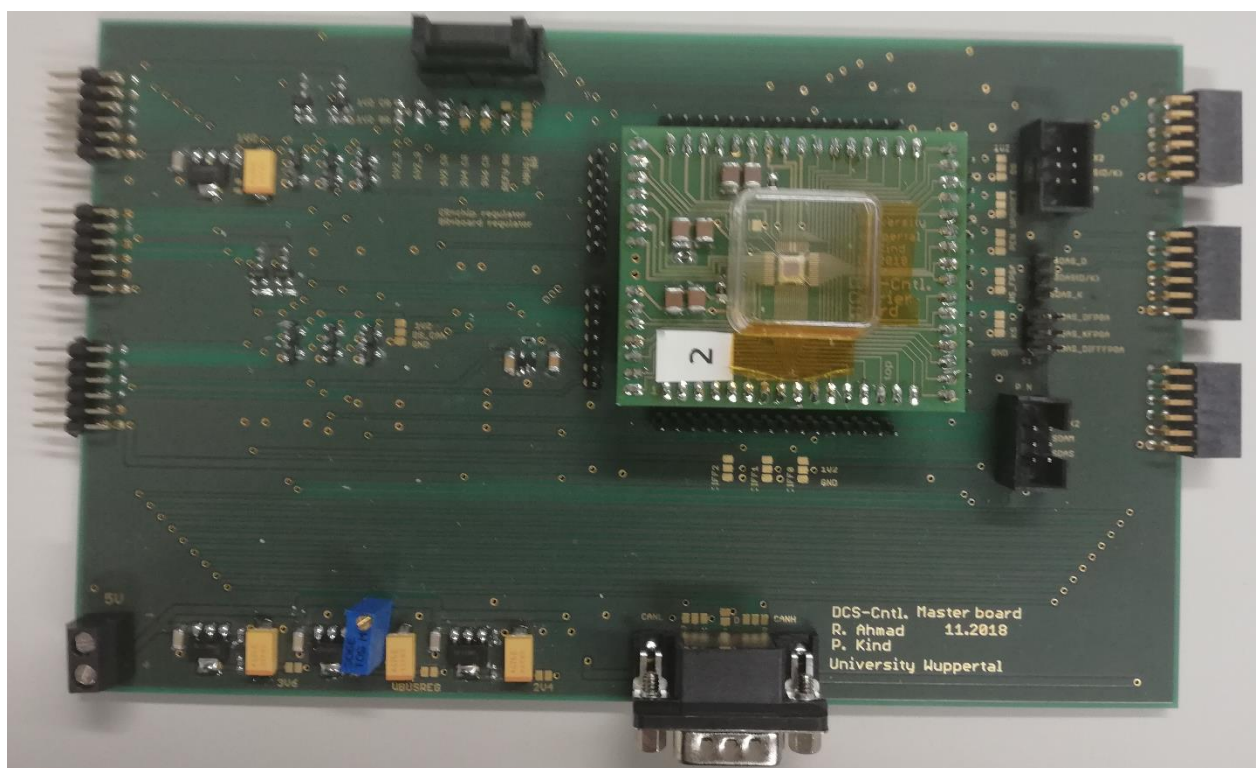


Abbildung 52 Spannungsgregler

Die Messung der Reglercharakteristik wurde mit digital gesteuerten Multimetern durchgeführt. In Abbildung 53 befinden sich die Multimeter auf der rechten Seite.

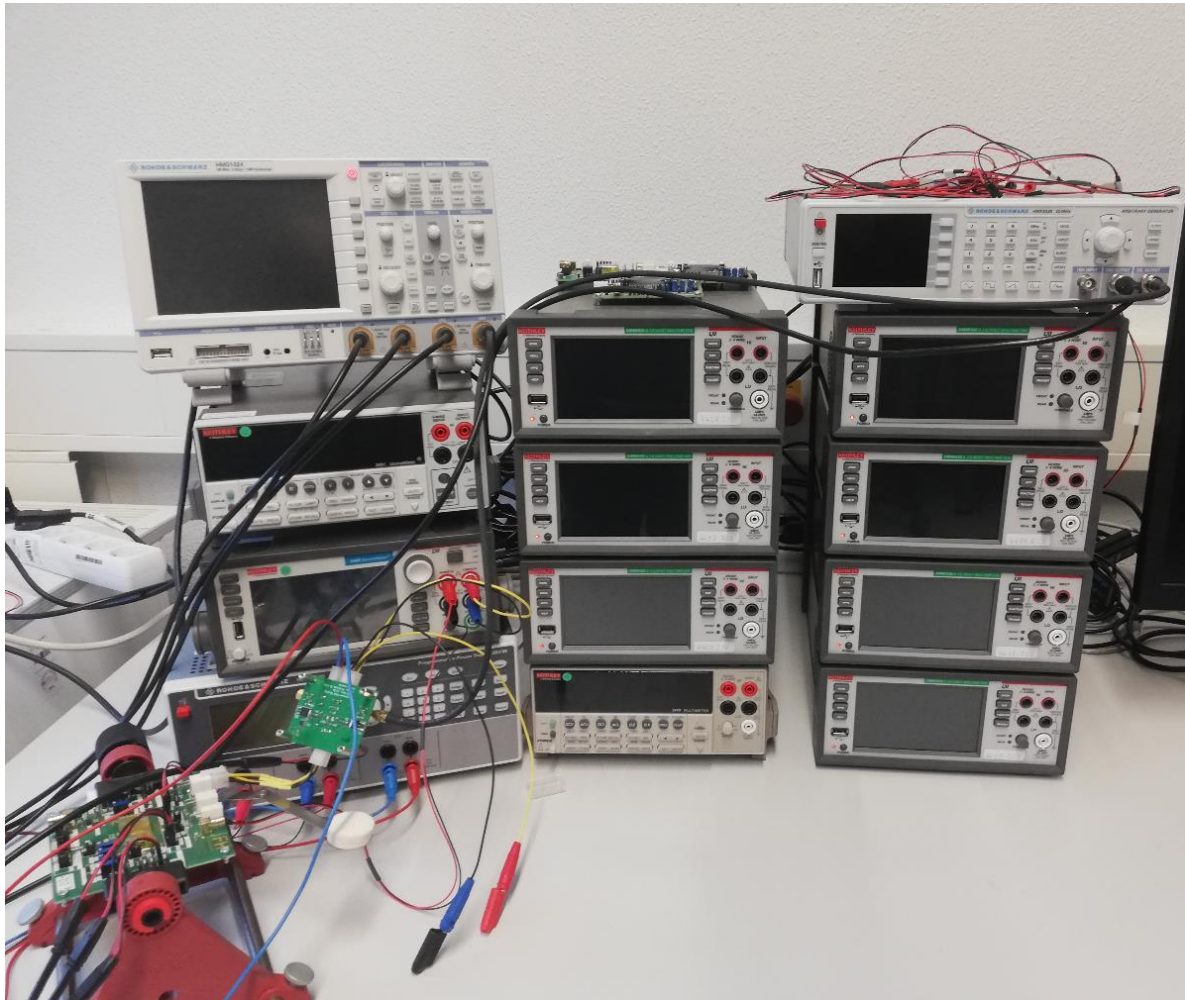


Abbildung 53 Messgeräte

Abbildung 54 zeigt eine Messung der Line Regulation, d.h. die Abhängigkeit der Ausgangsspannung des Reglers von der Versorgungsspannung. Die Ausgangsspannung von 1,2V wird bereits bei einer Eingangsspannung von 2,7V erreicht, bricht jedoch ab einer Spannung von 3,3V wieder zusammen. Als Grund für dieses Verhalten wird die Überschreitung der Versorgungsspannungsgrenzen der Bondpads vermutet, die bei der Entwicklung nicht berücksichtigt worden sind. In den Bondpads sind ESD Schutzstrukturen vorhanden, die nicht für 5V Betriebsspannungen ausgelegt sind. In Abbildung 55 ist die ESD Schutzstruktur abgebildet. Die ESD Schutzstruktur entspricht einem Thyristor, der bei hohen Spannungen zündet und dann eine niederohmige Verbindung zwischen dem Bondpad und Masse erzeugt. Das hat zur Folge, dass ab einer Spannung von 3,1V die ESD Schutzstruktur, die in dem Pad verbaut ist, einen sehr großen Strom zieht, der letztlich durch Elektromigration zu einer Beschädigung des Chips führt. Um die Vermutung zu prüfen, wurde durch Nutzung eines Focus Ionizing Beam (FIB)

Prozesses eines kommerziellen Anbieters, der Kontakt zwischen den ESD und der Bondpads entfernt und der Chip anschließend neu vermessen.

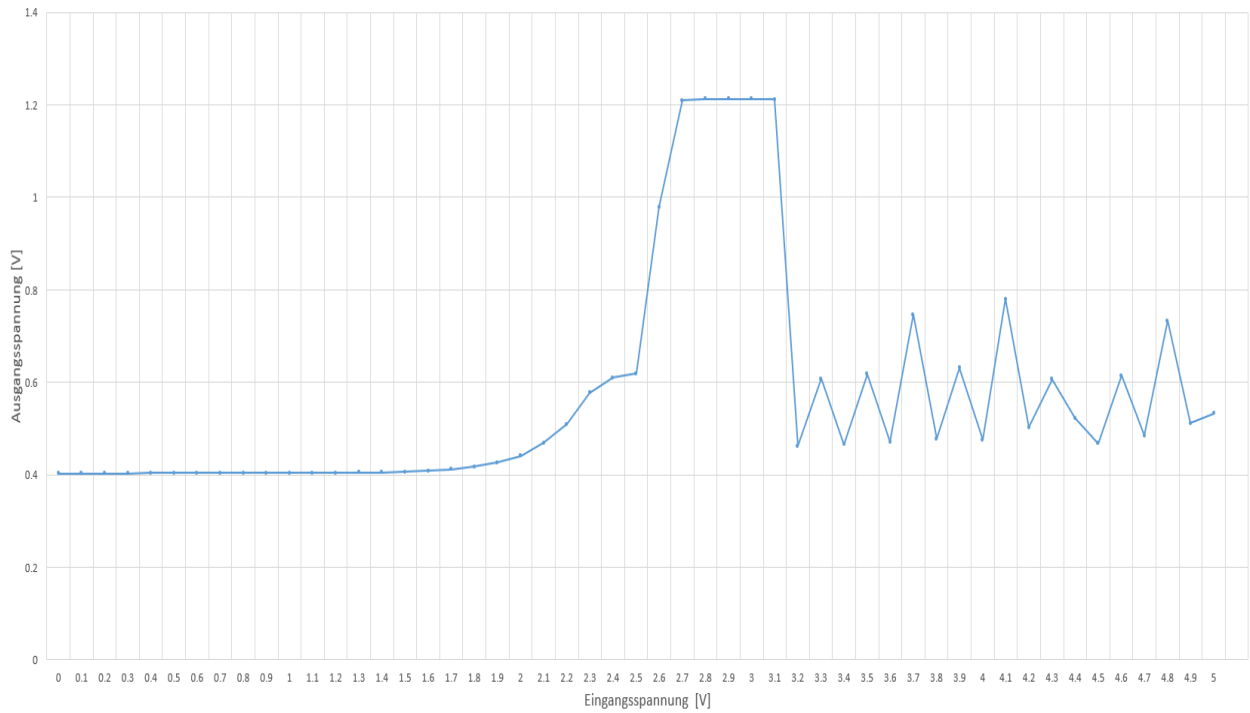


Abbildung 54 Messung der Schaltung mit ESD Schutzstruktur

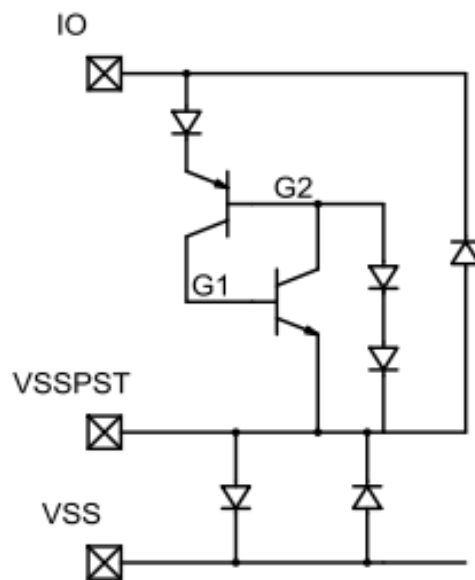


Abbildung 55 ESD Schutzstruktur

Das Ergebnis dieser Messung wird in Abbildung 56 dargestellt. Wie zu sehen ist, kann die Eingangsspannung nach Entfernung der ESD Schutzstruktur bis auf 5V angehoben werden, während die Ausgangsspannung des Reglers konstant auf 1,2V bleibt.

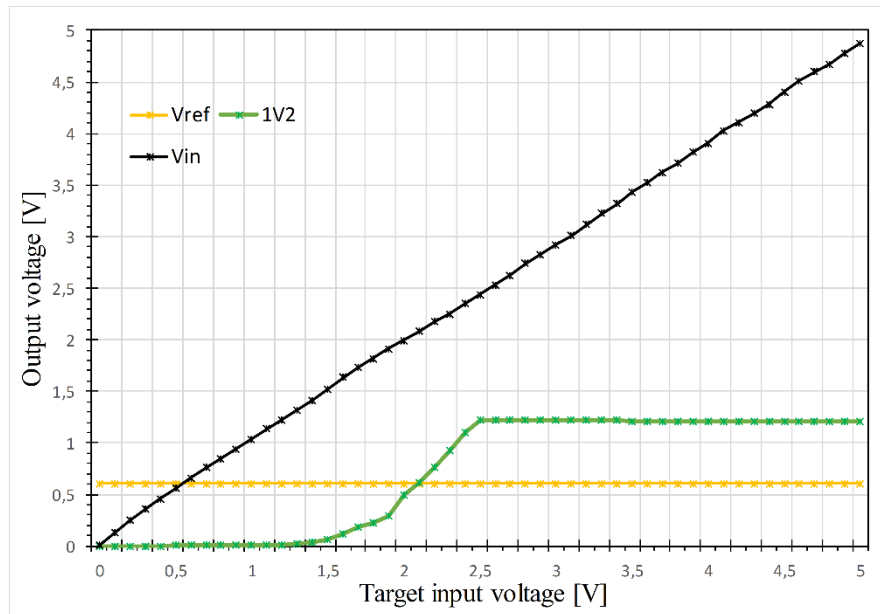


Abbildung 56 Messung der Schaltung ohne ESD Schutzstruktur

8 Fazit

Das Ziel der vorliegenden Arbeit war es, einen Regler zu entwickeln der bei einer 5V Eingangsspannung eine Ausgangsspannung von 1,2V unabhängig von der angeschlossenen Last generiert. Für die Gewährleistung der Strahlenhärte ist es notwendig, sich beim Schaltungsentwurf auf Transistoren mit dünnem Gate-Oxid zu beschränken, die eine Maximalspannung von 1,32V vertragen können. Mit den vorgegebenen Lastströmen von 200mA, 100mA, 50mA und 0mA, konnte die Spannung mit den verschiedenen Cornern bei 5V Eingangsspannung erreicht werden. Der Regler startet bei allen Corner ab einer Eingangsspannung von höchstens 4,83V. Alle Transistoren bleiben dabei innerhalb der erlaubten Spannungsgrenzen bis zu einer Eingangsspannung von 5V.

Durch Kaskodierung wurde die hohe Spannung auf viele Transistoren aufgeteilt. Die Spannungsverteilung auf die Transistoren ist aber im hohen Maße vom Arbeitspunkt abhängig.

Eine besondere Herausforderung stellt der Einschaltvorgang des Reglers dar, was auf die besondere Architektur zurückzuführen ist. Durch die Integration der Startup-Schaltung konnte das Verhalten des Reglers während des Einschaltvorgangs optimiert werden.

Eine weitere Herausforderung war die Stabilisierung des Reglers. Auf Grund der dreistufigen Struktur und des hohen Ausgangswiderstandes der mehrfach kaskodierten Transistoren mussten besondere Maßnahmen zur Stabilisierung ergriffen werden. Durch den in Abbildung 21 eingepflegten Gate-Drain verbundenen Transistoren M46 und den Transistor M6 in Abbildung 22 konnte der Ausgangswiderstand gesenkt und zudem gewährleistet werden, dass sich der Regler stabil verhält. Für den sicheren Betrieb des Reglers ist jedoch die Entwicklung einer ESD Schutzstruktur nötig, welche auch oberhalb von 5V funktioniert. Desweiteren müssen für den Nachweis der Strahlungsfestigkeit intensive Bestrahlungsstudien durchgeführt werden.

Abbildungsverzeichnis

Abbildung 1 Aufbau eines PMOS- Transistors [1]	5
Abbildung 2 Aufsicht PMOS [2]	5
Abbildung 3 PMOS	6
Abbildung 4 NMOS.....	6
Abbildung 5 Raumladungszone [1]	7
Abbildung 6 Transistor leitet [1]	7
Abbildung 7 Boddyeffekt [1].....	8
Abbildung 8 Eingangskennlinie eines NMOS-Transistors	11
Abbildung 9 Ausgangskennlinie eines NMOS in starker Inversion [3].....	11
Abbildung 10 Ausgangskennlinie eines NMOS in schwacher Inversion [4].....	13
Abbildung 11 Stromspiegel [18]	14
Abbildung 12 Gleichung für die Einstellung des Eingangsstromes I_2 in Abhängigkeit des Eingangsstromes I_1 [18].....	14
Abbildung 13 Strahlungsinduzierte Veränderungen des Ableitstroms I_{leak} (a) und der Schwellenspannung V_{th} (b) für verschiedene Transistorgrößen [9].	17
Abbildung 14 Operationsverstärker.....	18
Abbildung 15 Low-Dropout-Regler	20
Abbildung 16 Offener Regelkreis.....	22
Abbildung 17 Regelkreis	22
Abbildung 18 Ortskurve für stabiles und instabiles System.....	23
Abbildung 19 Stabilität überprüfen anhand des Bode Diagramms	24
Abbildung 20 Phasenreserve in der Ortskurve	25
Abbildung 21 Schaltung	26
Abbildung 22 Der differentielle Verstärker.....	30
Abbildung 23 Bias-Schaltung.....	31
Abbildung 24 Testbench.....	35
Abbildung 25 Laststrom von 200mA	36
Abbildung 26 Differentiellen Verstärker bei einem Laststrom von 200mA	37
Abbildung 27 Bias-Schaltung bei einem Laststrom von 200mA	37
Abbildung 28 Monte Carlo Simulation bei 200mA Laststrom	38

Abbildung 29 Laststrom von 100mA	39
Abbildung 30 Differentiellen Verstärkers bei 100mA Laststrom	40
Abbildung 31 Bias-Schaltung bei einem Laststrom von 100mA	40
Abbildung 32 Laststrom von 50mA	41
Abbildung 33 Laststrom von 0A	42
Abbildung 34 Konfiguration der automatisierten Checks	43
Abbildung 35 Sweeps bis 5,7V bei einem Laststrom von 0A	43
Abbildung 36 Sweeps bis 5,7V bei einem Laststrom von 200mA	44
Abbildung 37 Load Regulation	45
Abbildung 38 Bode Diagramm des Verstärkers	47
Abbildung 39 Die Phasenreserve bei einem Laststrom von 200mA	47
Abbildung 40 Die Phasenreserve bei einem Laststrom von 0A	48
Abbildung 41 Anlegen einer neuen Zelle	49
Abbildung 42 Layout Fenster	50
Abbildung 43 Display Option	51
Abbildung 44 Instanzen Einfügen	53
Abbildung 45 Passdevice im Schmetic	54
Abbildung 46 Desing Rule Check	55
Abbildung 47 Layout Versus Schemtic (LVS)	56
Abbildung 48 Das Layout des Passdeviceses	57
Abbildung 49 Das Layout der Startup-Schaltung	58
Abbildung 50 Das Layout des differentiellen Verstärkers	59
Abbildung 51 Gesamtes Layout	60
Abbildung 52 Spannungsregler	62
Abbildung 53 Messgeräte	63
Abbildung 54 Messung der Schaltung mit ESD Schutzstruktur	64
Abbildung 55 ESD Schutzstruktur	64
Abbildung 56 Messung der Schaltung ohne ESD Schutzstruktur	65

Verweise

- [1] Prof. Dr.-Ing. Micheal Karagounis, *Analog CMOS Design, Kapitel 1: Einführung, Folie 12*, Wintersemester 17/18.
- [2] Prof. Dr.-Ing. Michael Karagounis, *Analog CMOS Design, Kapitel 1: Einführung, Folie 14*, Wintersemester 17/18.
- [3] Prof. Dr.-Ing. Michael Karagounis, *Computer unterstützter Entwurf in der Mikroelektronik, Kapitel 2: Transistorkennlinien, Folie 5*, Wintersemester 17/18.
- [4] Prof. Dr.-Ing. Michael Karagounis, *Computer unterstützter Entwurf in der Mikroelektronik Analog, Kapitel 2: Transistorkennlinien Folie 7*, Wintersemester 17/18.
- [5] P. E. Dodd and L. W. Massengrill, *Basic mechanisms and modeling of single-eventupset in digital microelectronics*”, *IEEE Transactions on Nuclear Science* 50, 583–602(2003).
- [6] T. May, “*Soft Errors in VLSI: Present and Future*”, *IEEE Transactions on Components,Hybrids, and Manufacturing Technology* 2, 377–387 (1979).
- [7] R. Velazco, P. Fouillat, and R. Reis,, *Radiation Effects on Embedded Systems (SpringerNetherlands, 2007)*.
- [8] G. Anelli et al, “*Radiation tolerant VLSI circuits in standard deep submicron CMOS technologies for the LHC experiments: practical design aspects*”, *IEEE Transactionson Nuclear Science* 46, 1690–1696 (1999).
- [9] F. Faccio and G. Cervelli, “*Radiation-Induced Edge Effects in Deep Submicron CMOS Transistors*”, *IEEE Transactions on Nuclear Science* 52, 2413–2420 (2005).
- [10] F. Faccio et al, “*Radiation-Induced Short Channel (RISCE) and Narrow Channel (RINCE) Effects in 65 and 130 nm MOSFETs*”, *IEEE Transactions on Nuclear Science* 62, 2933–2940 (2015).
- [11] R. D. Schrimpf, “*Radiation Effects in Microelectronics*”, in *Radiation effects on embedded systems, edited by R. VELAZCO, P. FOUILLAT, and R. REIS (Springer Netherlands, Dordrecht, 2007)*.

- [12] K. Dette, “*Commissioning of the ATLAS Insertable B-Layer and first operation experience*”, Presented 24 Mar 2017, PhD thesis (Feb. 2017).
- [13] H. Spieler, *Semiconductor Detector Systems* (Oxford Science Publications, 2005).
- [14] F. Hartmann, *Evolution of Silicon Sensor Technology in Particle Physics* (Springer, Cham, 2017).
- [15] H. Kolanoski and N. Wermes, *Evolution of Silicon Sensor Technology in Particle Physics* (Springer Spektrum, Berlin, Heidelberg, 2016).
- [16] Niklaus Lehmann, *PhD Thesis: Development of a Detector Control System Chip* von Seite 21 - 23 ins deutsche übersetzt und übernommen.
- [17] Sahin Deniz, *Bachelorarbeit: Entwurf eines Low-Drop Out Regulators in 180nm CMOS Technologie*, Seite 8,9,15,16,17,18 und 19 wurden übernommen.
- [18] Prof. Dr.-Ing. Micheal Karagounis, *Computer unterstützter Entwurf in der Mikroelektronik, Kapitel 3: Arbeitspunkteinstellung, Folie 5*, Wintersemester 17/18.

Eidesstattliche Erklärung

Hiermit versichere ich an Eides statt, dass die von mir vorgelegte Arbeit selbstständig und ohne unzulässige fremde Hilfe erstellt worden ist.

Alle verwendeten Quellen sind in der Arbeit so aufgeführt, dass Art und Umfang der Verwendung nachvollziehbar sind.

Dortmund, _____

Ort, Datum

Semih Yilmaz _____

Unterschrift