

# Fachhochschule Dortmund

University of Applied Sciences and Arts



Messtechnische Validierung eines Shunt-Low-Dropout-  
Spannungsreglers zur strombasierten Versorgung der  
seriell verschalteten Pixel-Detektormodule des ATLAS-  
und CMS-Experiments am High-Luminosity  
Large Hadron Collider

Masterthesis

zur Erlangung des akademischen Grades

Master of Engineering (M.Eng.)

Jendrik Zorn

August 2019

Erster Prüfer: Prof. Dr.-Ing. Michael Karagounis

Zweiter Prüfer: M.Eng. Jeremias Kampkötter

Fachhochschule Dortmund

Studiengang: Informations- und Elektrotechnik

## **Kurzfassung**

### **Messtechnische Validierung eines Shunt-Low-Dropout-Spannungsreglers zur strombasierten Versorgung der seriell verschalteten Pixel-Detektormodule des ATLAS- und CMS-Experiments am High-Luminosity Large Hadron Collider**

In dieser Masterthesis wird ein Shunt-Low-Dropout-Spannungsregler messtechnisch überprüft. Dieser Regler entsteht in Kooperation zwischen der Fachhochschule Dortmund und dem Kernforschungszentrum CERN für die Nutzung in Experimenten am LHC-Teilchenbeschleuniger in Genf. Der Fokus liegt auf der Messung der ersten beiden entwickelten Testchips des Projektes RD53B, inklusive der technischen Grundlagen, des genutzten Messaufbaus und der Validierung. Diese Thesis soll den Grundstein für Messungen an den folgenden Chipgenerationen im Rahmen des Projektes legen.

## **Abstract**

### **Metrological validation of a Shunt-Low-Dropout voltage regulator for current based supply of the serially connected pixel detector modules of the ATLAS- and CMS-experiment at the High-Luminosity Large Hadron Collider**

In this master thesis a Shunt-Low-Dropout voltage regulator is to be metrologically checked. This regulator is being developed in cooperation between the University of Applied Sciences and Arts in Dortmund and the European Organization for Nuclear Research CERN for the integration into experiments of the particle accelerator in Geneva. The focus is on the measurement of the first two developed test chips of the project RD53B, including the theoretical basics, the used measurement setup and the validation. This thesis is intended to lay the foundation for measurements on the following chip generations of the project.

## Eidesstattliche Erklärung

Hiermit versichere ich an Eides statt, dass ich die vorliegende Arbeit selbständig und ohne die Benutzung anderer als der angegebenen Hilfsmittel angefertigt habe. Alle Stellen, die wörtlich oder sinngemäß aus veröffentlichten und nicht veröffentlichten Schriften entnommen wurden, sind als solche kenntlich gemacht. Die Arbeit ist in gleicher oder ähnlicher Form oder auszugsweise im Rahmen einer anderen Prüfung noch nicht vorgelegt worden.

---

Ort, Datum

---

Unterschrift

# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
<b>2</b>	<b>Grundlagen: Shunt-LDO-Spannungsregler</b>	<b>2</b>
2.1	Shunt-LDO-Spannungsregler . . . . .	2
2.2	Bandgap-Schema . . . . .	4
2.3	Undershunt Current Protection . . . . .	6
2.4	Overvoltage Protection (Testchip 2) . . . . .	7
2.5	Startup-Schaltung (Testchip 2) . . . . .	8
2.6	AC-Gleichrichter / Low- & High-Power Modus (Testchip 2) . . . . .	9
<b>3</b>	<b>Messgrundlagen</b>	<b>10</b>
3.1	Leiterplatte SLDO (RD53B) - Testchip 1 . . . . .	10
3.2	Leiterplatte SLDO (RD53B) - Testchip 2 . . . . .	12
3.3	Leiterplatte Prepower (RD53A) . . . . .	14
3.4	Weitere Komponenten der Platinen . . . . .	15
3.4.1	Verwendung des Instrumentenverstärkers . . . . .	15
3.4.2	Verwendung des NMOS-Transistors . . . . .	16
3.5	Messaufbau . . . . .	17
3.6	Verwendete Quellen und Messgeräte . . . . .	18
3.6.1	Sourcemeeter Keithley 2460 & Keithley 2401 . . . . .	18
3.6.2	Multimeter Keithley DMM6500 & Keithley 2000 . . . . .	19
3.6.3	Netzteil Rohde & Schwarz HMP4030 . . . . .	19
3.6.4	Oszilloskop Rohde & Schwarz HMO1024 . . . . .	20
3.6.5	Waveform Generator Agilent 33500B & Rohde & Schwarz HMF2525 . . . . .	20
3.7	Die Shuldo-Test-Messsteuerungs-Software (v1.1a) . . . . .	21
<b>4</b>	<b>Messergebnisse</b>	<b>23</b>
4.1	Line Regulation . . . . .	24
4.1.1	TestChip 1 & 2 - Line Regulation - LDO . . . . .	25
4.1.2	TestChip 1 & 2 - Line Regulation - SLDO - HPM . . . . .	26
4.1.3	TestChip 1 & 2 - Line Regulation - SLDO - LPM . . . . .	27
4.2	Load Regulation . . . . .	28
4.2.1	TestChip 1 & 2 - Load Regulation - LDO . . . . .	29
4.2.2	TestChip 1 & 2 - Load Regulation - SLDO . . . . .	30
4.3	Sweep des externen Widerstands und der Offsetspannung . . . . .	32
4.3.1	Testchip 1 - Sweep des externen Widerstands . . . . .	33
4.3.2	Testchip 2 - Sweep des externen Widerstands . . . . .	34
4.3.3	Testchip 1 - Sweep der Offsetspannung . . . . .	35
4.3.4	Testchip 2 - Sweep der Offsetspannung . . . . .	36



4.4	Transiente Eingangssignalwechsel . . . . .	37
4.4.1	Testchip 1 & 2 - Transiente Eingangsspannungswechsel - LDO . . . . .	38
4.4.2	Testchip 1 & 2 - Transiente Eingangsstromwechsel - SLDO . . . . .	38
4.5	Transiente Lastwechsel . . . . .	40
4.5.1	Testchip 1 & 2 - Transiente Lastwechsel - LDO . . . . .	41
4.5.2	Testchip 1 & 2 - Transiente Lastwechsel - SLDO - HPM . . . . .	43
4.5.3	Testchip 1 & 2 - Transiente Lastwechsel - SLDO - LPM . . . . .	45
4.6	Einschaltverhalten . . . . .	46
4.6.1	Testchip 1 & 2 - Einschaltverhalten ( $V_{in} = 0\text{ V} - 1,4\text{ V}$ ) - LDO . . . . .	47
4.6.2	Testchip 1 & 2 - Einschaltverhalten ( $V_{in} = 0\text{ V} - 2\text{ V}$ ) - LDO . . . . .	49
4.6.3	Testchip 1 & 2 - Einschaltverhalten ( $I_{in} = 0\text{ A} - 1\text{ A}$ ) - SLDO - HPM . . . . .	51
4.6.4	Testchip 1 & 2 - Einschaltverhalten ( $I_{in} = 0\text{ A} - 1,6\text{ A}$ ) - SLDO - HPM . . . . .	53
4.6.5	Testchip 1 & 2 - Einschaltverhalten ( $I_{in} = 0\text{ A} - 1\text{ A}$ ) - SLDO - LPM . . . . .	55
4.7	Messung der Startup-Schaltung . . . . .	57
4.8	Undershunt Current Protection . . . . .	58
4.8.1	TestChip 1 & 2 - USCP (statisch) - Load Regulation - SLDO - HPM . . . . .	59
4.8.2	TestChip 1 & 2 - USCP (statisch) - Load Regulation - SLDO - LPM . . . . .	60
4.8.3	TestChip 1 & 2 - USCP (transient) - $I_{load} = 0\text{ A} - 1\text{ A}$ - HPM . . . . .	61
4.8.4	TestChip 1 & 2 - USCP (transient) - $I_{load} = 0\text{ A} - 1,4\text{ A}$ - HPM . . . . .	63
4.8.5	TestChip 1 & 2 - USCP (transient) - $I_{load} = 0\text{ A} - 1\text{ A}$ - LPM . . . . .	65
4.9	Overvoltage Protection . . . . .	67
4.9.1	Testchip 2 - Overvoltage Protection (statisch) - Line Regulation . . . . .	68
4.9.2	Testchip 2 - Overvoltage Protection (statisch) - Load Regulation . . . . .	69
4.9.3	Testchip 2 - Overvoltage Protection (transient) - ( $I_{in} = 0,6\text{ A} - 1,6\text{ A}$ ) . . . . .	70
4.9.4	Testchip 2 - Overvoltage Protection (transient) - ( $I_{in} = 1\text{ A} - 2\text{ A}$ ) . . . . .	71
4.10	AC-Gleichrichter / Wechsel zwischen HPM und LPM (Testchip 2) . . . . .	72
<b>5</b>	<b>Fazit</b> . . . . .	<b>73</b>
<b>6</b>	<b>Literaturverzeichnis</b> . . . . .	<b>74</b>
<b>A</b>	<b>Anhang</b> . . . . .	<b>76</b>
A.1	CD . . . . .	76

# Abkürzungsverzeichnis

<b>ATLAS</b>	(A Toroidal LHC ApparatuS)-Experiment bzw. Detektor am LHC
<b>CERN</b>	Europäische Organisation für Kernforschung in Genf
<b>CMS</b>	(Compact Muon Solenoid)-Experiment bzw. Detektor am LHC
<b>DAC</b>	Digital-to-Analog-Converter
<b>GPIO</b>	General Purpose Interface Bus
<b>HPM</b>	High-Power Modus
<b>LDO</b>	Low-Dropout-Spannungsregler
<b>LHC</b>	Large Hadron Collider (Teilchenbeschleuniger am Kernforschungszentrum CERN)
<b>LPM</b>	Low-Power Modus
<b>HL-LHC</b>	Projekt zur Erhöhung der Luminosität am LHC
<b>NMOS</b>	N-Kanal-Metall-Oxid-Halbleiter-Feldeffekttransistor
<b>OP</b>	Operationsverstärker
<b>OVP</b>	Overvoltage Protection (Überspannungsschutz)
<b>PCB</b>	Printed Circuit Board (Leiterplatte)
<b>PMOS</b>	P-Kanal-Metall-Oxid-Halbleiter-Feldeffekttransistor
<b>SLDO</b>	Shunt-Low-Dropout-Spannungsregler
<b>USB</b>	Universal Serial Bus
<b>USCP</b>	Undershunt Current Protection
<b>VDS</b>	Drain-Source-Spannung
<b>VGS</b>	Gate-Source-Spannung
<b>VT</b>	Schwellenspannung

# Abbildungsverzeichnis

2.1	Aufbau des Shunt-LDO-Spannungsreglers . . . . .	2
2.2	Aufbau des Bandgap-Schemas . . . . .	5
2.3	Aufbau der Undershunt Current Protection . . . . .	6
2.4	Aufbau der Overvoltage Protection . . . . .	7
2.5	Aufbau der Startup-Schaltung . . . . .	8
2.6	Aufbau der AC-Gleichrichter-Schaltung . . . . .	9
3.1	Platine für Testchip 1 . . . . .	10
3.2	Platine für Testchip 2 . . . . .	12
3.3	Platine für die Prepower-Schaltung . . . . .	14
3.4	Schaltungsteil des Instrumentenverstärkers . . . . .	15
3.5	Schaltungsteil des Transistors auf dem Testchip (links)/Prepower-Platine (rechts)	16
3.6	Aufbau des Messsystems . . . . .	17
3.7	Sourcemeter Keithley 2460 [Keic] . . . . .	18
3.8	Sourcemeter Keithley 2401 [Keib] . . . . .	18
3.9	Multimeter Keithley DMM6500 (links) [Keid] & Keithley 2000 (rechts) [Keia]	19
3.10	Netzteil Rohde & Schwarz HMP4030 [Rohc] . . . . .	19
3.11	Oszilloskop Rohde & Schwarz HMO1024 [Rohb] . . . . .	20
3.12	Waveform Generator Agilent 33500B (links) [Agi] & R&S HMF2525 (rechts) [Roha]	20
3.13	GUI der SLDO-Messsteuerungs-Software [Mac17] . . . . .	21
4.1	Line Regulation von Testchip 1 im LDO-Modus . . . . .	25
4.2	Line Regulation von Testchip 2 im LDO-Modus . . . . .	25
4.3	Line Regulation von Testchip 1 im SLDO-Modus - HPM . . . . .	26
4.4	Line Regulation von Testchip 2 im SLDO-Modus - HPM . . . . .	26
4.5	Line Regulation von Testchip 1 im SLDO-Modus - LPM . . . . .	27
4.6	Line Regulation von Testchip 2 im SLDO-Modus - LPM . . . . .	27
4.7	Load Regulation von Testchip 1 mit $V_{in} = 2\text{ V}$ im LDO-Modus . . . . .	29
4.8	Load Regulation von Testchip 2 mit $V_{in} = 2\text{ V}$ im LDO-Modus . . . . .	29
4.9	Load Regulation von Testchip 1 mit $I_{in} = 1,05\text{ A}$ im SLDO-Modus . . . . .	30
4.10	Load Regulation von Testchip 2 mit $I_{in} = 1,05\text{ A}$ im SLDO-Modus . . . . .	30
4.11	Load Regulation von Testchip 1 mit $I_{in} = 2\text{ A}$ im SLDO-Modus . . . . .	31
4.12	Load Regulation von Testchip 2 mit $I_{in} = 2\text{ A}$ im SLDO-Modus . . . . .	31
4.13	Eingangsspannung von Testchip 1 für verschiedene Widerstandswerte $R_{ext}$ . . . .	33
4.14	Slope und Offset von Testchip 1 bei verschiedenen Widerstandswerten $R_{ext}$ . . .	33
4.15	Eingangsspannung von Testchip 2 für verschiedene Widerstandswerte $R_{ext}$ . . . .	34
4.16	Slope und Offset von Testchip 2 bei verschiedenen Widerstandswerten $R_{ext}$ . . .	34
4.17	Eingangsspannung von Testchip 1 für verschiedene Offsetspannungen $V_{ofs}$ . . . .	35
4.18	Slope und Offset von Testchip 1 bei verschiedenen Offsetspannungen $V_{ofs}$ . . . .	35
4.19	Eingangsspannung von Testchip 2 für verschiedene Offsetspannungen $V_{ofs}$ . . . .	36

---

4.20	Slope und Offset von Testchip 2 bei verschiedenen Offsetspannungen $V_{\text{ofs}}$ . . . . .	36
4.21	Eingangsspannung von 1,4 V – 2 V von Testchip 1 & 2 . . . . .	38
4.22	Eingangsstrom von 1 A – 1,6 A von Testchip 1 & 2 - HPM . . . . .	39
4.23	Eingangsstrom von 1 A – 1,6 A mit $I_{\text{load}} = 950 \text{ mA}$ von Testchip 1 & 2 - HPM . . . . .	39
4.24	Eingangsstrom von 300 mA – 1 A von Testchip 1 & 2 - LPM . . . . .	39
4.25	Lastwechsel von $I_{\text{load}} = 0 \text{ A} - 500 \text{ mA}$ bei $V_{\text{in}} = 1,4 \text{ V}$ für Testchip 1 & 2 . . . . .	41
4.26	Lastwechsel von $I_{\text{load}} = 450 \text{ mA} - 950 \text{ mA}$ bei $V_{\text{in}} = 1,4 \text{ V}$ für Testchip 1 & 2 . . . . .	41
4.27	Lastwechsel von $I_{\text{load}} = 0 \text{ A} - 500 \text{ mA}$ bei $V_{\text{in}} = 2 \text{ V}$ für Testchip 1 & 2 . . . . .	42
4.28	Lastwechsel von $I_{\text{load}} = 450 \text{ mA} - 950 \text{ mA}$ bei $V_{\text{in}} = 2 \text{ V}$ für Testchip 1 & 2 . . . . .	42
4.29	Lastwechsel von $I_{\text{load}} = 0 \text{ A} - 500 \text{ mA}$ bei $I_{\text{in}} = 1 \text{ A}$ für Testchip 1 & 2 . . . . .	43
4.30	Lastwechsel von $I_{\text{load}} = 450 \text{ mA} - 950 \text{ mA}$ bei $I_{\text{in}} = 1 \text{ A}$ für Testchip 1 & 2 . . . . .	43
4.31	Lastwechsel von $I_{\text{load}} = 0 \text{ A} - 500 \text{ mA}$ bei $I_{\text{in}} = 1,7 \text{ A}$ für Testchip 1 & 2 . . . . .	44
4.32	Lastwechsel von $I_{\text{load}} = 450 \text{ mA} - 950 \text{ mA}$ bei $I_{\text{in}} = 1,7 \text{ A}$ für Testchip 1 & 2 . . . . .	44
4.33	Lastwechsel von $I_{\text{load}} = 0 \text{ A} - 500 \text{ mA}$ bei $I_{\text{in}} = 1 \text{ A}$ für Testchip 1 & 2 . . . . .	45
4.34	Lastwechsel von $I_{\text{load}} = 450 \text{ mA} - 950 \text{ mA}$ bei $I_{\text{in}} = 1 \text{ A}$ für Testchip 1 & 2 . . . . .	45
4.35	Einschaltverhalten von Testchip 1 im LDO-Modus mit $V_{\text{in}} = 0 \text{ V} - 1,4 \text{ V}$ . . . . .	47
4.36	Einschaltverhalten von Testchip 2 im LDO-Modus mit $V_{\text{in}} = 0 \text{ V} - 1,4 \text{ V}$ . . . . .	48
4.37	Einschaltverhalten von Testchip 1 im LDO-Modus mit $V_{\text{in}} = 0 \text{ V} - 2 \text{ V}$ . . . . .	49
4.38	Einschaltverhalten von Testchip 2 im LDO-Modus mit $V_{\text{in}} = 0 \text{ V} - 2 \text{ V}$ . . . . .	50
4.39	Einschaltverhalten von Testchip 1 im SLDO-Modus mit $I_{\text{in}} = 0 \text{ A} - 1 \text{ A}$ - HPM) . . . . .	51
4.40	Einschaltverhalten von Testchip 2 im SLDO-Modus mit $I_{\text{in}} = 0 \text{ A} - 1 \text{ A}$ - HPM . . . . .	52
4.41	Einschaltverhalten von Testchip 1 im SLDO-Modus mit $I_{\text{in}} = 0 \text{ A} - 1,6 \text{ A}$ - HPM . . . . .	53
4.42	Einschaltverhalten von Testchip 2 im SLDO-Modus mit $I_{\text{in}} = 0 \text{ A} - 1,6 \text{ A}$ - HPM . . . . .	54
4.43	Einschaltverhalten von Testchip 1 im SLDO-Modus mit $I_{\text{in}} = 0 \text{ A} - 1 \text{ A}$ - LPM . . . . .	55
4.44	Einschaltverhalten von Testchip 2 im SLDO-Modus mit $I_{\text{in}} = 0 \text{ A} - 1 \text{ A}$ - LPM . . . . .	56
4.45	Line Regulation mit aktivierter Startup-Schaltung - HPM . . . . .	57
4.46	Line Regulation mit aktivierter Startup-Schaltung - LPM . . . . .	57
4.47	Load Regulation von Testchip 1 im SLDO-Modus mit aktiver USCP - HPM . . . . .	59
4.48	Load Regulation von Testchip 2 im LDO-Modus mit aktiver USCP - HPM . . . . .	59
4.49	Load Regulation von Testchip 1 im SLDO-Modus mit aktiver USCP - LPM . . . . .	60
4.50	Load Regulation von Testchip 2 im LDO-Modus mit aktiver USCP - LPM . . . . .	60
4.51	USCP Testchip 1 mit $I_{\text{in}} = 1 \text{ A}$ , Erhöhung der Last bis Einbruch - HPM . . . . .	61
4.52	USCP Testchip 2 mit $I_{\text{in}} = 1 \text{ A}$ , Erhöhung der Last bis Einbruch - HPM . . . . .	62
4.53	USCP Testchip 1 mit $I_{\text{in}} = 1,4 \text{ A}$ , Erhöhung der Last bis Einbruch - HPM . . . . .	63
4.54	USCP Testchip 2 mit $I_{\text{in}} = 1,4 \text{ A}$ , Erhöhung der Last bis Einbruch - HPM . . . . .	64
4.55	USCP Testchip 1 mit $I_{\text{in}} = 1 \text{ A}$ , Erhöhung der Last bis Einbruch - LPM . . . . .	65
4.56	USCP Testchip 2 mit $I_{\text{in}} = 1 \text{ A}$ , Erhöhung der Last bis Einbruch - LPM . . . . .	66
4.57	Line Regulation (Eingangsstrom) mit aktiver OVP im LDO-Modus - HPM . . . . .	68
4.58	Line Regulation (Eingangsstrom) mit aktiver OVP im LDO-Modus - LPM . . . . .	68
4.59	Load Regulation mit aktiver OVP im LDO-Modus - HPM . . . . .	69

4.60	Load Regulation mit aktiver OVP im LDO-Modus - LPM . . . . .	69
4.61	Eingangsstrom von $I_{in} = 0,6 A - 1,6 A$ mit aktiver OVP im HPM . . . . .	70
4.62	Eingangsstrom von $I_{in} = 0,6 A - 1,6 A$ mit aktiver OVP im LPM . . . . .	70
4.63	Eingangsstrom von $I_{in} = 1 A - 2 A$ mit aktiver OVP im HPM . . . . .	71
4.64	Eingangsstrom von $I_{in} = 1 A - 2 A$ mit aktiver OVP im LPM . . . . .	71
4.65	Wechsel vom HPM in den LPM durch ein aktives AC-Signal . . . . .	72

# Tabellenverzeichnis

1	Spezifikationen des Chips . . . . .	4
2	Auflistung der Anschlüsse von Testchip 1 . . . . .	11
3	Auflistung der Anschlüsse von Testchip 2 . . . . .	13
4	Auflistung der Anschlüsse der Prepower-Platine . . . . .	14
5	Übersicht zur Messung der Line Regulation . . . . .	24
6	Übersicht zur Messung der Load Regulation . . . . .	28
7	Übersicht zur Messung der Sweeps von $R_{ext}$ und $V_{ofshalf}$ . . . . .	32
8	Übersicht zur Messung der transienten Eingangssignalwechsel . . . . .	37
9	Spannungsbereich und Einschwingzeit von $V_{out}$ für versch. Eingangssignale . . . . .	38
10	Übersicht zur Messung der transienten Lastwechsel . . . . .	40
11	Spannungsbereich und Einschwingzeit von $V_{out}$ für Lastw. bei $V_{in} = 1,4\text{ V}$ . . . . .	41
12	Spannungsbereich und Einschwingzeit von $V_{out}$ für Lastw. bei $V_{in} = 2\text{ V}$ . . . . .	42
13	Spannungsbereich und Einschwingzeit von $V_{out}$ für Lastw. bei $I_{in} = 1\text{ A}$ im HPM . . . . .	43
14	Spannungsbereich und Einschwingzeit von $V_{out}$ für Lastw. bei $I_{in} = 1,7\text{ A}$ im HPM . . . . .	44
15	Spannungsbereich und Einschwingzeit von $V_{out}$ für Lastw. bei $I_{in} = 1\text{ A}$ im LPM . . . . .	45
16	Übersicht zur Messung des Einschaltverhaltens . . . . .	46
17	Anstiegszeiten der Messungen bei $V_{in} = 0\text{ V} - 1,4\text{ V}$ für Testchip 1 . . . . .	47
18	Anstiegszeiten der Messungen bei $V_{in} = 0\text{ V} - 1,4\text{ V}$ für Testchip 2 . . . . .	48
19	Anstiegszeiten der Messungen bei $V_{in} = 0\text{ V} - 2\text{ V}$ für Testchip 1 . . . . .	49
20	Anstiegszeiten der Messungen bei $V_{in} = 0\text{ V} - 2\text{ V}$ für Testchip 2 . . . . .	50
21	Anstiegszeiten der Messungen bei $I_{in} = 0\text{ A} - 1\text{ A}$ für Testchip 1 im HPM . . . . .	51
22	Anstiegszeiten der Messungen bei $I_{in} = 0\text{ A} - 1\text{ A}$ für Testchip 2 im HPM . . . . .	52
23	Anstiegszeiten der Messungen bei $I_{in} = 0\text{ A} - 1,6\text{ A}$ für Testchip 1 im HPM . . . . .	53
24	Anstiegszeiten der Messungen bei $I_{in} = 0\text{ A} - 1,6\text{ A}$ für Testchip 2 im HPM . . . . .	54
25	Anstiegszeiten der Messungen bei $I_{in} = 0\text{ A} - 1\text{ A}$ für Testchip 1 im LPM . . . . .	55
26	Anstiegszeiten der Messungen bei $I_{in} = 0\text{ A} - 1\text{ A}$ für Testchip 2 im LPM . . . . .	56
27	Übersicht zur Messung der Undershunt Current Protection . . . . .	58
28	Lastströme der Messungen bei $I_{in} = 1\text{ A}$ für Testchip 1 im HPM . . . . .	61
29	Lastströme der Messungen bei $I_{in} = 1\text{ A}$ für Testchip 2 im HPM . . . . .	62
30	Lastströme der Messungen bei $I_{in} = 1,4\text{ A}$ für Testchip 1 im HPM . . . . .	63
31	Lastströme der Messungen bei $I_{in} = 1,4\text{ A}$ für Testchip 2 im HPM . . . . .	64
32	Lastströme der Messungen bei $I_{in} = 1\text{ A}$ für Testchip 1 im LPM . . . . .	65
33	Lastströme der Messungen bei $I_{in} = 1\text{ A}$ für Testchip 2 im LPM . . . . .	66
34	Übersicht zur Messung der Overvoltage Protection . . . . .	67
35	Einfluss der OVP bei $I_{in} = 0,6\text{ A} - 1,6\text{ A}$ für Testchip 2 . . . . .	70
36	Einfluss der OVP bei $I_{in} = 1\text{ A} - 2\text{ A}$ für Testchip 2 . . . . .	71
37	Übersicht zur Messung des AC-Gleichrichters . . . . .	72

# 1 Einleitung

Der Large Hadron Collider (LHC) ist ein Teilchenbeschleuniger am Europäischen Kernforschungszentrum CERN bei Genf. Forschungsziele sind die Erzeugung und Untersuchung bekannter und noch unbekannter Elementarteilchen, sowie Materiezustände. Unter anderem haben die Experimente die präzise Vermessung der Eigenschaften des Higgs-Teilchens, Präzisionstests des Standardmodells der Teilchenphysik und die Suche nach neuen Teilchen und Phänomenen zum Ziel. Das Projekt des High-Luminosity Large Hadron Colliders (HL-LHC), welches ab dem Jahr 2026 in Betrieb gehen soll, hat das Ziel, die Leistung des Beschleunigers um einen Faktor von bis zu 10 über den aktuellen Wert zu erhöhen. Je höher die Luminosität, bzw. die Anzahl der Teilchenbegegnungen pro Zeit und Fläche, desto mehr Daten werden während der Experimente gesammelt und desto höher ist die Wahrscheinlichkeit, seltene Phänomene zu beobachten.

Eine Erhöhung der Luminosität stellt entsprechend eine erhöhte Anforderung an die Detektoren und Auslesechips dar, welche in den Experimenten ATLAS und CMS genutzt werden. Der Pixeldetektor wird an die neuen Anforderungen angepasst, indem die einzelnen Pixel, auf die die Teilchen treffen, verkleinert werden, während gleichzeitig die Anzahl der Pixel erhöht wird. Da die Stromaufnahme pro Pixel jedoch gleich bleibt, steigt folglich der benötigte Strom des Detektors. Ein Ansatz zur Steigerung der Effizienz der Versorgung der Auslesechips ist die serielle Verschaltung von bis zu 14 Modulen in einer Kette. Dabei wird die gesamte Kette mit einer Stromquelle versorgt. Damit aus dem konstanten Versorgungsstrom eine Spannung generiert werden kann, kommen Spannungsregler zum Einsatz.

Aus diesem Grund hat die Fachhochschule Dortmund, in Kooperation mit dem Cern Institut, die Aufgabe, im Rahmen der RD53B-Kollaboration und der Leitung von Herrn Prof. Dr. Karagounis, diesen Spannungsregler zu entwickeln und zu optimieren. Darüber hinaus müssen zusätzliche Schaltelemente zum Schutz des Reglers entworfen und simuliert werden und diese Simulationsergebnisse nach der Fertigung des Testchips durch detailreiche Messungen verifiziert werden.

Zum Einsatz kommt der Shunt-Low-Dropout-Spannungsregler (SLDO), welcher aus einem LDO und einem Shunt-Schaltkreis besteht und aus dem Versorgungsstrom eine Spannung erzeugt. In dieser Masterarbeit werden die Messergebnisse des Chips unter verschiedenen Betriebsbedingungen vorgestellt. Dabei liegt der Fokus auf den ersten beiden Testchips des RD53B-Projektes.

Zunächst wird eine Einführung in die Funktionalität des Spannungsreglers und den dazugehörigen Schutzschaltungen gegeben. Bevor die Messergebnisse behandelt werden, wird der Aufbau der Platine gezeigt und der Messaufbau mit den verwendeten Messgeräten vorgestellt.





Die Architektur, welche die beschriebenen Anforderungen erfüllt, ist in Abbildung 2.1 dargestellt. Die Spannungsregelung erfolgt durch den an einen LDO-Regler angelehnten Schaltungsteil, welcher aus dem Pass-Device M1, dem Verstärker A1 und dem resistiven Spannungsteiler R1 und R2 besteht. Der Spannungsteiler ist so gewählt, dass der Regler eine Ausgangsspannung generiert, die zweimal der Referenzspannung  $V_{\text{ref}}$  entspricht. Der Shunt-Transistor M4, der parallel zur Last am Ausgang des Reglers geschaltet ist, wird so angesteuert, dass er den Teil des Versorgungsstromes, der nicht durch die Last aufgenommen wird, nach Masse ableitet. Hierfür wird der  $k$ -te Teil des Eingangsstromes von M1 in den Pfad mit Transistor M2 gespiegelt, dort über den Transistor M5 in eine Spannung gewandelt und auf den invertierenden Eingang des Verstärkers A3 gegeben. Der Verstärker steuert den Transistor M4 an, welcher den Strom ableitet, der nicht durch die Last nach Masse fließt.

Die Offsetspannung  $V_{\text{ofs}}$ , welche den Wert der Eingangsspannung bei geringen Versorgungsströmen festlegt, wird über den Verstärker A4 in die Schaltung eingebracht. Als Referenz für Verstärker A3 dient der Strom, der durch Transistor M6 fließt. Dieser Strom wird durch den Spannungsabfall über den Widerstand R3 definiert, sobald sich am Eingang des Reglers eine Spannung größer als die Offsetspannung  $V_{\text{ofs}}$  aufgebaut hat.

$$I_{\text{ref}} = \frac{V_{\text{in}} - V_{\text{ofs}}}{R3} \quad (2.1)$$

Sollte die Eingangsspannung  $V_{\text{in}}$  kleiner sein als die Offsetspannung, ist der Referenzstrom gleich null. Für den Fall, dass der Strom durch den Transistor M5 kleiner als der Referenzstrom ist, wird der Shunt-Transistor M4 so angesteuert, dass er mehr Strom zieht und umgekehrt.

Der Widerstand R3 legt den Referenzstrom fest und ist intern integriert mit einem Wert von  $600\ \Omega$ . Auf der Platine besteht die Möglichkeit, zwischen dem internen ( $R_{\text{int}}$ ) und einem externen Widerstand ( $R_{\text{ext}}$ ) zu wählen. So ist die Größe des externen Widerstandes beliebig anpassbar. Bei Verwendung des externen Widerstandes  $R_{\text{ext}}$  wird  $R_{\text{int}}$  schwebend gehalten.

Der Verstärker A2 und der als Source-Folger eingesetzte Transistor M3 sind integriert, um die Spiegelungsgenauigkeit zu verbessern. Das bedeutet, dass die Transistoren M1 und M2 die gleichen VGS- und VDS-Spannungen haben und damit, dass der gespiegelte Strom nicht von der geringen Ausgangsimpedanz der Transistoren beeinflusst wird. Dies ist besonders während der Einschaltphase wichtig, so lange die Transistoren noch nicht in Sättigung sind. Eine hohe Stromspiegelgenauigkeit ist besonders für die gleichmäßige Verteilung des Versorgungsstromes auf parallel geschaltete Regler von Bedeutung.

Der Regler wird während der Messungen im LDO-Modus mit einer Eingangsspannung von bis zu 2 V, bzw. im SLDO-Modus mit einem Eingangsstrom von bis zu 2 A gespeist. Die Referenzspannung für den LDO-Regler wird über ein Potentiometer auf 600 mV eingestellt, die Offsetspannung im High-Power Modus auf 800 mV bzw. im Low-Power Modus auf 1,3 V. Beide Spannungen wer-

den durch Trimm-Bit-Einstellungen beeinflusst. Mit einem Referenzwert von 600 mV stellt sich eine Ausgangsspannung von etwa 1,2 V ein [Kam18][Kar10][Orf17][GS19].

Für die Testchips aus dem Projekt RD53B gelten die folgenden technischen Spezifikationen. Diese Anforderungen definieren die Qualität des Testchips und müssen eingehalten werden.

<b>Technische Spezifikationen</b>	
Eingangsspannung (LDO-Modus)	1,4 V – 2 V
Eingangsstrom (SLDO-Modus)	max. 2 A
Laststrom	max. 1 A
Ausgangsspannung	0,8 V – 1,32 V
Line Regulation	< 10 mV
Load Regulation	< 10 mV
Variation der Ausgangsspannung bei transienten Lastwechseln	±30 mV

Tabelle 1: Spezifikationen des Chips

## 2.2 Bandgap-Schema

Die Bandgap-Schaltung erzeugt eine Referenzspannung mit geringem Einfluss der Versorgungsspannung und Temperatur. Eine konstante Referenz ist wichtig, damit der Regler die gewünschte Ausgangsspannung unter allen möglichen Betriebsbedingungen erzeugt.

An das Bandgap-Schema des Reglers werden besondere Anforderungen gestellt: Der Chip muss mit bis zu 2 V betrieben werden, obwohl er mit Transistoren mit dünnem Gate-Oxid aufgebaut ist. Um dies zu gewährleisten, sind alle Transistoren kaskodiert. Ein weiteres Kriterium ist eine hohe Strahlenhärte. Aufgrund dessen kann das Bandgap-Schema nicht mit Dioden aufgebaut werden, die in Abhängigkeit von der Strahlungs-dosis eine driftende Referenzspannung verursachen.

Eine Alternative ist die Verwendung von MOS-Transistoren, die in schwacher Inversion betrieben werden, da in diesem Betriebsbereich MOS-Transistoren eine ähnliche Kennlinie wie Dioden besitzen. Der Strom durch einen Transistor in schwacher Inversion steigt exponentiell für erhöhte Gate-Source-Spannungen an. Ein Nachteil bei der Verwendung von MOS-Transistoren ist ihre Abhängigkeit von Prozessvariationen, was zu einer Referenzspannung führt, die unabhängig von der Versorgungsspannung und der Temperatur ist, jedoch von prozessabhängigen Abweichungen beeinflusst wird.

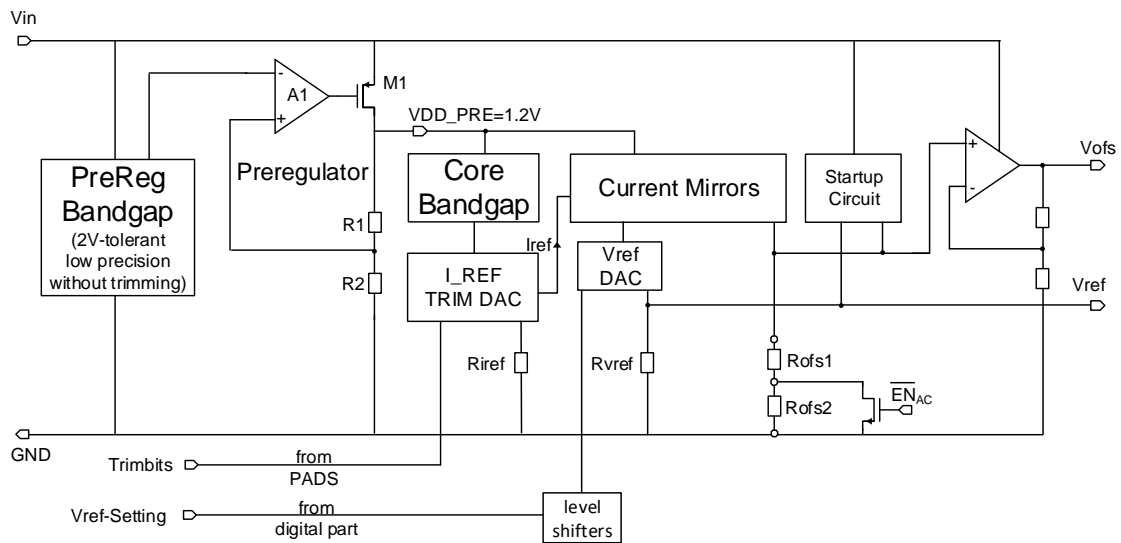


Abbildung 2.2: Aufbau des Bandgap-Schemas

Um den Einfluss der prozessabhängigen Variationen zu kompensieren, ist eine Trimm-Option mit Logikschaltungen implementiert. Dies steht im Widerspruch zur Anforderung von Betriebsspannungen von bis zu 2V, da Logikschaltungen wie z.B. ein Inverter in CMOS-Technologie den Überspannungen nicht standhalten können. Daher werden zwei Bandgap-Schaltungen kombiniert, um alle angegebenen Anforderungen zu erfüllen.

Die Preregulator-Bandgap (PreReg) ist für den Betrieb von bis zu 2V ausgelegt, bietet jedoch nur geringe Genauigkeit ohne Trimmen mit Variationen von bis zu  $\pm 25$  mV. Dies ist nicht für die Spezifikationen des Chips geeignet und wird daher als Referenz für einen Vorregler verwendet, der eine Spannung von 1,2V erzeugt. Aufgrund der zuvor erwähnten Variationen liegt die tatsächliche Ausgangsspannung des Vorreglers zwischen 1,15V und 1,25V. Dies ist im Rahmen der Spezifikation nicht problematisch, da die von dem Vorregler versorgten Schaltungen über einen ausreichend geringen Versorgungsspannungsdurchgriff in diesem Spannungsbereich verfügen. Die zweite Bandgap-Schaltung wird mit der Spannung des Vorreglers versorgt und bietet die Möglichkeit, über Trimm-Bits die Bandgapspannung zu setzen, wodurch eine höhere Genauigkeit erreicht werden kann.

Das Trimming der Core-Bandgap wird mit einem Referenzstromgenerator realisiert, der eine von der Bandgap gelieferte Spannung in einen konstanten Strom umwandelt. Zu diesem Zweck wird ein externer Widerstand verwendet, um die Temperaturunabhängigkeit sicherzustellen. Der auf diese Weise erzeugte Referenzstrom wird mit Stromspiegeln repliziert und für alle Anwendungen innerhalb des Chips verwendet, zum Beispiel zur Erzeugung der Referenzspannungen  $V_{ref}$  und  $V_{ofs}$  des Reglers [Win19].

### 2.3 Undershunt Current Protection

Wird bei einem Lastfall ein Laststrom gezogen, der annähernd so groß ist wie der Eingangsstrom des Reglers, bricht sowohl die Eingangs- als auch die Ausgangsspannung zusammen und die Funktionalität des Reglers kann nicht mehr gewährleistet werden. Um dem entgegenzuwirken, wurde die Undershunt Current Protection (Abbildung 2.3) integriert, welche den Regler vor einer Überlast schützt. Die Ausgangsspannung wird durch einen Abfall der Referenzspannung reduziert, wenn der Strom durch den Shunt-Transistor kleiner als 11 mA wird.

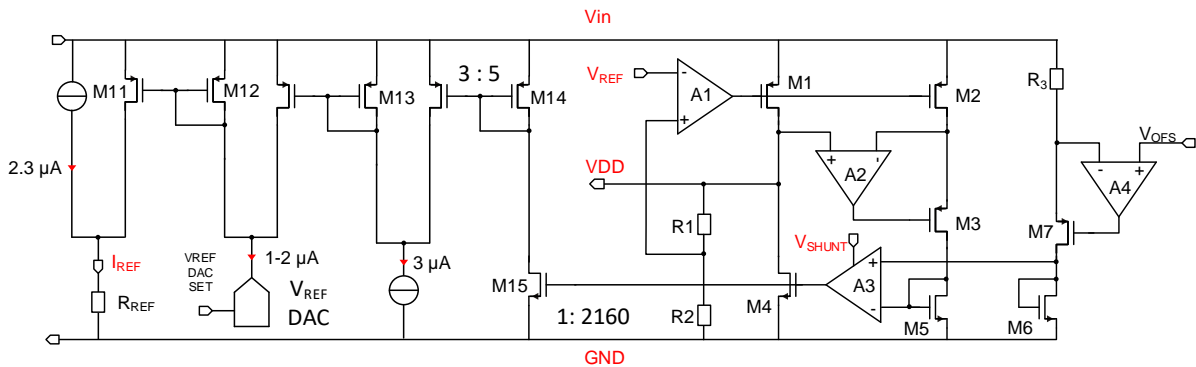


Abbildung 2.3: Aufbau der Undershunt Current Protection

Über eine Stromquelle wird der kleinste Spannungswert  $V_{\min} = 2,3 \mu\text{A} \cdot 150 \text{k}\Omega = 350 \text{mV}$  eingestellt, mit welcher der Regler auch bei einer Eingangsspannung von 2 V noch sicher arbeiten kann. Dieser Wert kann mit Hilfe eines Digital-to-Analog-Converter (DAC) erhöht werden, der einen zusätzlichen Strom zum Referenzwert liefert, sodass eine nominelle Ausgangsspannung von 1,2 V erreicht werden kann. Im Fall einer Überlastsituation wird dieser zusätzliche Strom in einen anderen Pfad abgeleitet.

Der Strom durch den Shunt-Transistor M4 wird über die beiden Transistoren M15 und M14 gespiegelt und reduziert. Falls der gespiegelte Strom größer oder gleich  $3 \mu\text{A}$  ist, wird der gesamte Strom in die Stromsenke gezogen. Wenn der Stromfluss durch den Shunt-Transistor so gering wird, dass durch den Stromspiegeltransistor M14 ein Strom kleiner als  $3 \mu\text{A}$  fließt, dann zieht die Senke den zusätzlichen Strom aus dem Transistor M13. Dadurch wird ein größerer Strom nach M16 gespiegelt, der einen Teil des Stromes des konfigurierbaren DACs liefert, wodurch weniger Strom in den Referenzwiderstand gespiegelt wird. Im Überlastfall zieht der DAC einen geringeren Strom aus M12, wodurch auch nur ein kleinerer Teil nach M11 gespiegelt wird.

## 2.4 Overvoltage Protection (Testchip 2)

Um den Regler vor möglichen Überspannungen zu schützen, wurde die Overvoltage Protection (OVP) integriert (siehe Abbildung 2.4). Diese wird mit einem Shunt-Regler und einem PMOS-Transistor als Shunt-Device realisiert, welcher im Fall einer Überspannung ( $V_{in} > 2\text{ V}$ ) den überschüssigen Versorgungsstrom nach Masse ableitet. So lange die Spannung kleiner als 2 V ist, soll die OVP keinen Strom ziehen.

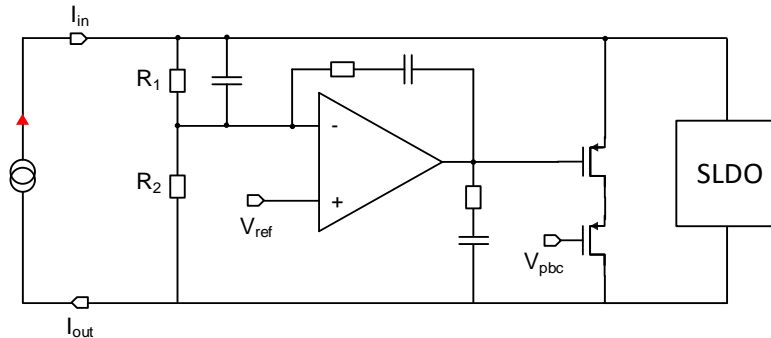


Abbildung 2.4: Aufbau der Overvoltage Protection

Als Referenzspannung am nicht-invertierenden Eingang des Verstärkers wird  $V_{refpre}$  mit einem Wert von 600 mV gewählt. Das Widerstandsverhältnis des Spannungsteilers wird so gewählt, dass sich bei einer Eingangsspannung von 2 V ebenfalls eine Spannung von 600 mV am invertierenden Eingang des Verstärkers ergibt. Fällt die Spannung am invertierenden Eingang unter den Referenzwert, dann liegt am Operationsverstärker (OP) eine positive Differenzspannung an. Auf Grund des hohen Verstärkungsfaktors geht die Ausgangsspannung des Verstärkers in Richtung der Versorgungsspannung. Damit sind Source und Gate des Pass-Devices auf nahezu gleichem Potential und es fließt kein Strom durch den Transistor.

Wird die Eingangsspannung größer als der Referenzwert, liegt eine negative Differenzspannung am OP an. Diese wird bis zur unteren Grenze von 0 V des OPs verstärkt und damit sinkt auch das Gate-Potential vom Pass-Device. Da nun die Source-Gate-Spannung des Transistors größer wird, wird ein Teil des Stromes, der durch den SLDO fließen würde, durch den Transistor abgeleitet. Die Eingangsspannung wird auf

$$V_{in} = V_{ref} \cdot \left(1 + \frac{R_1}{R_2}\right) \quad (2.2)$$

begrenzt. Durch das Anlegen einer hohen Referenzspannung (z.B.  $V_{ref} = 1\text{ V}$ ) wird die OVP erst bei Eingangsspannungen über 2 V aktiv. In dem Fall begrenzt dann das Sourcemeter die Spannung am Eingang des Reglers, um eine Schädigung der Testchips zu vermeiden.

## 2.5 Startup-Schaltung (Testchip 2)

Während des Einschaltvorgangs des Reglers bleibt die Offsetspannung eine Zeit lang auf 0 V, da diese Spannung bei geringen Eingangsspannungen noch nicht generiert werden kann. Damit verhält sich der Regler sehr niederohmig. Um dies zu verhindern, soll die Offsetspannung mit Hilfe der Startup-Schaltung (Abbildung 2.5) so lange auf die Eingangsspannung gezogen werden, bis das Biasing-Netzwerk aktiv ist und die richtige Offsetspannung generiert wird. Das Ziel ist es, den gewünschten Arbeitspunkt schon bei geringen Versorgungsströmen zu erreichen.

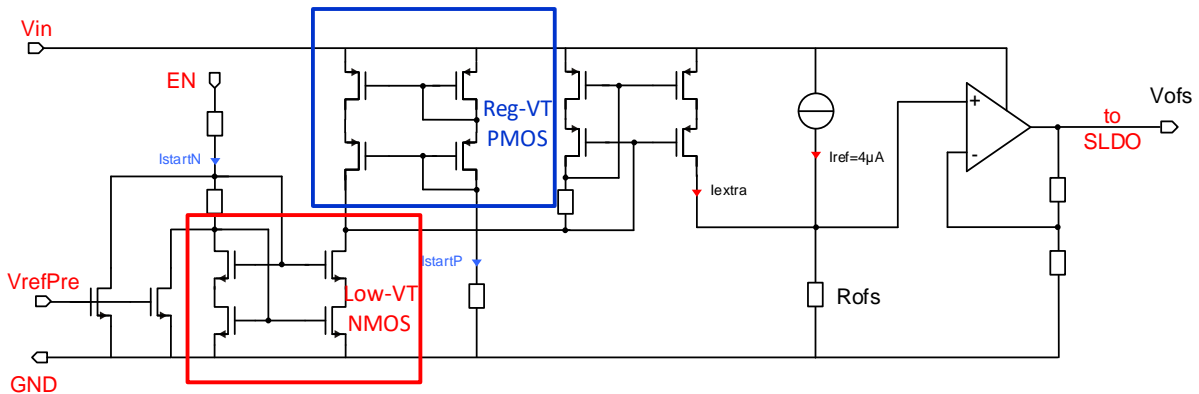


Abbildung 2.5: Aufbau der Startup-Schaltung

Die halbe Offsetspannung  $V_{\text{ofshalf}}$  wird über den Referenzstrom  $I_{\text{ref}}$  und den Widerstand  $R_{\text{ofs}}$  am nicht-invertierenden Verstärker verdoppelt, sodass sich beispielsweise bei einer generierten Spannung von 400 mV für  $V_{\text{ofs}}$  ein Wert von 800 mV ergibt. Dieser Stromwert wird jedoch während des Startverhaltens des Reglers nicht erreicht, weswegen ein weiterer Strom  $I_{\text{extra}}$  nötig ist.

Die Startup-Schaltung ist auf der Basis von drei kaskodierten Stromspiegeln aufgebaut (siehe Abbildung 2.5). Bei dem rot markierten NMOS-Stromspiegel handelt es sich um einen Low-VT-Stromspiegel aus Transistoren mit niedrigen Schwellenspannungen. Der blau gekennzeichnete PMOS-Stromspiegel besteht aus Transistoren mit regulären (und damit höheren) Schwellenspannungen (Reg-VT) und wird erst bei höheren Spannungen leitend, im Gegensatz zum NMOS-Stromspiegel.

Durch diesen Aufbau fließt zuerst ein Strom über den Eingang EN über den NMOS-Stromspiegel, welcher dann in den rechten PMOS-Stromspiegel fließt, der ebenfalls mit Transistoren mit geringer Schwellenspannung aufgebaut ist und so einen Strom  $I_{\text{extra}}$  generiert. Sobald die Eingangsspannung groß genug ist, wird ein Strom auch durch den blau markierten PMOS-Stromspiegel gezogen, welcher den Strom des Low-VT-Stromspiegels aufnimmt. Da es bei dieser Variante jedoch zu Oszillationen kommt, sind zusätzlich an den Eingang  $V_{\text{refpre}}$  zwei Transistoren geschaltet die das Potential des NMOS-Stromspiegels auf Masse ziehen können, sobald sich die Preregulator-Bandgap eingeschaltet hat. Die Aktivierung dieser Bandgap ist ein Indiz für den Abschluss des Einschaltvorgangs. Dadurch wird der Extra-Strom in der Startup-Schaltung abgeschaltet.

## 2.6 AC-Gleichrichter / Low- & High-Power Modus (Testchip 2)

Während des Installations- und Wartungsprozesses in den Experimenten läuft der Chip ohne die volle Kühlleistung. Zu diesem Zweck wird ein Low-Power Modus mit einer hohen Offsetspannung von 1,3 V implementiert, um den Stromverbrauch und die generierte Wärme zu reduzieren. Unter normalen Betriebsbedingungen kann der Chip im High-Power Modus mit einer festgelegten Offsetspannung von 800 mV betrieben werden.

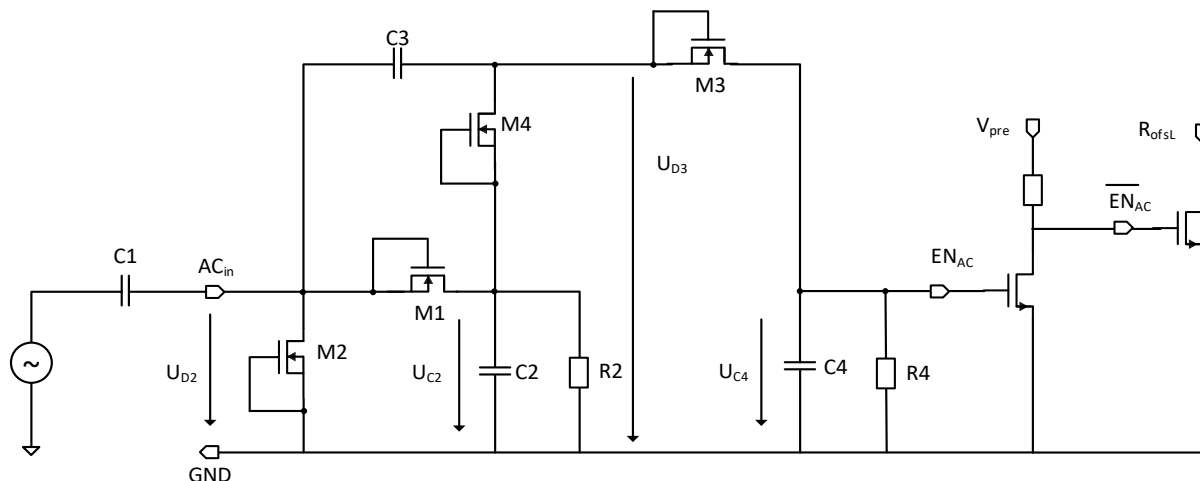


Abbildung 2.6: Aufbau der AC-Gleichrichter-Schaltung

Um das Umschalten zwischen dem High- und Low-Power Modus zu realisieren, werden zwei serielle Widerstände bei der Generierung der Offsetspannung verwendet (siehe Abbildung 2.2). Der Widerstand  $R_{ofs1}$  bzw.  $R_{ofsH}$  stellt die Offsetspannung im High-Power Modus ein. Um in den Low-Power Modus zu wechseln, kann der Widerstand  $R_{ofs2}$  bzw.  $R_{ofsL}$  mit Hilfe des AC-Gleichrichters dazugeschaltet werden.

Der AC-Gleichrichter basiert auf der Gleichrichterschaltung aus Abbildung 2.6. Wird ein AC-Signal angelegt, so sind die beiden Widerstände  $R_{ofsH}$  und  $R_{ofsL}$  aktiv. Ist das Signal nicht aktiv, wird der Widerstand  $R_{ofsL}$  durch einen Transistor mit Masse kurzgeschlossen.

In dieser Arbeit werden die Messungen im SLDO-Modus im High-, als auch im Low-Power Modus durchgeführt.

## 3 Messgrundlagen

### 3.1 Leiterplatte SLDO (RD53B) - Testchip 1

Zum Test werden die Mikrochips ohne Gehäuse direkt auf eine Platine geklebt und mit Wirebonds aus Aluminium und mit einem Durchmesser von 10 – 20  $\mu\text{m}$  mit den hierfür vorgesehenen vergoldeten Kontakten auf der Platine verbunden. Abbildung 3.1 zeigt den Aufbau der Platine des ersten Testchips. Die Anschlüsse zum Setzen der Trimm-Bits sind orange markiert. Die Anschlüsse zum Wechseln der Betriebsmodi bzw. zur Aktivierung von Schutzschaltungen sind rot markiert und die Anschlüsse zum Messen sind grün markiert. Die Potentiometer zur Einstellung der Widerstandswerte für die Referenzen sind blau markiert. Tabelle 2 zeigt die Funktionen dieser Anschlüsse.

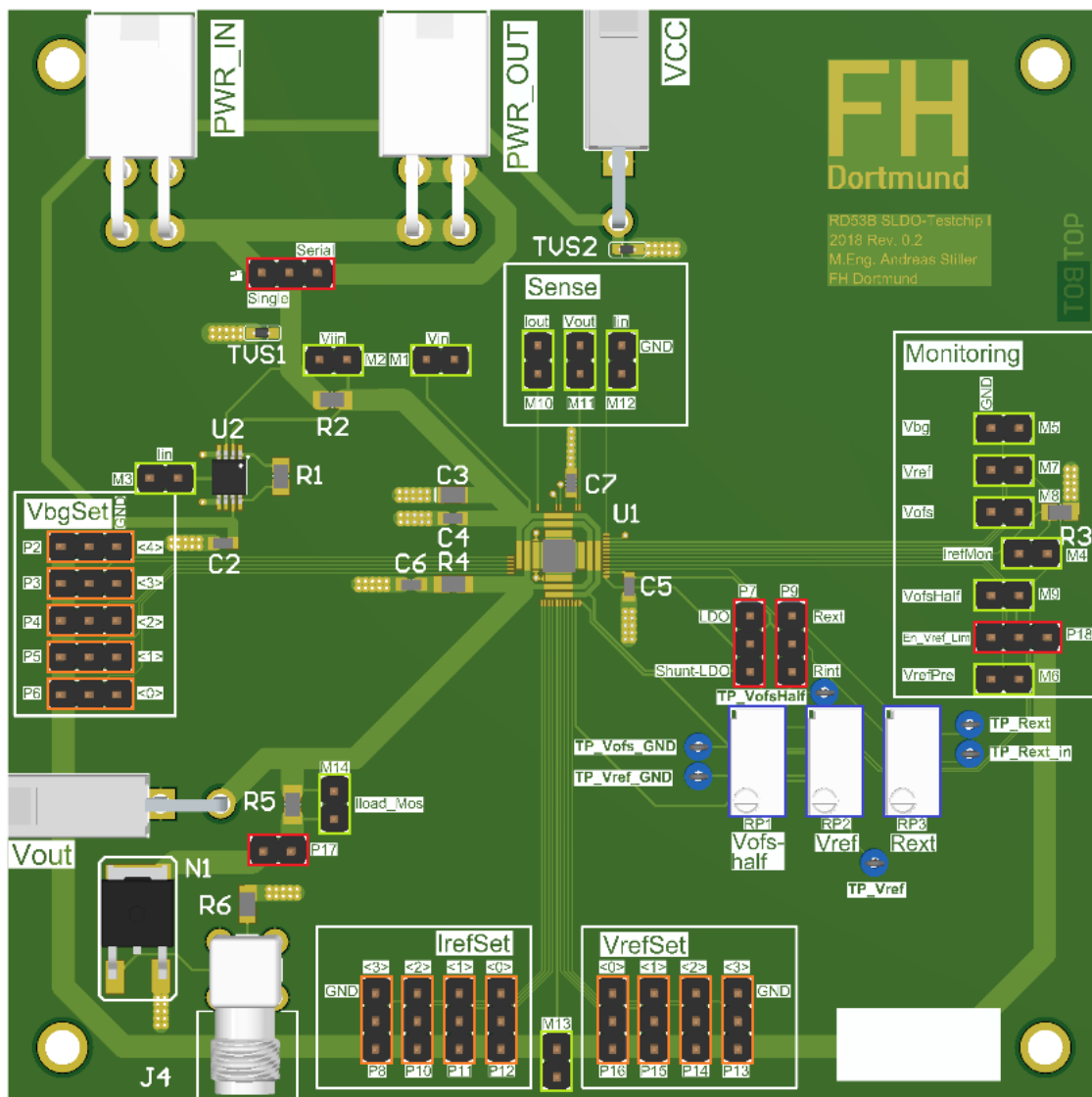


Abbildung 3.1: Platine für Testchip 1



Anschluss	Funktion	
PWR_IN	Anschluss Spannungsversorgung	
PWR_OUT	Anschluss weiterer seriell geschalteter Regler	
VOUT	Anschluss Last	
VCC	Anschluss Spannungsversorgung des Instrumentenverstärkers U2 zur Messung des Eingangsstromes	
J4	Anschluss Gate Transistor N1 zur Generierung schneller Lastpulse	
P1	Auswahl Verschaltung Single / Serial	
P2	$V_{bgSet}$ - Bit 4	Trimm-Bits der Core-Bandgap
P3	$V_{bgSet}$ - Bit 3	
P4	$V_{bgSet}$ - Bit 2	
P5	$V_{bgSet}$ - Bit 1	
P6	$V_{bgSet}$ - Bit 0	
P7	Auswahl Betriebsmodus LDO / SLDO	
P8	$I_{refSet}$ - Bit 3	Trimm-Bit des Stromgenerators
P9	Auswahl Widerstand $R_{ext}$ / $R_{int}$	
P10	$I_{refSet}$ - Bit 2	Trimm-Bits des Stromgenerators
P11	$I_{refSet}$ - Bit 1	
P12	$I_{refSet}$ - Bit 0	
P13	$V_{refSet}$ - Bit 3	Trimm-Bits der Referenzspannung
P14	$V_{refSet}$ - Bit 2	
P15	$V_{refSet}$ - Bit 1	
P16	$V_{refSet}$ - Bit 0	
P17	Drain-Anschluss Transistor N1 zur Generierung schneller Lastpulse	
P18	Aktivierung Undershunt Current Protection	
M1	Messung Eingangsspannung (Anschluss 4-Wire)	
M2	Messung Eingangsspannung entsprechend Eingangsstrom	
M3	Messung Ausgangsspannung Verstärker U2	
M4	Messung der Spannung entsprechend $I_{refMon} * R3$	
M5	Messung Bandgapspannung $V_{bg}$	
M6	Messung Referenzspannung $V_{refPre}$	
M7	Messung Referenzspannung $V_{ref}$	
M8	Messung Offsetspannung $V_{ofs}$	
M9	Messung Offsetspannung $V_{ofshalf}$	
M10	Messung Potential Chip-Ground	
M11	Messung Ausgangsspannung $V_{out}$	
M12	Messung Eingangsspannung $V_{in}$	
M13	Messung Reglerspannung $V_{prereg}$	
M14	Messung Spannungsabfall R5	
RP1	Einstellung Widerstand für Offsetspannung $V_{ofshalf}$	
RP2	Einstellung Widerstand für Referenzspannung $V_{ref}$	
RP3	Einstellung Widerstand $R_{ext}$	

Tabelle 2: Auflistung der Anschlüsse von Testchip 1

### 3.2 Leiterplatte SLDO (RD53B) - Testchip 2

Abbildung 3.2 zeigt den Aufbau der Platine des zweiten Testchips. Die farblichen Markierungen sind analog zu denen auf Testchip 1. Zusätzlich ist in Testchip 2 die Overvoltage Protection, die Startup-Schaltung, sowie die Gleichrichterschaltung integriert. Außerdem ist es möglich alle Spannungen des Chips entweder bezogen auf das Massepotential des Chips oder der Platine zu messen. Da die Ausgangsspannung des Reglers ausschließlich für die Versorgung integrierter Schaltungen auf dem Chip genutzt wird, haben Messungen bezogen auf die Chip-Masse eine höhere Relevanz zur Applikation. Aufgrund eines Fehlers in der Leitungsverteilung der Platine wird der Einfluss der OVP über eine extern angelegte Referenzspannung von 1 V an den Anschluss M2 für die Messungen deaktiviert. Tabelle 3 zeigt die Funktionen dieser Anschlüsse.

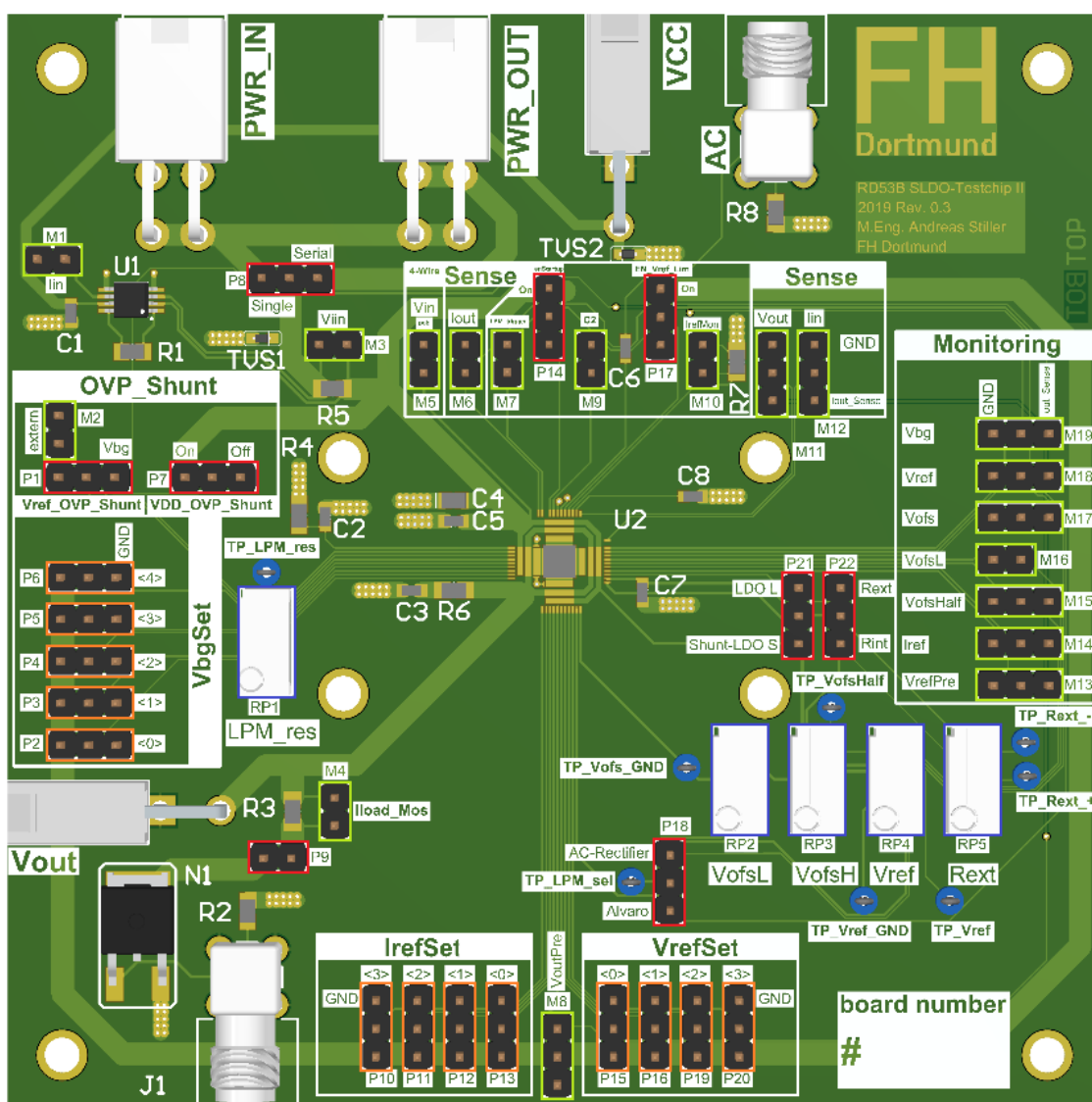


Abbildung 3.2: Platine für Testchip 2

Anschluss	Bedeutung	
PWR_IN	Anschluss Spannungsversorgung	
PWR_OUT	Anschluss weiterer seriell geschalteter Regler	
VOUT	Anschluss Last	
VCC	Anschluss Spannungsversorgung des Instrumentenverstärkers U1 zur Messung des Eingangsstromes	
AC	Anschluss AC-Signal zum Wechsel zwischen Low- & High-Power Modus	
J1	Anschluss Gate Transistor N1 zur Generierung schneller Lastpulse	
P1	Auswahl interne/externe Referenz für die OVP	
P2, P3, P4	$V_{bgSet}$ - Bit 0, Bit 1, Bit 2	Trimm-Bits der Core-Bandgap
P5, P6	$V_{bgSet}$ - Bit 3, Bit 4	
P7	Aktivierung Overvoltage Protection	
P8	Auswahl Verschaltung Single / Serial	
P9	Drain-Anschluss Transistor N1 zur Generierung schneller Lastpulse	
P10, P11	$I_{refSet}$ - Bit 3, Bit 2	Trimm-Bits des Stromgenerators
P12, P13	$I_{refSet}$ - Bit 1, Bit 0	
P14	Aktivierung Startup-Schaltung	
P15, P16	$V_{refSet}$ - Bit 0, Bit 1	Trimm-Bits der Referenzspannung
P17	Aktivierung Undershunt Current Protection	
P18	Auswahl AC-Rectifier/Alvaro-Schaltung	
P19, P20	$V_{refSet}$ - Bit 2, Bit 3	Trimm-Bits der Referenzspannung
P21	Auswahl Betriebsmodus LDO / SLDO	
P22	Auswahl Widerstand $R_{ext}$ / $R_{int}$	
M1	Messung Ausgangsspannung Verstärker U1	
M2	Anschluss externe Referenzspannung OVP	
M3	Messung Eingangsspannung entsprechend Eingangsstrom	
M4	Messung Spannungsabfall R3	
M5	Messung Eingangsspannung (Anschluss 4-Wire)	
M6	Messung Potential Chip-Ground	
M7	Messung LPM-Trigger (Alvaro)	
M8	Messung Reglerspannung $V_{prereg}$	
M9	Messung gleichgerichtetes Signal des AC-Rectifiers	
M10	Messung Spannung entsprechend $I_{refMon} * R7$	
M11	Messung Ausgangsspannung $V_{out}$	
M12	Messung Eingangsspannung $V_{in}$	
M13	Messung Referenzspannung $V_{refPre}$	
M15	Messung Offsetspannung $V_{ofshalf}$	
M16	Messung Offsetspannung $V_{ofsL}$	
M17	Messung Offsetspannung $V_{ofs}$	
M18	Messung Referenzspannung $V_{ref}$	
M19	Messung Bandgapspannung $V_{bg}$	
RP1	Einstellung Widerstand LPM (Alvaro)	
RP2	Einstellung Widerstand für Offsetspannung $V_{ofsL}$	
RP3	Einstellung Widerstand für Offsetspannung $V_{ofshalf}$	
RP4	Einstellung Widerstand für Referenzspannung $V_{ref}$	
RP5	Einstellung Widerstand $R_{ext}$	

Tabelle 3: Auflistung der Anschlüsse von Testchip 2

### 3.3 Leiterplatte Prepower (RD53A)

Um Eingangsstromwechsel mit sehr kurzen Anstiegszeiten im Nanosekundenbereich zu generieren, wird die Prepower-Platine (Abbildung 3.3) im Messaufbau verwendet. Diese wird zwischen dem Sourcemeter und dem Testchip verschaltet und lässt sich mit einem Waveformgenerator am Anschluss J1 bzw. J2 ansteuern. Die Messungen dazu werden in Kapitel 4.4 vorgestellt. Mit der Prepower-Platine können bis zu zwei Regler gleichzeitig versorgt werden. Tabelle 4 listet die Funktionen der Anschlüsse auf.

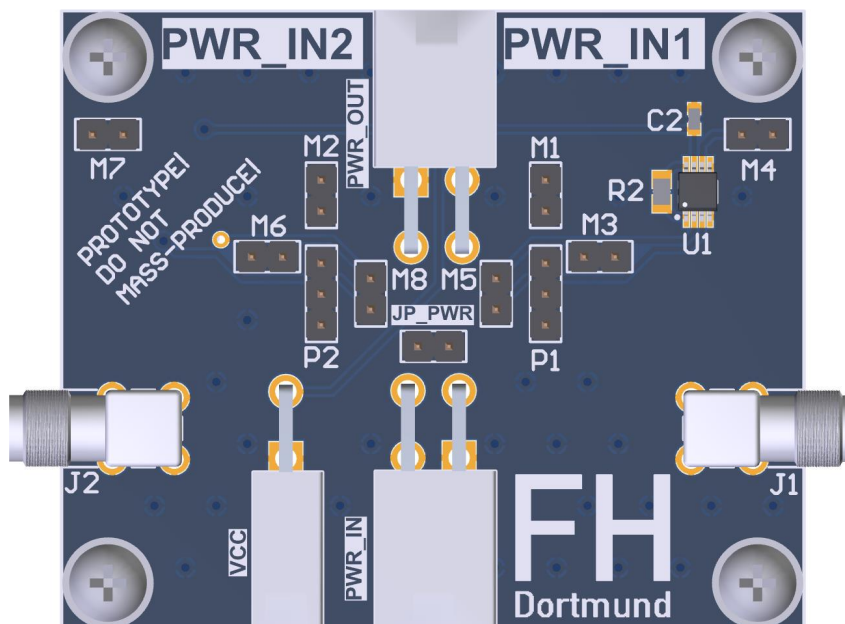


Abbildung 3.3: Platine für die Prepower-Schaltung

Anschluss	Bedeutung
PWR_IN	Anschluss Spannungsversorgung
PWR_OUT	Anschluss Testchip 1 / Testchip 2
VCC	Anschluss Spannungsversorgung Verstärker U1 & U2
J1	Anschluss Gate Transistor N1
J2	Anschluss Gate Transistor N2
JP_PWR	Aktivierung beider Schaltungspfade simultan
P1,P2	Auswahl Messung vor/hinter Shuntwiderstand
M1	Messung Reglerspannung
M2	Messung Reglerspannung
M3	Messung Spannungsabfall R1
M4	Messung Ausgangsspannung Verstärker U1
M5	Messung Spannungsabfall R4
M6	Messung Spannungsabfall R6
M7	Messung Ausgangsspannung Verstärker U2
M8	Messung Spannungsabfall R7

Tabelle 4: Auflistung der Anschlüsse der Prepower-Platine

### 3.4 Weitere Komponenten der Platinen

Für einige Messungen werden ein Instrumentenverstärker sowie ein NMOS-Transistor aktiv verwendet. Die Funktionen dieser beiden Komponenten auf den Platinen werden in diesem Kapitel erklärt.

#### 3.4.1 Verwendung des Instrumentenverstärkers

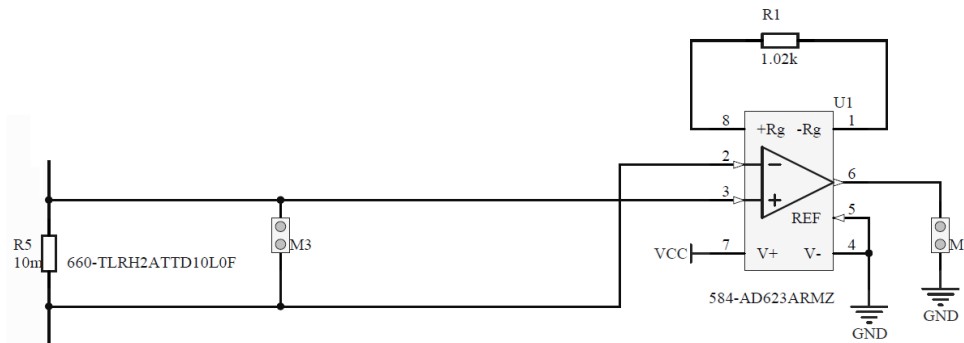


Abbildung 3.4: Schaltungsteil des Instrumentenverstärkers

Die Aufgabe des Instrumentenverstärkers (Abbildung 3.4) ist es, die Spannung zu verstärken, die über dem Widerstand  $R_5$  abfällt. Diese Spannung verhält sich linear zum Eingangsstrom. Mit Hilfe der Formel für die Verstärkung

$$G = 1 + \frac{100k}{R_1} = 1 + \frac{100k}{1.02k} \approx 99.04 \quad (3.1)$$

ergibt sich ein etwa um den Faktor 100 erhöhter Wert am Ausgang des Verstärkers. Dieser Wert ist so gewählt, dass die gemessene Spannung an M1 äquivalent zum Versorgungsstrom ist. Über den Anschluss VCC kann der Instrumentenverstärker mit Spannungen von 3 V - 12 V versorgt werden.

Ebenso befindet sich der Instrumentenverstärker auch auf der PrePower-Platine und wird für die selbe Anwendung verwendet.

## 3.4.2 Verwendung des NMOS-Transistors

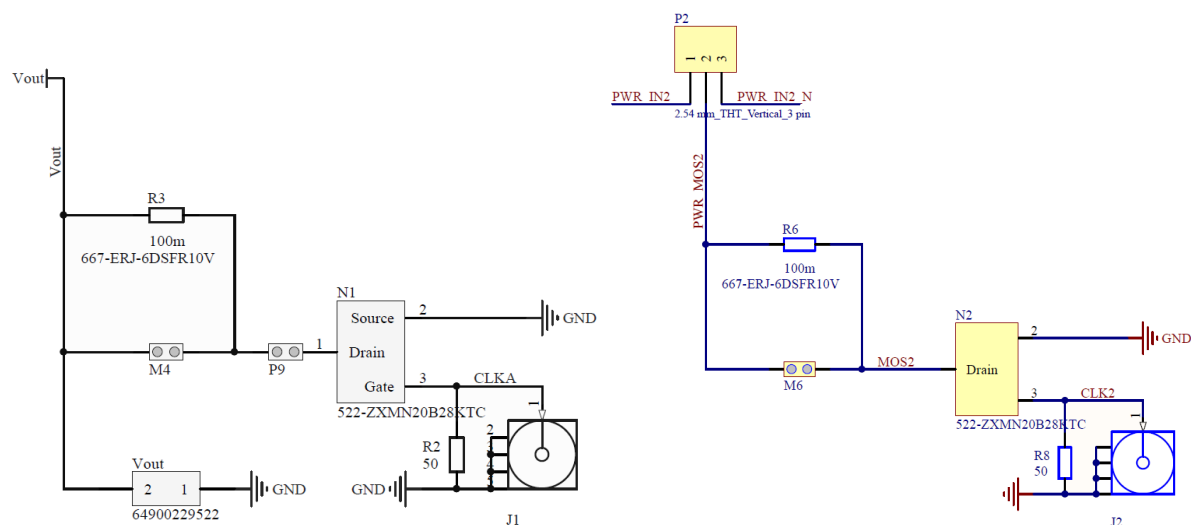


Abbildung 3.5: Schaltungsteil des Transistors auf dem Testchip (links)/Prepower-Platine (rechts)

Die Aufgabe des NMOS-Transistors ist es, bei Bedarf schnelle Lastwechsel zu generieren. Dieser Schaltungsteil wird mit einem Jumper auf dem Anschluss P9 aktiviert und zur Messung des Reglerverhaltens bei transienten Lasten genutzt. Das Gate des Transistor kann über den Anschluss J1 angesteuert werden. Zum Messen von transienten Lastströmen wird mit einem Waveformgenerator ein periodisches Rechtecksignal am Gate des Transistors generiert. Anhand der NMOS-Transistorgleichung

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (U_{GS} - U_{th})^2 \quad (3.2)$$

fließt nun bei jeder positiven Amplitude des Signals ein Strom durch den Transistor. Dieser Strom fließt über den Widerstand R3 und erzeugt dort einen Spannungsabfall, welcher über den Anschluss M4 gemessen werden kann. Die Stecker bei Testchip 1 und 2 sind identisch, jedoch variieren die Bezeichnungen (vergleiche Kapitel 3.1 und Kapitel 3.2). Zusätzlich zu den transienten Lastströmen kann am Ausgang  $V_{out}$  ein konstanter Strom gezogen werden.

Auf der Prepower-Platine wird der NMOS-Transistor auf eine ähnliche Weise genutzt. Hier soll der Eingangsstrom sehr schnell verändert werden (siehe Kapitel 4.4), indem ebenfalls das Gate des Transistors mit einem Waveformgenerator an Anschluss J2 angesteuert wird. Der Strom durch den Transistor erzeugt am Widerstand R6 einen Spannungsabfall, der über den Anschluss M6 gemessen werden kann.

### 3.5 Messaufbau

Abbildung 3.6 zeigt den vollständigen Messaufbau. Dieser besteht aus zwei Sourcemetern, einem Netzteil, sieben Multimetern, einem Oszilloskop und einem Waveformgenerator. Die Sourcemeter werden über GPIB und die Multimeter werden zum Teil über die USB-Schnittstelle und zum Teil über einen GPIB-Adapter mit dem Computer verbunden [Icy19]. Auf dem Computer wird das Shuldo-Test-Tool (Kapitel 3.7) ausgeführt, mit denen sich die Geräte ansteuern und auslesen lassen.

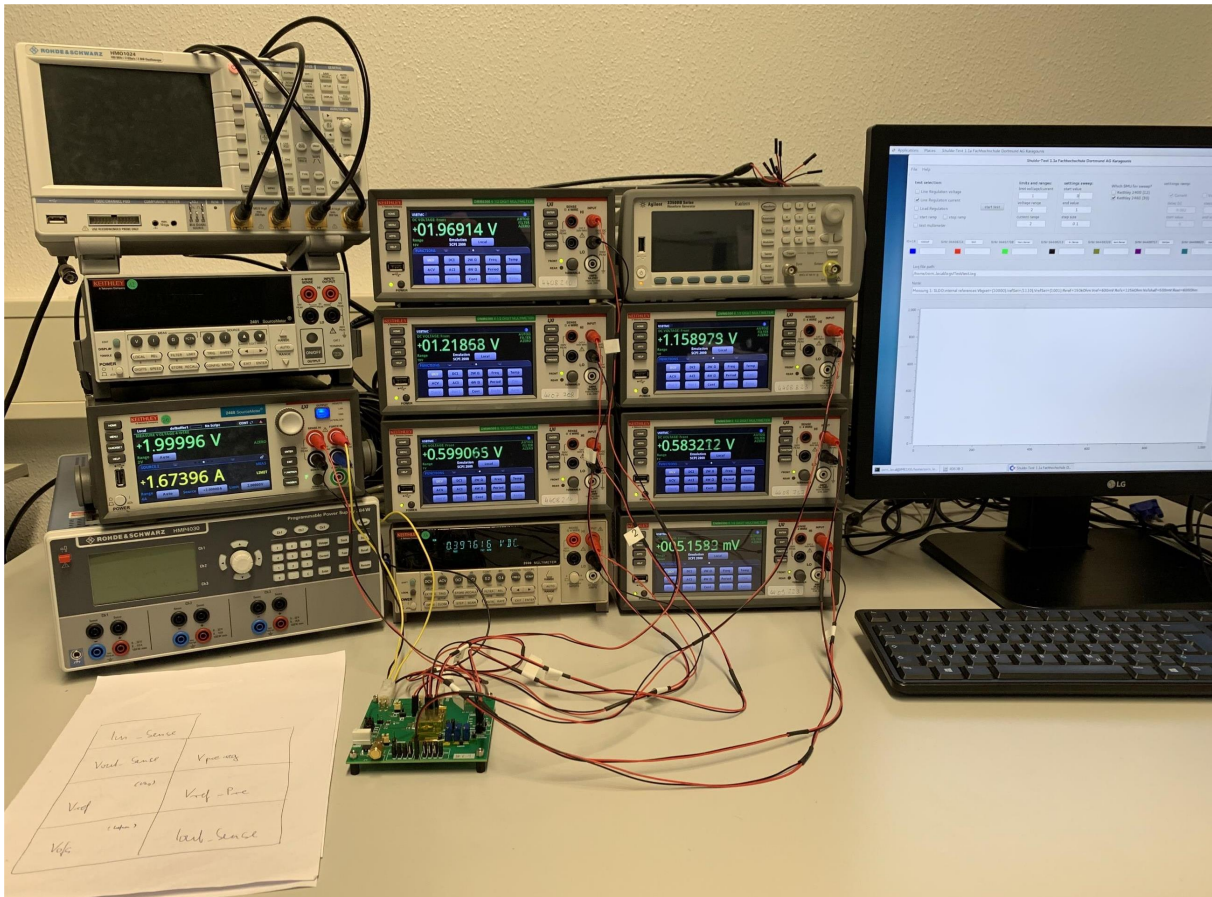


Abbildung 3.6: Aufbau des Messsystems

### 3.6 Verwendete Quellen und Messgeräte

In den folgenden Unterkapiteln werden die Geräte und ihre Nutzung für die einzelnen Messungen vorgestellt.

#### 3.6.1 Sourcemeter Keithley 2460 & Keithley 2401

Das Sourcemeter 2460 eignet sich aufgrund seines großen Spannungs- (bis zu 105 V) und Strombereichs (7 A DC) optimal zur Versorgung des Reglers. Die Quelle wird an den Anschluss PWR\_IN der Platine angeschlossen und kann außerdem über den Sense-Anschluss im 4-wire-Modus betrieben werden. Damit ist es möglich, Strom und Spannung mit der Quelle zu messen und gegebenenfalls zu limitieren. Mit Hilfe der SCPI- und TSP-Programmiermodi wird das Sourcemeter angesteuert und die Eingangswerte für den Regler gesweept. Über Trigger-Models können außerdem Rampenfunktionen mit einer Mindestverzögerung von 50  $\mu$ s zwischen zwei Punkten erstellt werden [Keic]. Wird eine Rampenfunktion mit nur zwei Punkten konfiguriert, ist es möglich Anstiegszeiten im niedrigen zweistelligen Mikrosekundenbereich zu erreichen.



Abbildung 3.7: Sourcemeter Keithley 2460 [Keic]

Das Sourcemeter 2401 hat einen Spannungsbereich von bis zu 200 V, bei einem maximalen Strom von 1 A DC. Dadurch ist es nur bedingt als Versorgungsstromquelle für den Regler zu verwenden. Durch die Möglichkeit des Einsatzes im Sink-Betrieb kann das Gerät jedoch als konfigurierbare Last verwendet werden. Dafür wird das Sourcemeter über den Anschluss  $V_{out}$  mit der Platine verbunden [Keib].



Abbildung 3.8: Sourcemeter Keithley 2401 [Keib]



### 3.6.2 Multimeter Keithley DMM6500 & Keithley 2000

Der Messaufbau verwendet sieben digitale Multimeter, mit denen die wichtigsten Größen aufgenommen werden. Während die Keithley DMM6500-Multimeter über USB angesteuert werden, kommunizieren das Keithley 2000-Multimeter sowie die Sourcemeter über GPIB mit dem Linux-PC im Messaufbau. Zum Einsatz kommen die Multimeter für die Line- (Kapitel 4.1) und Load-Regulation (Kapitel 4.2) sowie zum allgemeinen Überprüfen der Reglerspannungen. Die einzelnen Werte der Multimeter lassen sich während eines Sweeps mit hoher Geschwindigkeit und Genauigkeit (bis zu 9 Digits) auslesen. Die Multimeter werden jeweils an die Anschlüsse mit der Bezeichnung M auf der Platine angeschlossen [Keia][Keid].



Abbildung 3.9: Multimeter Keithley DMM6500 (links) [Keid] & Keithley 2000 (rechts) [Keia]

### 3.6.3 Netzteil Rohde & Schwarz HMP4030

Diese Konstantspannungsquelle (max. 32 V) mit drei Ausgangskanälen und bis zu 10 A Ausgangsstrom pro Kanal kommt während der Messungen für verschiedene Anwendungen zum Einsatz. Sie wird genutzt, um die Overvoltage Protection auf Testchip 2 einer ausreichend hohe Referenzspannung zu geben (siehe Kapitel 2.4), den Instrumentenverstärker U2 (Testchip 1), U1 (Testchip 2), bzw. die Prepower-Schaltung über den Platinenanschluss VCC zu versorgen oder einen Lüfter zum Kühlen zu betreiben [Rohc].



Abbildung 3.10: Netzteil Rohde & Schwarz HMP4030 [Rohc]

### 3.6.4 Oszilloskop Rohde & Schwarz HMO1024

Das Oszilloskop wird für alle transienten Messungen verwendet. Mit seinen vier Kanälen verfügt es über ausreichend Messmöglichkeiten. Aufgrund der geringen Eingangswiderstände der Kanäle von  $1\text{ M}\Omega$  kann es durch Spannungsabfälle zu leichten Verfälschungen in den Ergebnissen kommen. Wird das Oszilloskop in Verbindung mit dem Waveformgenerator genutzt, kann das Signal über den externen Eingang EXT-TRG getriggert werden [Rohb].



Abbildung 3.11: Oszilloskop Rohde & Schwarz HMO1024 [Rohb]

### 3.6.5 Waveform Generator Agilent 33500B & Rohde & Schwarz HMF2525

Der Waveformgenerator ist in der Lage, Rechtecksignale in einem Spannungsbereich von  $1\text{ mV}_{pp}$  bis  $10\text{ V}_{pp}$  zu generieren. Mit einer geringen Anstiegs- und Abfallzeit von mindestens  $8,4\text{ ns}$  eignet sich das Gerät ideal zur Generierung von schnellen Signalen für die Messungen der transienten Lastwechsel (Kapitel 4.5) und transienten Eingangsstromwechsel (Kapitel 4.4). Hierfür wird der Generator an den Anschluss J4 (Testchip 1) bzw. J1 (Testchip 2) angeschlossen. Dieser Anschluss steuert das Gate-Potential des NMOS-Transistors an. Über den Anschluss AC von Testchip 2 kann ein transientes Signal dazu genutzt werden, um vom HPM in den LPM zu wechseln (Kapitel 4.10) [Agi][Roha].



Abbildung 3.12: Waveform Generator Agilent 33500B (links) [Agi] & R&S HMF2525 (rechts) [Roha]

### 3.7 Die Shuldo-Test-Messsteuerungs-Software (v1.1a)

Um den Regler zu testen, wurde ein Tool für das Betriebssystem CentOS entwickelt, mit dessen Hilfe sich die verwendeten Sourcemeter ansteuern und die Multimeter auslesen lassen [Mac17]. Das Ergebnis kann daraufhin in einer GUI (Abbildung 3.13) grafisch dargestellt, bzw. bei transienten Messungen am Oszilloskop betrachtet werden. Außerdem lassen sich die Messergebnisse als Datei ausgeben, damit diese beispielsweise mit einem Tabellenkalkulationsprogramm weiterverarbeitet werden können.

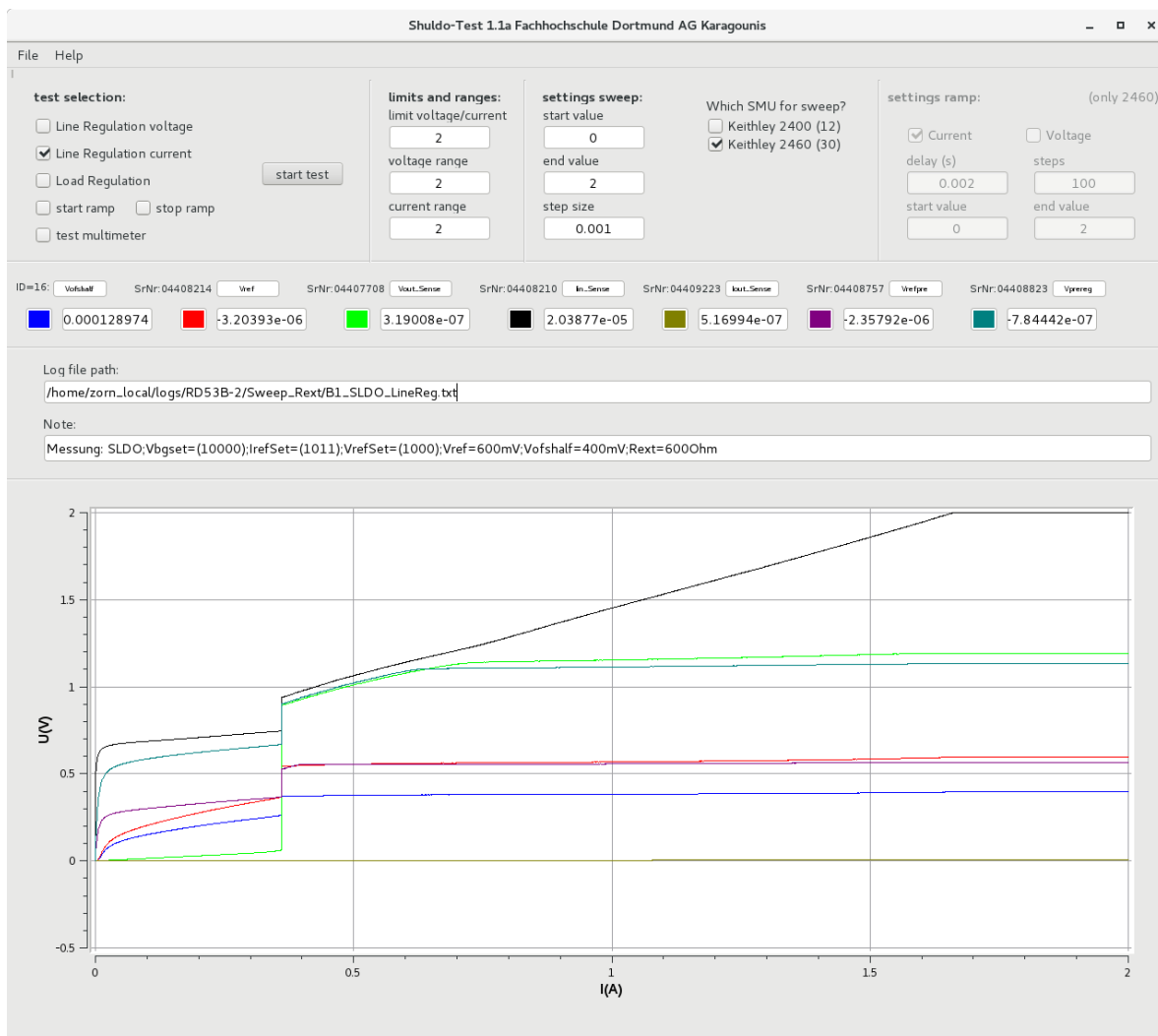


Abbildung 3.13: GUI der SLDO-Messsteuerungs-Software [Mac17]

Das Tool lässt sich über das Terminal unter Nutzung der Root-Rechte starten. Zuvor muss jedoch noch nach einem Reboot der GPIB Treiber bzw. das entsprechende Kernelmodul mit den folgenden Befehlen geladen werden:

- `modprobe ni_usb_gpib`
- `gpib_config`

Die Software an sich wird mit den folgenden Befehlen gestartet.

- `cd measure_2019`
- `./measure`

Nach Start des Programms sollte zunächst die Checkbox *test multimeter* im Bereich der *test selection* ausgewählt werden, um sicherzustellen, dass das Tool funktionsfähig ist und die Kommunikation zwischen dem PC und den Messgeräten etabliert ist.

Über die Schaltfläche *start test* lässt sich die Funktion der ausgewählten Checkbox durchführen. Sind alle Geräte miteinander synchronisiert, werden die aktuellen Werte der jeweiligen Messgeräte in den entsprechenden Textfeldern ausgegeben.

Die weiteren Felder in der *text selection* stellen die Tests dar. Hier befinden sich die *Line Regulation voltage* zur Messung im LDO-Modus, die *Line Regulation current* zur Messung im SLDO-Modus und die *Load Regulation*, welche sowohl im LDO- als auch im SLDO-Modus verwendet werden kann.

In dem Bereich *Which SMU for Sweep?* wird das Sourcemeter ausgewählt, mit welchem gescweept werden soll. Für die Messung einer Line Regulation wird hier Keithley 2460 ausgewählt und für eine Load Regulation das Keithley 2400. Über die Textfelder im Bereich *settings sweep* lassen sich der Start- (start value) bzw. der Endpunkt (end value) sowie die Schrittweite (step size) der Messung definieren. Das Limit der Ausgabewerte sowie der Messbereich werden über die Textfelder im Bereich *limits* und *ranges* eingestellt. Bei einem Wechsel zwischen den Tests sollten diese Einstellungen manuell am Sourcemeter überprüft werden.

Das Tool bietet außerdem die Möglichkeit, eine Rampenfunktion für die Sourcemeter zu konfigurieren. Nach der Einstellung des Start- und Endpunkts, der Anzahl an Schritten (steps) und der Zeit zwischen den Schritten (delay) wird über die Auswahl von *start ramp* und durch einen Klick auf *start test* ein Trigger Model aus verschiedenen Blöcken auf dem Sourcemeter erstellt und so lange durchlaufen, bis die Checkbox *stop ramp* ausgewählt und ein weiterer Klick auf *start test* durchgeführt wird. Dieses Model lässt sich bei Bedarf auf dem Sourcemeter im Menü unter *Trigger -> Configure* öffnen und manuell bearbeiten.

Im Textfeld *Log File Path* wird der Pfad eingetragen, in dem die Datei gespeichert wird, in der alle Messergebnisse protokolliert werden. Die Textdatei sollte einen Namen mit der Endung `.txt` besitzen. Konsekutive Messungen werden in die selbe Ausgabedatei angehängt, wenn zwischen den Messungen der Dateiname oder -pfad nicht verändert werden. Im Falle, dass der gewählte Pfad nicht existiert, wird keine Datei erstellt. In das Textfeld *Note* können Informationen zur Messung eingetragen werden, wie z.B. die verwendeten Referenzspannungen und die gesetzten Trimm-Bits.

## 4 Messergebnisse

Das folgende Kapitel stellt die durchgeführten Messungen zur Charakterisierung des Reglers vor und stellt die Ergebnisse unter verschiedenen Betriebsbedingungen dar. Alle Messungen werden im LDO-, als auch im SLDO-Modus mit einer Referenzspannung von  $V_{\text{ref}} = 600 \text{ mV}$ , mit der Verwendung des externen Widerstands  $R_{\text{ext}}$  und bei Raumtemperatur ( $\sim 20^\circ\text{C} - 27^\circ\text{C}$ ) vorgenommen. Im SLDO-Modus werden Messungen jeweils im High- ( $V_{\text{ofs}} = 400 \text{ mV}$ ) und im Low-Power Modus ( $V_{\text{ofs}} = 650 \text{ mV}$ ) durchgeführt.

Zuerst, werden die Trimm-Bits für  $I_{\text{refSet}}$ ,  $V_{\text{refSet}}$  und  $V_{\text{bgSet}}$  über das Setzen von Jumpers eingestellt. Diese werden zunächst auf das höchstwertige Bit gesetzt. Um den Wert für  $I_{\text{refSet}}$  genauer einzustellen, wird der Referenzstrom  $I_{\text{refMon}}$  (Anschluss M4 auf Testchip 1 bzw. M10 auf Testchip 2) gemessen. Für eine Referenz von  $4 \mu\text{A}$  muss am Anschluss  $I_{\text{refmon}}$  eine Spannung von  $600 \text{ mV}$  anliegen. Entsprechend werden die Bits für  $I_{\text{refSet}}$  erhöht bzw. gesenkt.

Die Spannungsreferenzwerte für Testchip 1 können über die jeweiligen Potentiometer eingestellt werden. Mit einem Referenzstrom von  $4 \mu\text{A}$  werden hier für die Offsetspannung ein Wert von  $100 \text{ k}\Omega$  für den HPM, bzw.  $162,5 \text{ k}\Omega$  für den LPM und für die Referenzspannung ein Wert von  $150 \text{ k}\Omega$  eingestellt. Die Widerstandswerte der Potentiometer können bei Testchip 2 nicht fehlerfrei gemessen werden. Aus diesem Grund werden die Widerstandswerte im laufenden Betrieb im LDO-Modus mit einer Eingangsspannung von  $1,4 \text{ V}$  manuell eingestellt, bis die gemessenen Spannungen die korrekten Werte erreicht haben.

Wie in Kapitel 3.2 beschrieben, ist es auf Testchip 2 möglich, alle Spannungen des Chips entweder bezogen auf das Massepotential des Chips oder der Platine zu messen. Alle statischen Messungen der folgenden Unterkapitel werden auf Massepotential des Chips gemessen, während die transienten Messungen mit Ausgabe auf dem Oszilloskop auf Massepotential der Platine gemessen werden.

Die Funktionen der einzelnen Schaltungen zum Schutz des Reglers werden in den folgenden Kapiteln untersucht. Wenn nicht anders angegeben, sind diese zunächst abgeschaltet, indem die entsprechenden Jumper auf Off gesetzt werden. Wird eine oder mehrere der Schaltungen genutzt, wird in dem entsprechenden Kapitel darauf hingewiesen.

## 4.1 Line Regulation

Die Line Regulation ist eine Messmethode, welche die Fähigkeit des Reglers charakterisiert, die angegebene Ausgangsspannung unter einem variierenden Eingangssignal konstant zu halten. Die Line Regulation wird wie folgt definiert:

$$\text{LineRegulation} = \frac{\Delta V_{\text{OUT}}}{\Delta V_{\text{IN}}} \quad (4.1)$$

Die Differenz der Ausgangsspannung wird zwischen zwei Punkten betrachtet. Startpunkt ist die Spannung, in der alle Transistoren in Sättigung sind. Der Endpunkt ist erreicht, sobald die Eingangsspannung auf ihrem maximalen Wert liegt. Idealerweise sollte die Eingangsspannung keinen Einfluss auf die Ausgangsspannung haben, weswegen sehr kleine Werte für die Line Regulation ( $< 0,1\%$ ) gewünscht sind. Die Spezifikation gibt einen Wert  $< 10\text{ mV}$  vor [Kam18].

Um die Line Regulation zu messen, wird der Regler mit einer linear steigenden Spannung (LDO-Modus), bzw. mit einem linear steigenden Strom (SLDO-Modus) versorgt. Im Shuldo-Test-Tool (Kapitel 3.7) wird im Bereich *Which SMU for Sweep?* der Keithley 2460 ausgewählt. Die Messung wird in der *test selection* über eine Selektierung von *Line Regulation voltage* für den Betrieb im LDO-Modus bzw. *Line Regulation current* für den Betrieb im SLDO-Modus gestartet.

Die gesetzten/gewählten Parameter sind der Tabelle 5 zu entnehmen. Für die Messergebnisse der Kapitel 4.1.1 bis 4.1.3 ergeben sich mit der Gleichung nach 4.1 die folgenden Werte für die Line Regulation:

				Line Regulation
LDO-Modus	$V_{\text{in}} = 0\text{ V} - 2\text{ V}$	Testchip 1	Abbildung 4.1	1,07 mV
		Testchip 2	Abbildung 4.2	0,15 mV
SLDO-Modus (High-Power)	$I_{\text{in}} = 0\text{ A} - 2\text{ A}$	Testchip 1	Abbildung 4.3	-7,55 mV
		Testchip 2	Abbildung 4.4	<b>37,05 mV</b>
SLDO-Modus (Low-Power)		Testchip 1	Abbildung 4.5	-3,8 mV
		Testchip 2	Abbildung 4.6	<b>23,62 mV</b>

Tabelle 5: Übersicht zur Messung der Line Regulation

Die Messergebnisse im LDO-Modus für Testchip 1 und Testchip 2 erfüllen die Spezifikation. Im SLDO-Modus liegen die Ergebnisse der Line Regulation um den Faktor 2 über der Spezifikation. Anzumerken ist, dass nach einer durchgeführten Messung die Werte für  $V_{\text{ofs}}$  und  $V_{\text{ref}}$  eine Zeit lang höher sind, als wie sie vor dem Start des Messvorgangs eingestellt wurden. Dies könnte an der durch den hohen Stromfluss verursachten Eigenerwärmung des Reglers während der Messung im SLDO-Modus liegen. Durch ein erhöhtes  $V_{\text{ref}}$  steigt auch die Ausgangsspannung und damit ist der Wert außerhalb der Spezifikation.

4.1.1 TestChip 1 & 2 - Line Regulation - LDO

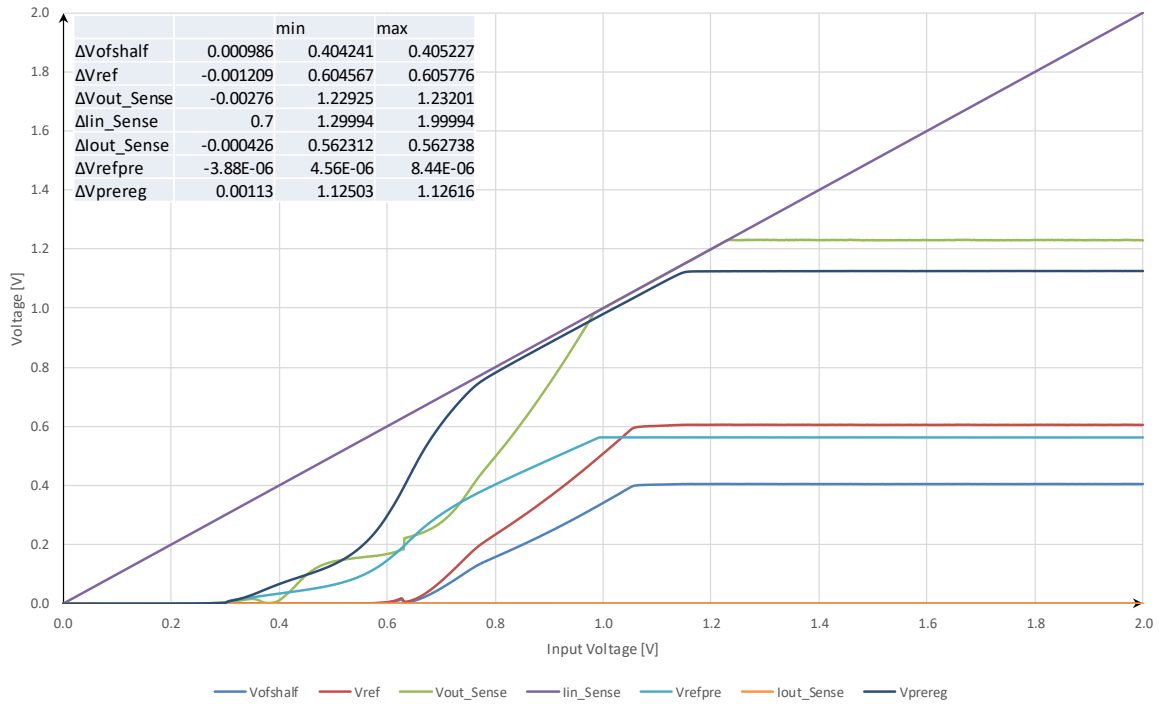


Abbildung 4.1: Line Regulation von Testchip 1 im LDO-Modus

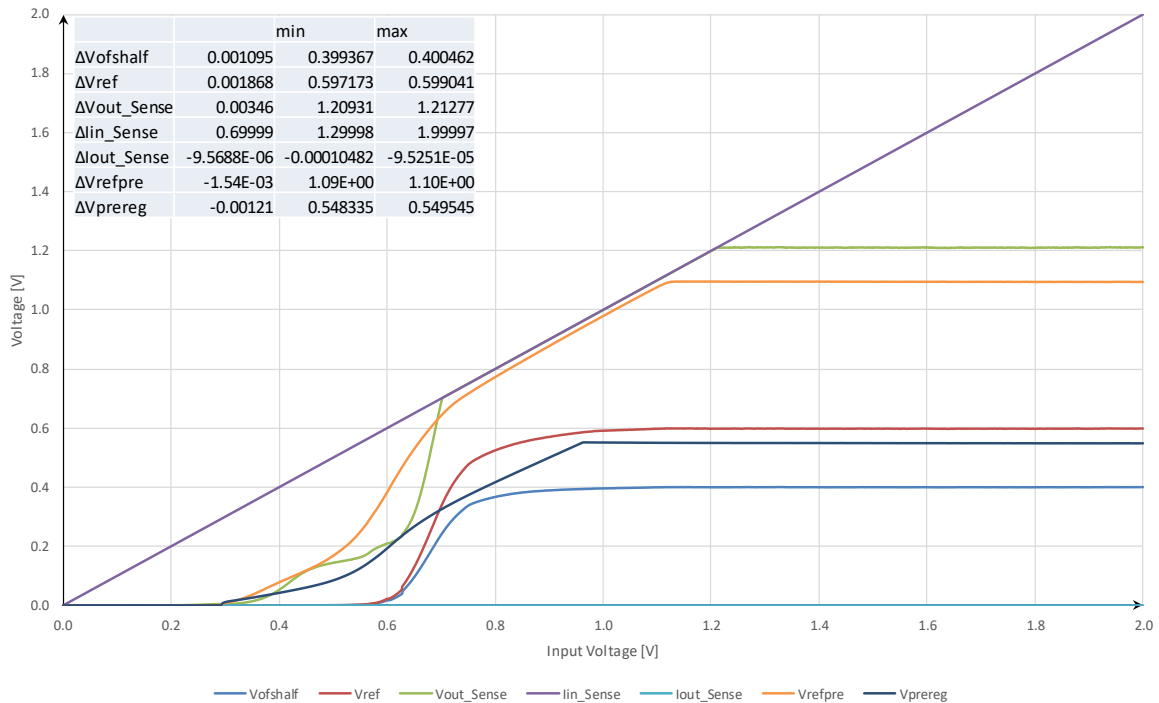


Abbildung 4.2: Line Regulation von Testchip 2 im LDO-Modus

4.1.2 TestChip 1 & 2 - Line Regulation - SLDO - HPM

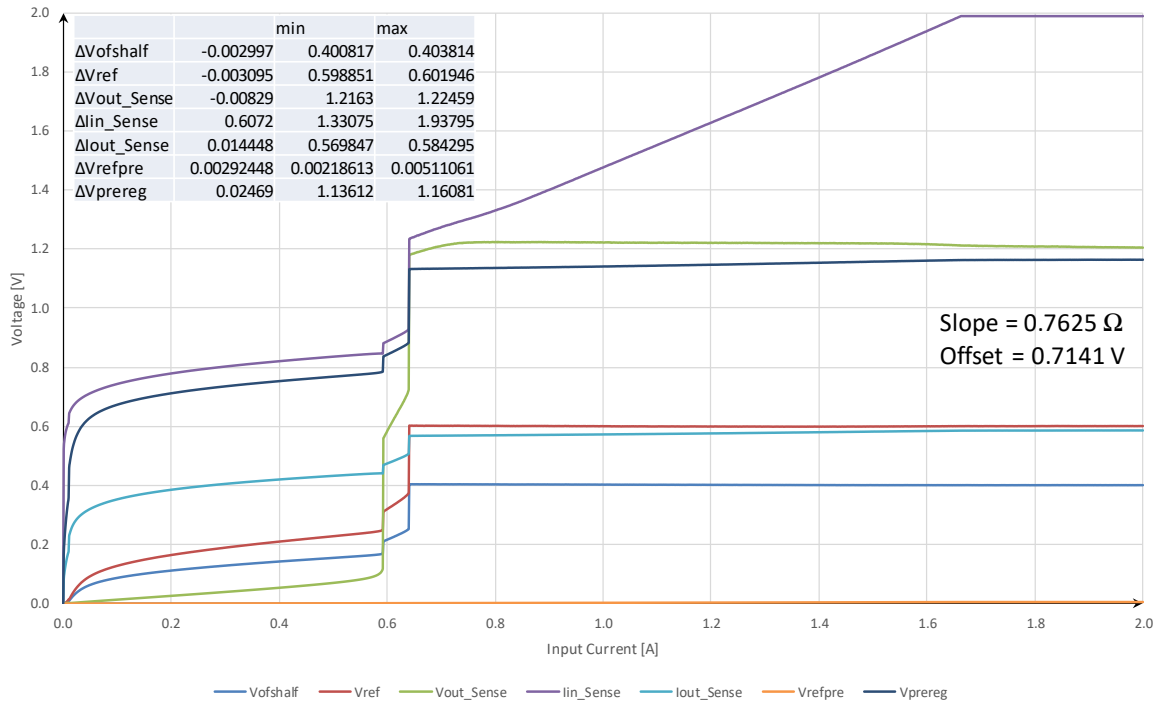


Abbildung 4.3: Line Regulation von Testchip 1 im SLDO-Modus - HPM

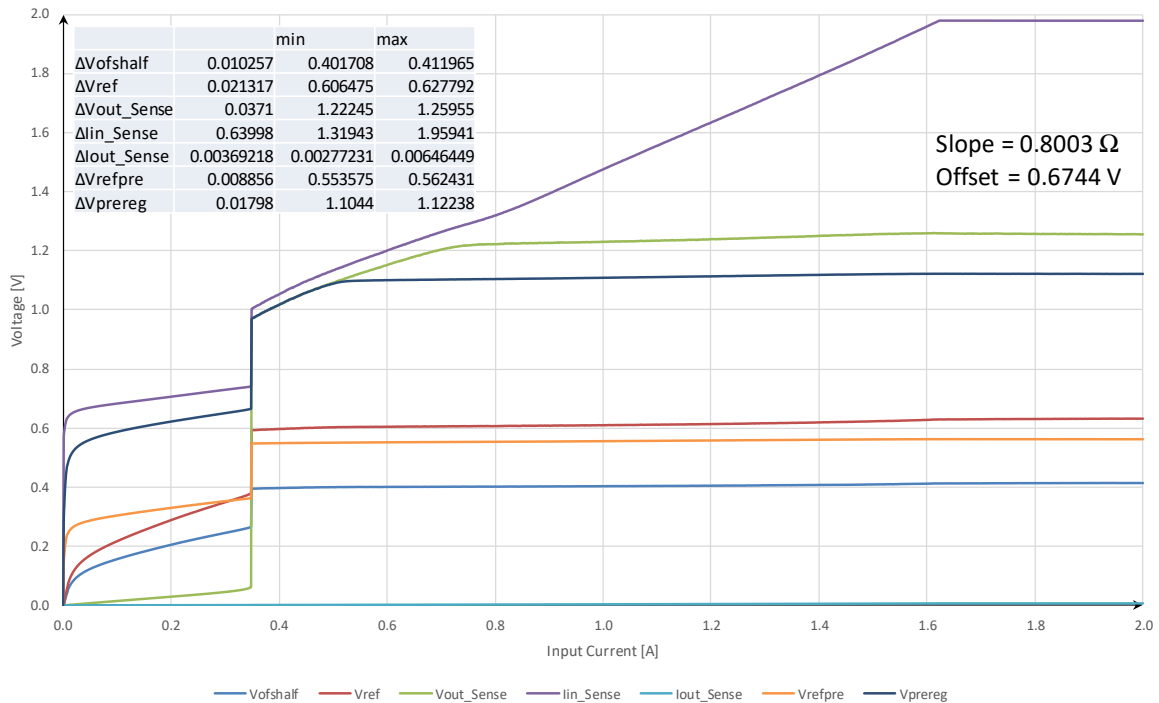


Abbildung 4.4: Line Regulation von Testchip 2 im SLDO-Modus - HPM



4.1.3 TestChip 1 & 2 - Line Regulation - SLDO - LPM

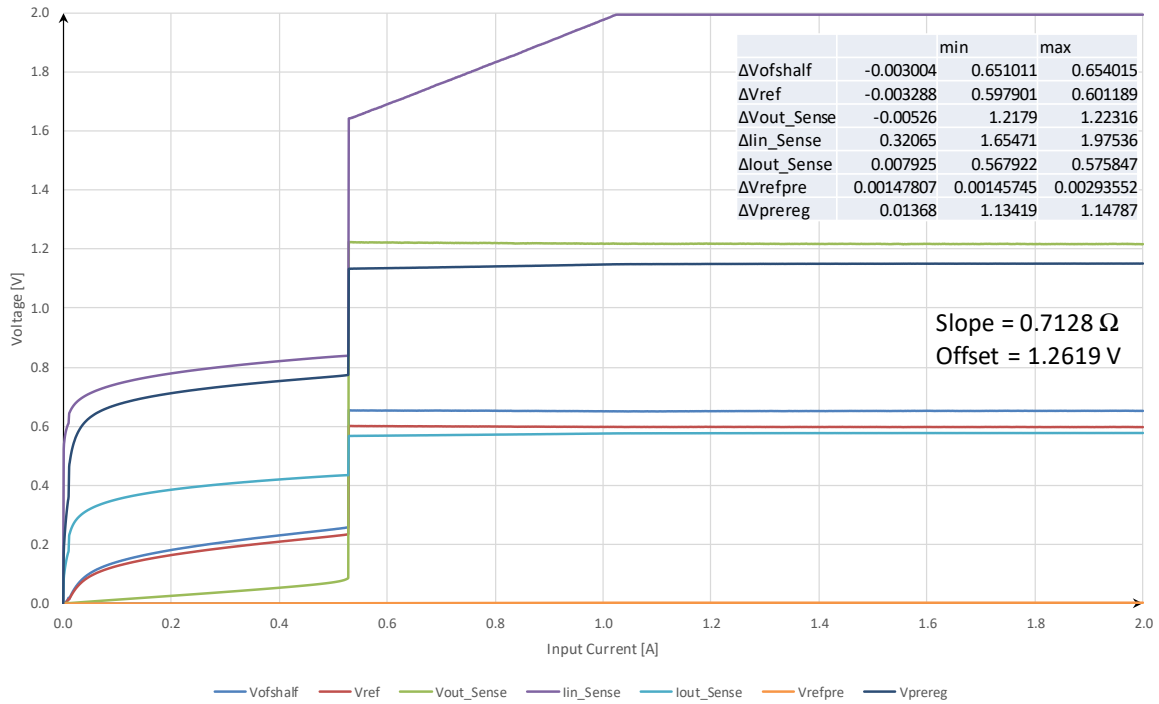


Abbildung 4.5: Line Regulation von Testchip 1 im SLDO-Modus - LPM

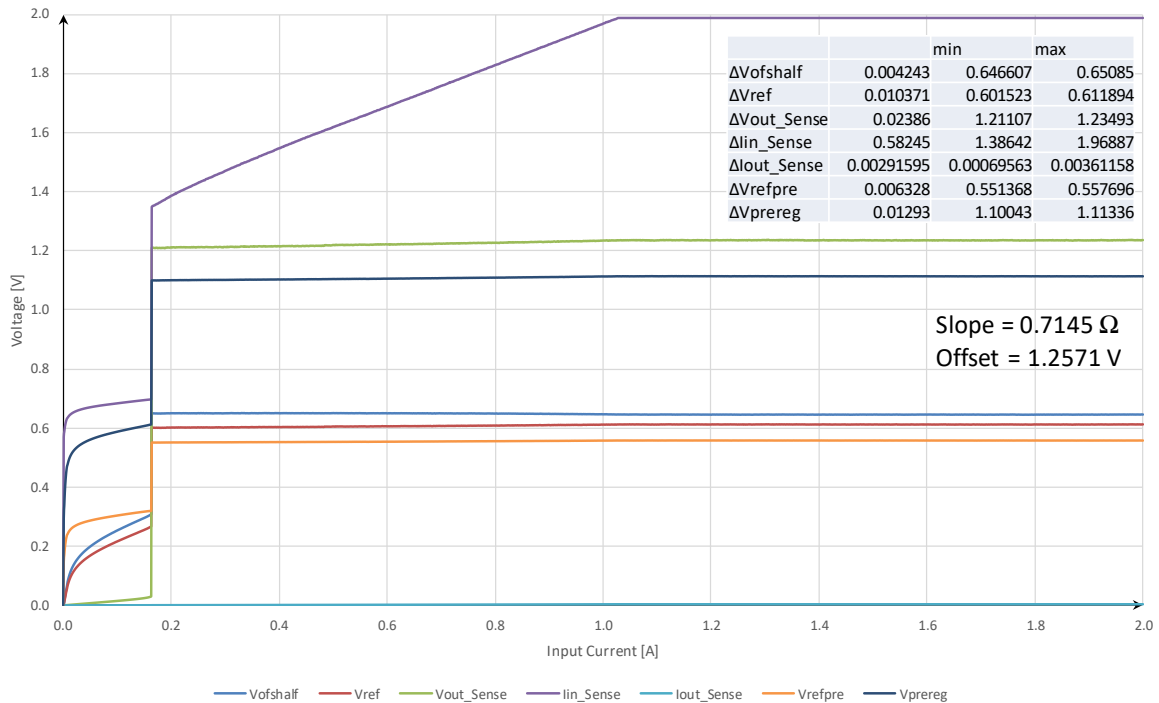


Abbildung 4.6: Line Regulation von Testchip 2 im SLDO-Modus - LPM

## 4.2 Load Regulation

Unter der Load Regulation versteht man die Fähigkeit eines Reglers, einen konstanten Spannungs- (oder Strom-) Pegel am Ausgangskanal trotz Änderungen der Last aufrechtzuerhalten. Idealerweise sollte die Ausgangsspannung unabhängig von der Ausgangslast sein und somit sollte die Load Regulation gleich null sein. Die Load Regulation wird wie folgt berechnet [Kam18]:

$$\text{LoadRegulation} = \frac{V_{\text{minLoad}} - V_{\text{maxLoad}}}{\Delta I_{\text{load}}} \quad (4.2)$$

Um die Load Regulation zu messen, wird der Regler mit einem konstanten Wert für Spannung bzw. Strom versorgt. An den Anschluss VCC wird das Sourcemeter Keithley 2401 (Kapitel 3.6.1) angeschlossen, mit dem der Laststrom im Sink-Betrieb gesweepet werden soll. Im Shuldo-Test-Tool (Kapitel 3.7) wird im Bereich *Which SMU for Sweep?* der Keithley 2400 ausgewählt. Über eine Selektierung von *Load Regulation* im Bereich *test selection* und einem Klick auf *start test* wird die Messung gestartet.

Die Messungen werden mit den Parametern der Tabelle 6 durchgeführt. Aus den Messergebnissen der Kapitel 4.2.1 und 4.2.2 ergeben sich mit Formel 4.2 für die Load Regulation die folgenden Werte:

					Load Regulation
LDO-Modus	$V_{\text{in}} = 2 \text{ V}$	$I_{\text{load}} = 0 \text{ A} - 1 \text{ A}$	Testchip 1	Abb. 4.7	-6,47 mV
			Testchip 2	Abb. 4.8	-0,44 mV
SLDO-Modus (High-Power)	$I_{\text{in}} = 1,05 \text{ A}$		Testchip 1	Abb. 4.9	4,27 mV
			Testchip 2	Abb. 4.10	-11,45 mV
	$I_{\text{in}} = 2 \text{ A}$		Testchip 1	Abb. 4.12	-5,02 mV
			Testchip 2	Abb. 4.12	-6,27 mV

Tabelle 6: Übersicht zur Messung der Load Regulation

Die Messergebnisse im LDO-Modus für Testchip 1 und 2 erfüllen die Spezifikation. Im SLDO-Modus liegt die Load Regulation für Testchip 2 geringfügig über der Spezifikation. Es ist anzumerken, dass das Verhalten des zweiten Testchips sehr starke Variationen zeigt. Wie auch bei der Messung der Line Regulation (Kapitel 4.1) ist hier auffällig, dass nach Durchführung der Messung die Werte für  $V_{\text{ofs}}$  und  $V_{\text{ref}}$  eine Zeit lang höher sind, als sie zuvor eingestellt wurden. Dies könnte ebenfalls auf einen Temperatureffekt zurückzuführen sein, da bei niedrigen Lastströmen ein großer Strom durch den Transistor fließt und damit hohe Leistungen in Wärme umgesetzt werden. Die Nutzung eines Lüfters zur Kühlung hatte positiven Einfluss auf die Ergebnisse.

4.2.1 TestChip 1 & 2 - Load Regulation - LDO

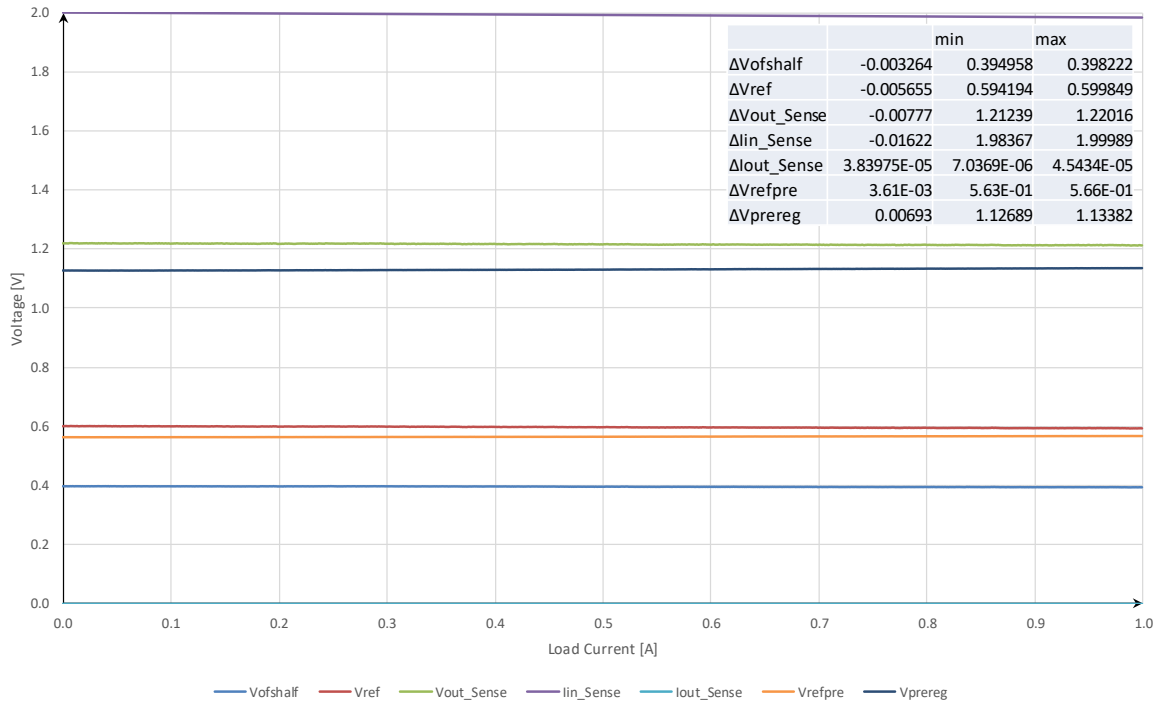


Abbildung 4.7: Load Regulation von Testchip 1 mit  $V_{in} = 2\text{ V}$  im LDO-Modus

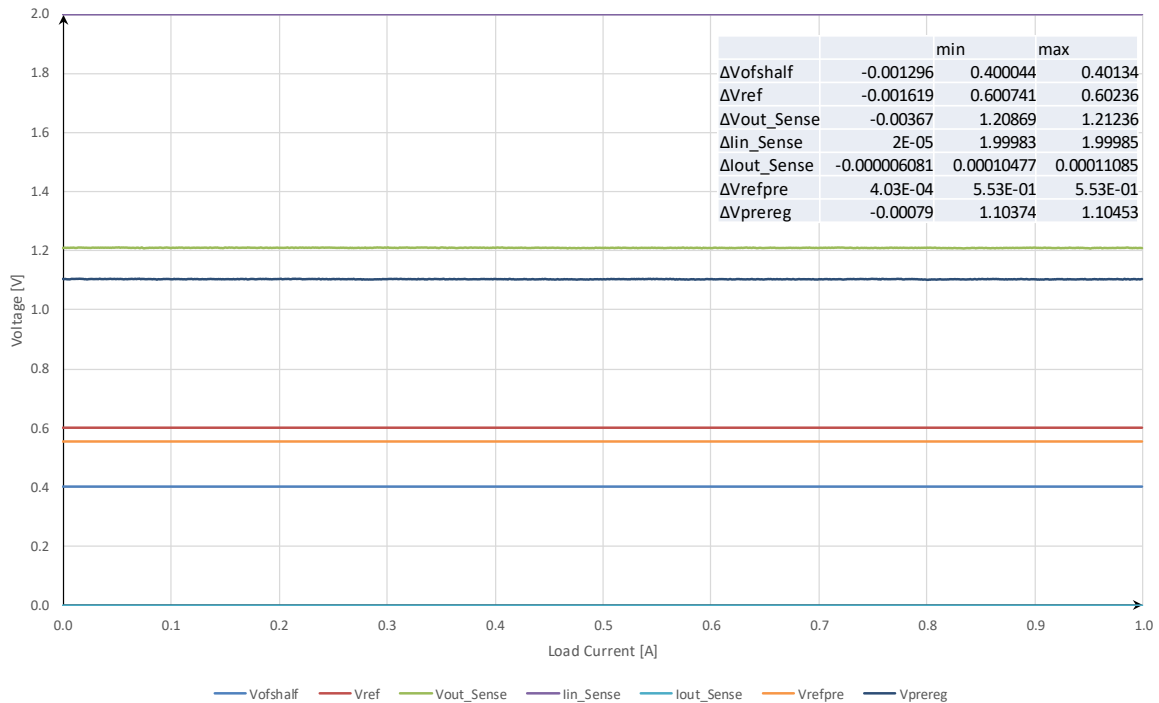


Abbildung 4.8: Load Regulation von Testchip 2 mit  $V_{in} = 2\text{ V}$  im LDO-Modus

4.2.2 TestChip 1 & 2 - Load Regulation - SLDO

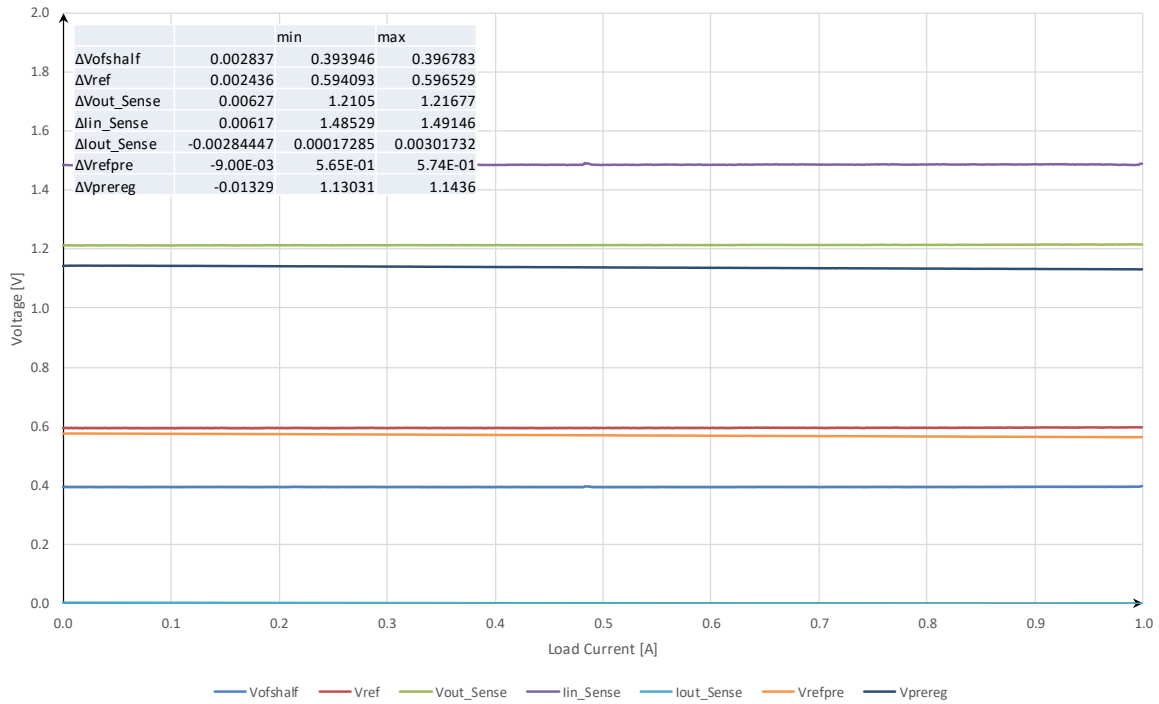


Abbildung 4.9: Load Regulation von Testchip 1 mit  $I_{in} = 1,05$  A im SLDO-Modus

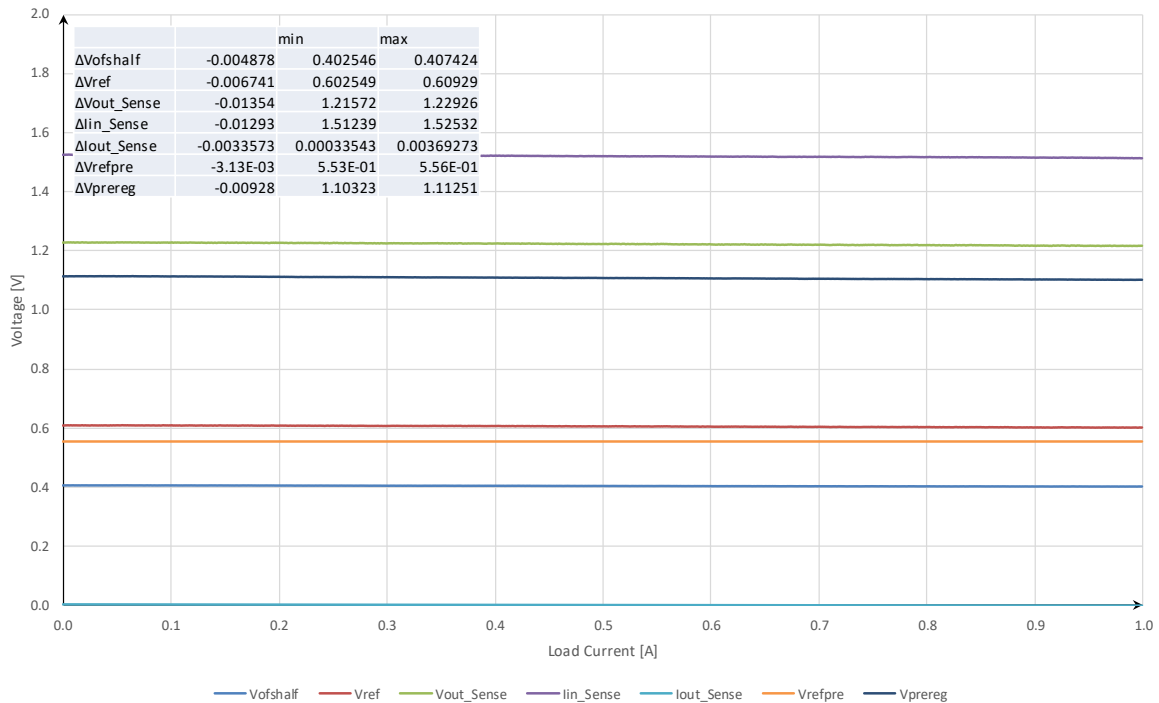


Abbildung 4.10: Load Regulation von Testchip 2 mit  $I_{in} = 1,05$  A im SLDO-Modus

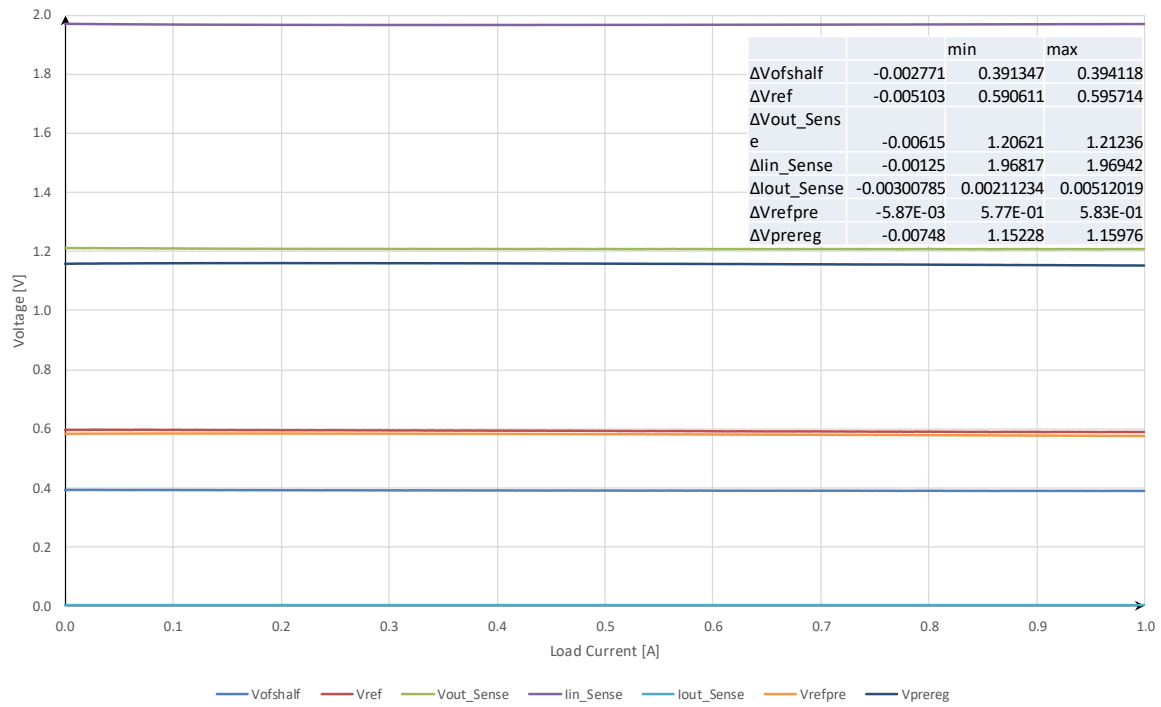


Abbildung 4.11: Load Regulation von Testchip 1 mit  $I_{in} = 2\text{ A}$  im SLDO-Modus

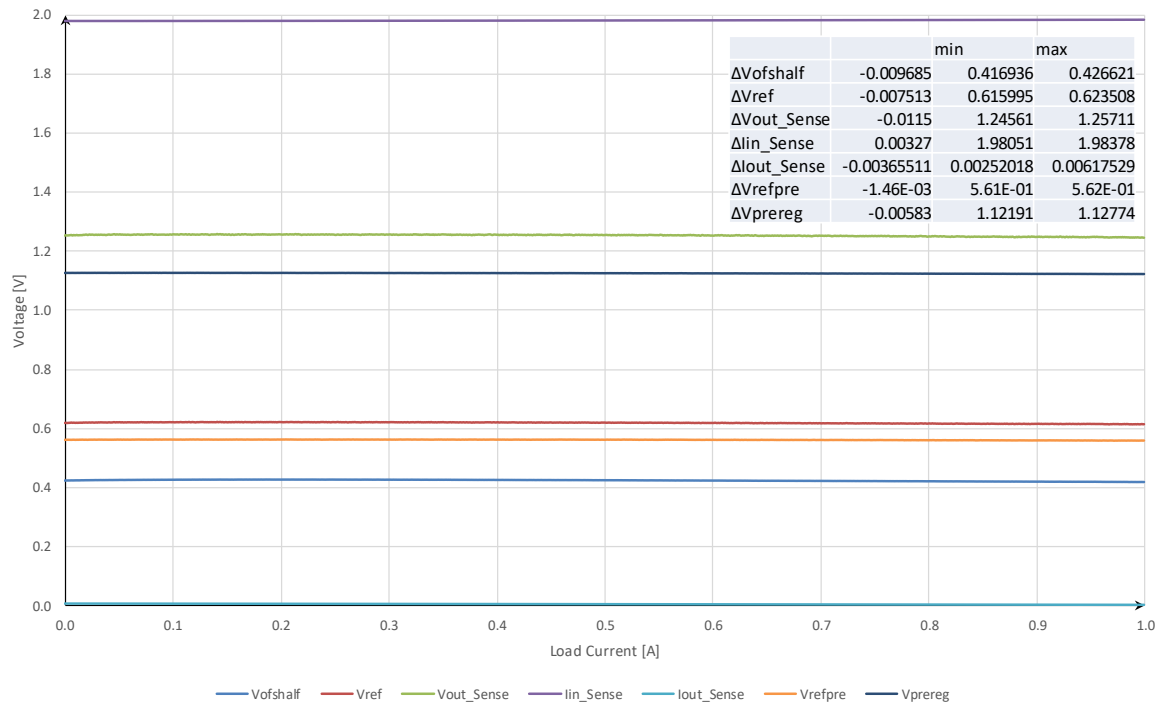


Abbildung 4.12: Load Regulation von Testchip 2 mit  $I_{in} = 2\text{ A}$  im SLDO-Modus

### 4.3 Sweep des externen Widerstands und der Offsetspannung

Der Referenzstrom für den Spannungsregler wird über den Widerstand  $R_3$  eingestellt, wobei zwischen dem internen ( $R_{\text{int}}$ ) und dem externen Widerstand ( $R_{\text{ext}}$ ) gewählt werden kann. Der interne hat einen festen Wert von  $600\ \Omega$ , während der externe frei konfigurierbar ist. Durch Variation von  $R_{\text{ext}}$  ändert sich bei gegebener Eingangsspannung der Referenzstrom in diesem Pfad, was sich auch auf die Steigung der Eingangsspannung bei einem Sweep des Eingangsstromes auswirkt. Da vergangene Messungen gezeigt haben, dass die Steilheit und die Offsetspannung des Reglers voneinander abhängig sind, wird in diesem Kapitel untersucht, ob die Änderungen der Steilheit einen Einfluss auf den Offset haben. Außerdem soll der Einfluss verschiedener Werte für  $V_{\text{ofs}}$  auf die Steigung der Eingangsspannung untersucht werden. Im Idealfall würde der Offset für verschiedene Steigungen und Referenzwiderstandswerte gleich bleiben. Die Eingangsspannung wird nach Eintritt in die Sättigung als lineare Funktion in Form von

$$y = R_{\text{slope}} \cdot x + V_{\text{ofs}} \quad (4.3)$$

angenähert und der Offset wird aus dem y-Achsenabschnitt bestimmt [Kam18].

Der Eingangsstrom des Reglers wird durch die Verwendung der Line Regulation im SLDO-Modus gesweept. Die ermittelten Werte für die Steigung und den Offset werden mit ihrer Abweichung in den Ergebnissen der folgenden Unterkapitel in den entsprechenden Diagrammen abgebildet.

Die Messungen werden mit folgenden Parametern durchgeführt:

SLDO-Modus	$I_{\text{in}} = 0\ \text{A} - 2\ \text{A}$	$R_{\text{ext}} = 450\ \Omega - 900\ \Omega$ $\Delta R_{\text{ext}} = 50\ \Omega$ $V_{\text{ofshalf}} = 400\ \text{mV}$	Testchip 1	Abbildung 4.13
				Abbildung 4.14
			Testchip 2	Abbildung 4.15
				Abbildung 4.16
		$V_{\text{ofshalf}} = 350\ \text{mV} - 700\ \text{mV}$ $\Delta V_{\text{ofshalf}} = 50\ \text{mV}$ $R_{\text{ext}} = 600\ \Omega$	Testchip 1	Abbildung 4.17
				Abbildung 4.18
		Testchip 2	Abbildung 4.19	
			Abbildung 4.20	

Tabelle 7: Übersicht zur Messung der Sweeps von  $R_{\text{ext}}$  und  $V_{\text{ofshalf}}$

Die Ergebnisse der Kapitel 4.3.1 und 4.3.2 zeigen, dass die Eingangsspannung von Testchip 2 zu Testchip 1 bei steigendem  $R_{\text{ext}}$  bei zunehmend kleineren Eingangsströmen beginnt zu steigen, gleichzeitig aber auch eine größere Stromdifferenz ab dem Einschaltzeitpunkt benötigt wird, bis sich eine konstante Steigung einstellt. Ein ähnliches Verhalten ist in den Ergebnissen von Kapitel 4.3.3 und 4.3.4 zu sehen, in denen  $V_{\text{ofshalf}}$  gesweept wird. Den Ergebnissen ist zu entnehmen, dass die aus den Messungen extrahierten Werte für die Offsetspannung und die Steigung der Eingangsspannung durchgehend von den eingestellten Werten abweichen. Während die Offsetspannung geringer als eingestellt ausfällt, besitzt die Steigung höhere Werte als erwartet. Dieses Phänomen ist Gegenstand aktueller Untersuchungen und noch nicht komplett verstanden.

4.3.1 Testchip 1 - Sweep des externen Widerstands

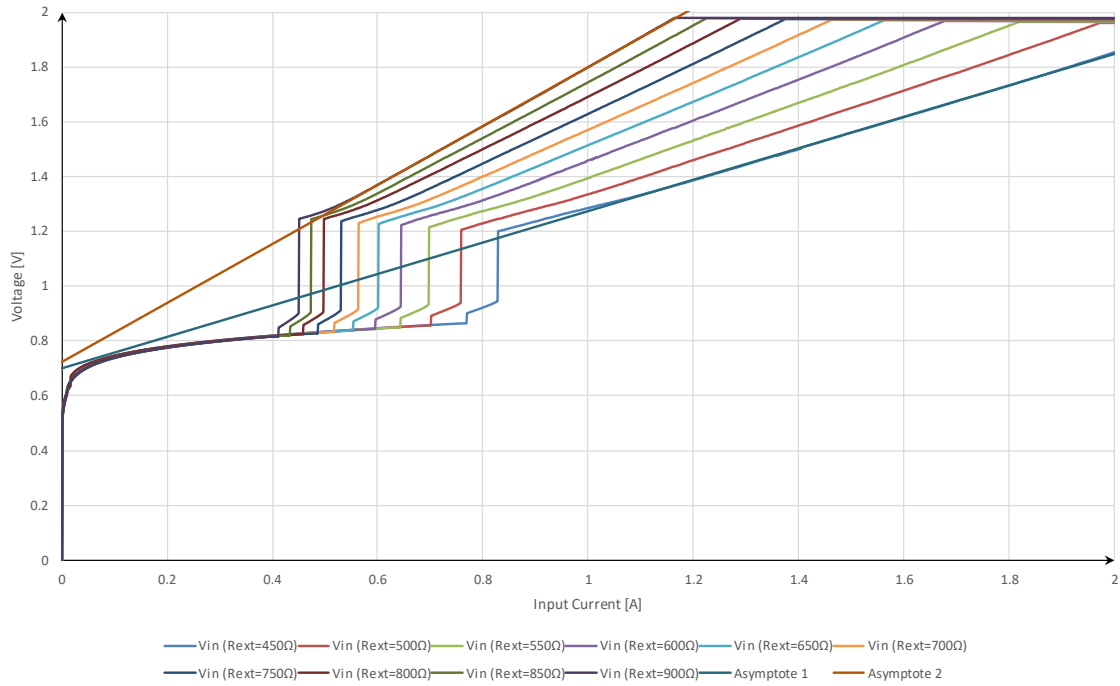


Abbildung 4.13: Eingangsspannung von Testchip 1 für verschiedene Widerstandswerte  $R_{ext}$

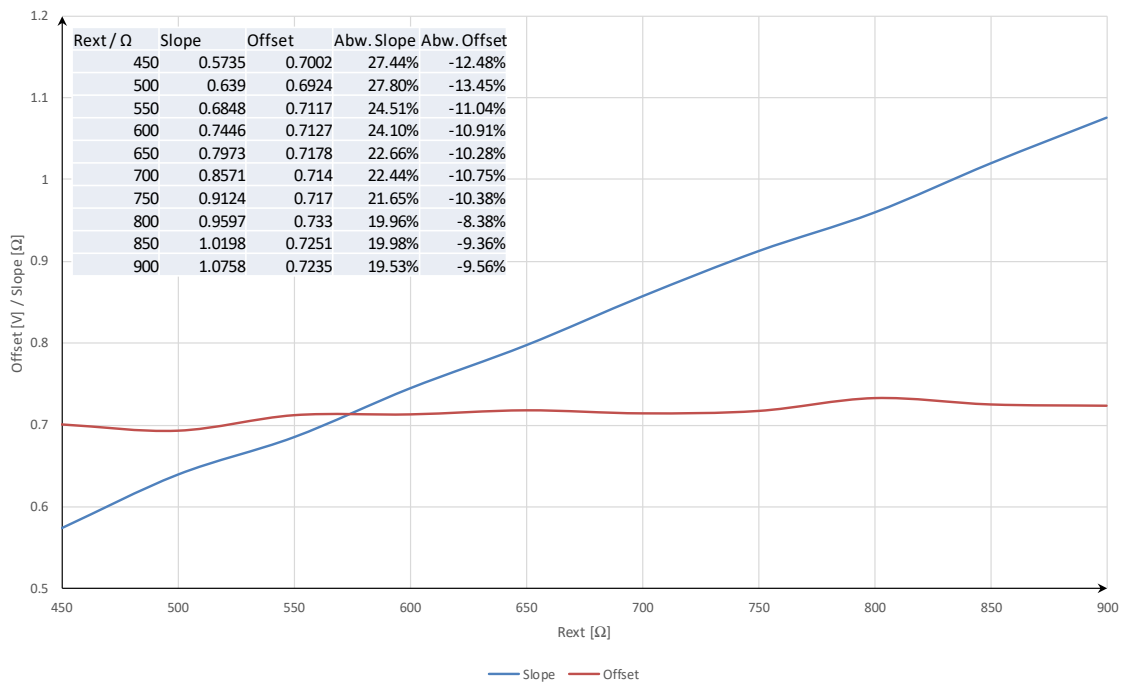


Abbildung 4.14: Slope und Offset von Testchip 1 bei verschiedenen Widerstandswerten  $R_{ext}$

4.3.2 Testchip 2 - Sweep des externen Widerstands

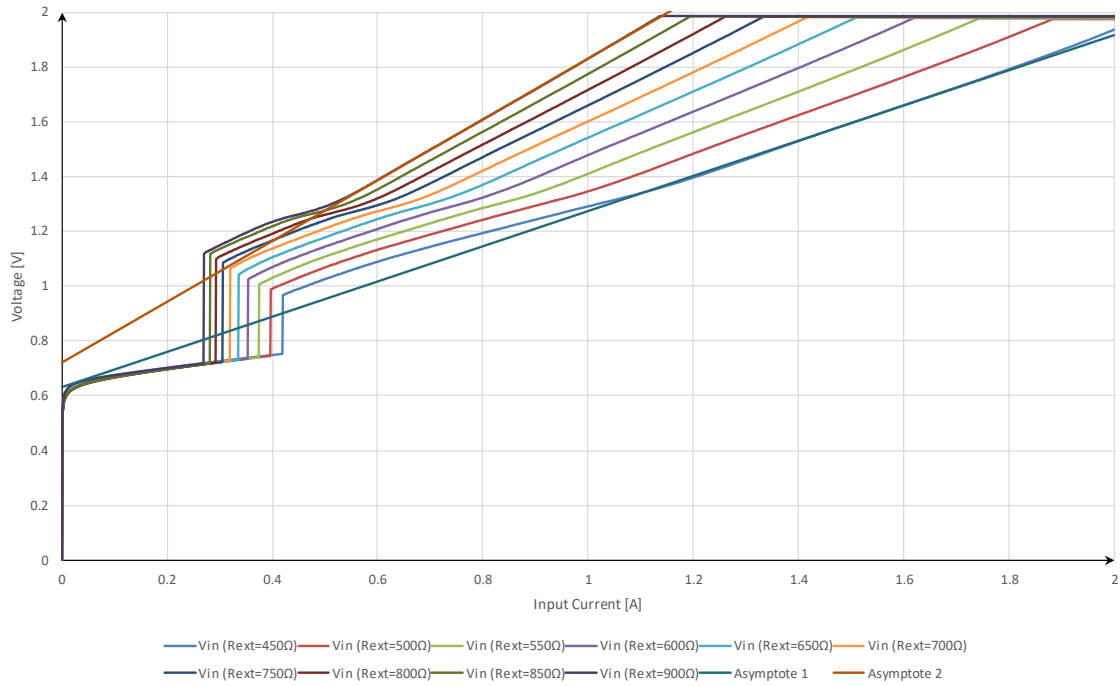


Abbildung 4.15: Eingangsspannung von Testchip 2 für verschiedene Widerstandswerte  $R_{ext}$

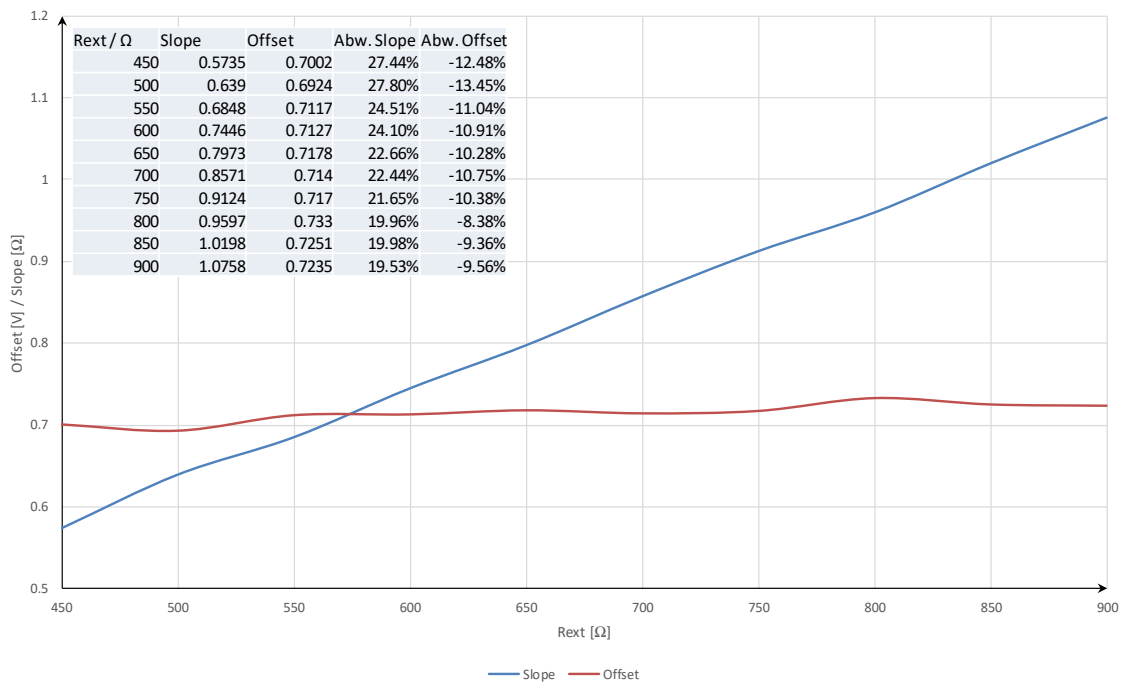


Abbildung 4.16: Slope und Offset von Testchip 2 bei verschiedenen Widerstandswerten  $R_{ext}$



4.3.3 Testchip 1 - Sweep der Offsetspannung

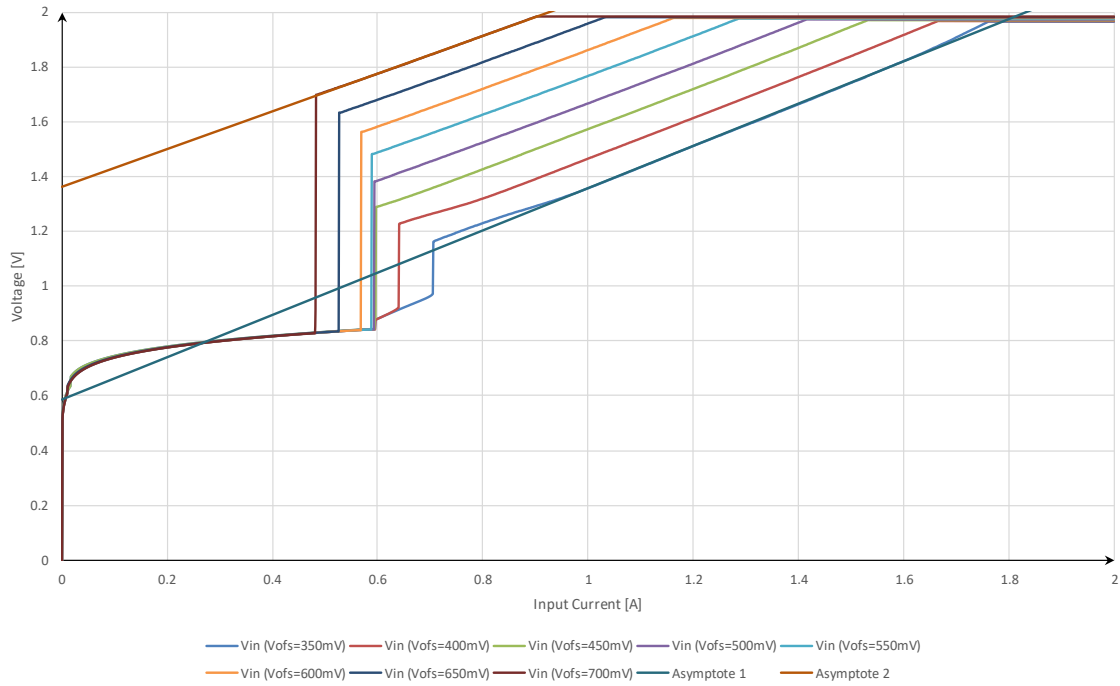


Abbildung 4.17: Eingangsspannung von Testchip 1 für verschiedene Offsetspannungen  $V_{ofs}$

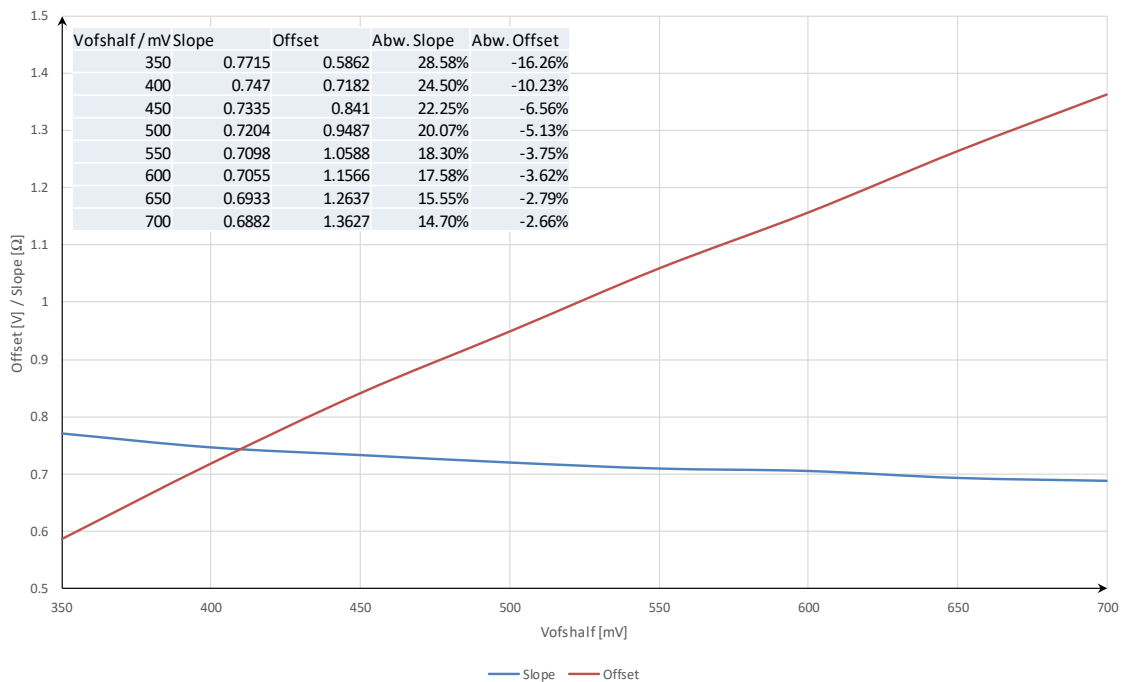


Abbildung 4.18: Slope und Offset von Testchip 1 bei verschiedenen Offsetspannungen  $V_{ofs}$

4.3.4 Testchip 2 - Sweep der Offsetspannung

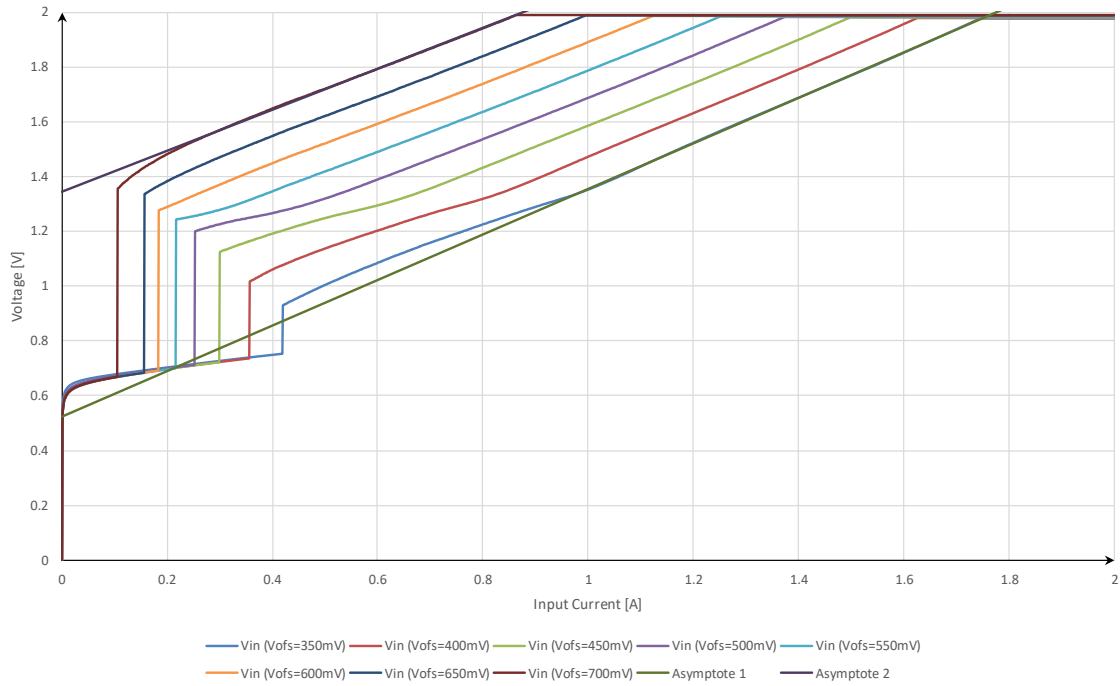


Abbildung 4.19: Eingangsspannung von Testchip 2 für verschiedene Offsetspannungen  $V_{ofs}$

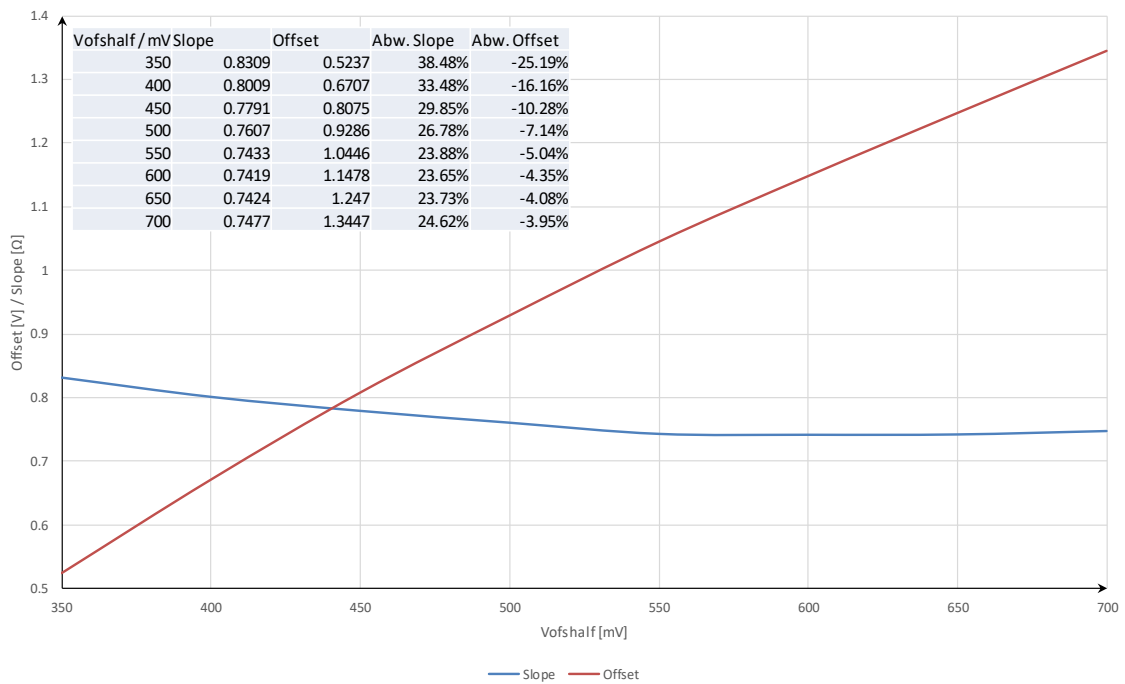


Abbildung 4.20: Slope und Offset von Testchip 2 bei verschiedenen Offsetspannungen  $V_{ofs}$

#### 4.4 Transiente Eingangssignalwechsel

In diesem Kapitel wird das Verhalten des Reglers bei schnellen Eingangssignalwechseln untersucht. Im LDO-Modus wird dies mit der Rampenfunktion des Shuldo-Test-Tools durchgeführt. Werden zwei Punkte gewählt, kann für die Spannung eine Anstiegs-/Abfallzeit im niedrigen zweistelligen Mikrosekundenbereich erreicht werden.

Für die Messungen im SLDO-Modus wird die Prepower-Platine (Kapitel 3.3) zwischen den Regler und die Spannungsquelle geschaltet, um den Eingangsstrom mit sehr schnellen Flankenzeiten zu variieren. Die Aufgabe der Prepower-Schaltung ist es, einen Teil des Eingangsstromes im Nanosekundenbereich am Regler vorbei nach Masse zu leiten.

Die Prepower-Platine wird wie folgt in den Messaufbau integriert. An den Anschluss PWR\_IN wird das Sourcemeter und an den Anschluss PWR\_OUT der Testchip angeschlossen. Für diese Messung wurde der Schaltkreis PWR\_IN1 mit Transistor N1 und dem Verstärker U1 gewählt. Die Funktionsweise des NMOS-Transistors sowie des Instrumentenverstärkers ist in Kapitel 3.4 beschrieben. Ein Teil des Eingangsstromes wird, abhängig von der Höhe des Rechtecksignals, am Gate des Transistors nach Masse geleitet. Die Spannung am Ausgang des Verstärkers ist proportional zum Strom durch den Transistor, was bedeutet, dass die aufgenommene Größe der Spannung  $V_{\text{in}}$  an Anschluss M4 in den Messergebnissen dem Eingangsstrom des Reglers entspricht.

Die Messungen werden mit den Parametern der Tabelle 8 durchgeführt:

LDO-Modus	$V_{\text{in}} = 1,4 \text{ V} - 2 \text{ V}$	$t_{\text{rise}} = 50 \mu\text{s}$	Testchip 1	Abbildung 4.21
			Testchip 2	
SLDO-Modus (High-Power)	$I_{\text{in}} = 1 \text{ A} - 1,6 \text{ A}$	$t_{\text{rise}} = 10 \text{ ns}$	Testchip 1	Abbildung 4.22
			Testchip 2	
		$t_{\text{rise}} = 10 \text{ ns}$ $I_{\text{load}} = 950 \text{ mA}$	Testchip 1	Abbildung 4.23
			Testchip 2	
SLDO-Modus (Low-Power)	$I_{\text{in}} = 0,3 \text{ A} - 1 \text{ A}$	$t_{\text{rise}} = 10 \text{ ns}$	Testchip 1	Abbildung 4.24
			Testchip 2	

Tabelle 8: Übersicht zur Messung der transienten Eingangssignalwechsel

Die Ergebnisse des Kapitels 4.4.1 zeigen für den LDO-Modus, dass sich bei einem Wechsel der Eingangsspannung die Referenzspannung und die Ausgangsspannung nach einem kurzen Einschwingen auf den Nennwert stabilisieren. Interessant wäre hier eine Betrachtung von Eingangsspannungswechseln mit einer kürzeren Anstiegszeit.

Im SLDO-Modus (Kapitel 4.4.2) hingegen sind zunächst Spannungsspitzen in die entgegengesetzte Richtung auffällig, bevor sich der Nennwert einstellt. Diese werden jedoch mit einer deutlich kleineren Anstiegszeit gemessen. Eine angeschlossene Last hatte keinen bemerkbaren Einfluss auf die Messergebnisse.

			$\Delta V$	$\Delta t$	
LDO-Modus	$V_{in} = 1,4 V - 2 V$	TC1	steigende Flanke	10 mV	100 $\mu s$
			fallende Flanke	-68,46 mV	650 $\mu s$
		TC2	steigende Flanke	-30 mV	60 $\mu s$
			fallende Flanke	-36,46 mV	700 $\mu s$
SLDO-Modus (High-Power)	$I_{in} = 1 A - 1,6 A$	TC1	steigende Flanke	-25,9 mV	120 $\mu s$
			fallende Flanke	63,15 mV	100 $\mu s$
		TC2	steigende Flanke	-100,59 mV	75 $\mu s$
			fallende Flanke	53,34 mV	100 $\mu s$
	$I_{in} = 1 A - 1,6 A$ $I_{load} = 950 mA$	TC1	steigende Flanke	-26,91 mV	100 $\mu s$
			fallende Flanke	32,7 mV	100 $\mu s$
		TC2	steigende Flanke	-57,38 mV	80 $\mu s$
			fallende Flanke	61 mV	100 $\mu s$
SLDO-Modus (Low-Power)	$I_{in} = 0,3 A - 1 A$	TC1	steigende Flanke	-44,06 mV	90 $\mu s$
			fallende Flanke	47,18 mV	120 $\mu s$
		TC2	steigende Flanke	-42,6 mV	100 $\mu s$
			fallende Flanke	43,2 mV	100 $\mu s$

Tabelle 9: Spannungsbereich und Einschwingzeit von  $V_{out}$  für versch. Eingangssignale

#### 4.4.1 Testchip 1 & 2 - Transiente Eingangsspannungswechsel - LDO

Für die Messungen im LDO-Modus ist die Eingangsspannung blau, die Ausgangsspannung grün und die Referenzspannung rot markiert.

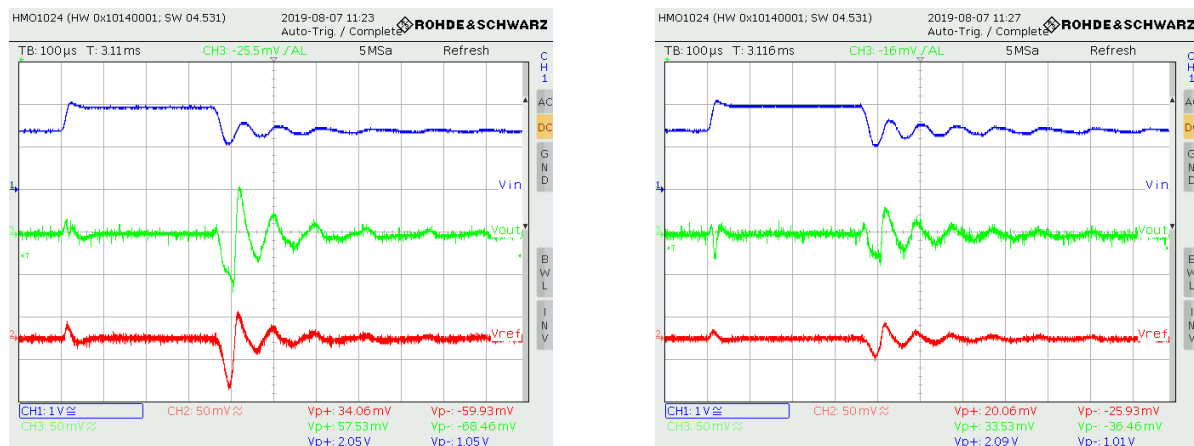


Abbildung 4.21: Eingangsspannung von 1,4 V – 2 V von Testchip 1 & 2

#### 4.4.2 Testchip 1 & 2 - Transiente Eingangsstromwechsel - SLDO

In den Ergebnissen für den SLDO-Modus ist die Eingangsspannung grün, die Ausgangsspannung blau, die Referenzspannung magenta und der Eingangsstrom rot markiert.

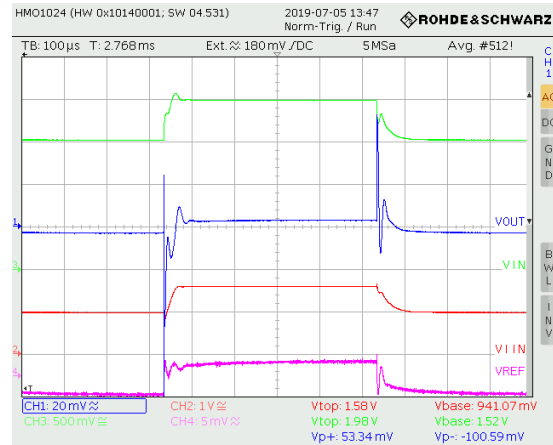
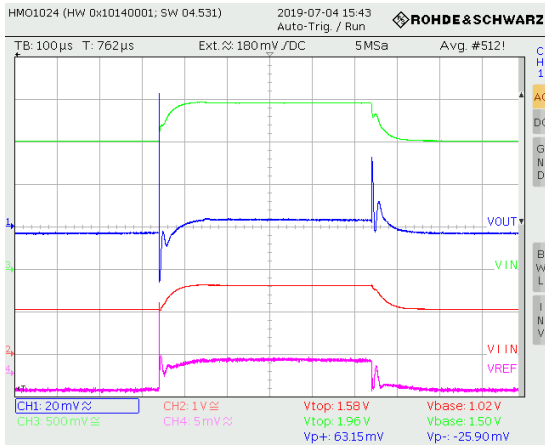


Abbildung 4.22: Eingangsstrom von 1 A – 1,6 A von Testchip 1 & 2 - HPM

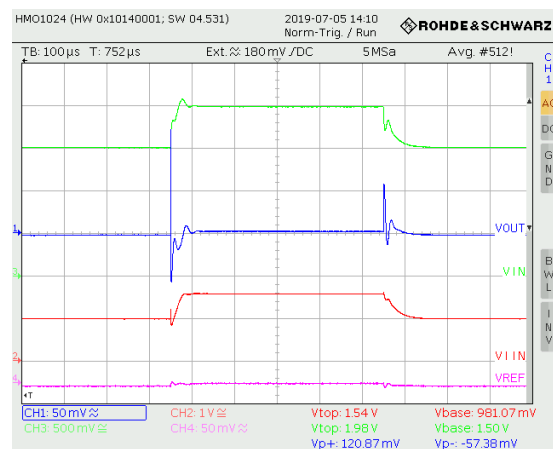
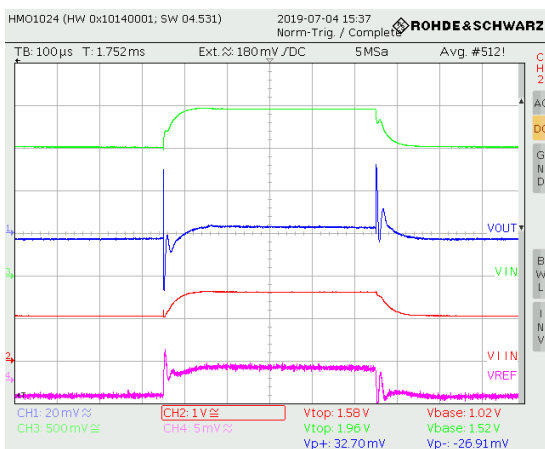


Abbildung 4.23: Eingangsstrom von 1 A – 1,6 A mit  $I_{load} = 950\text{mA}$  von Testchip 1 & 2 - HPM

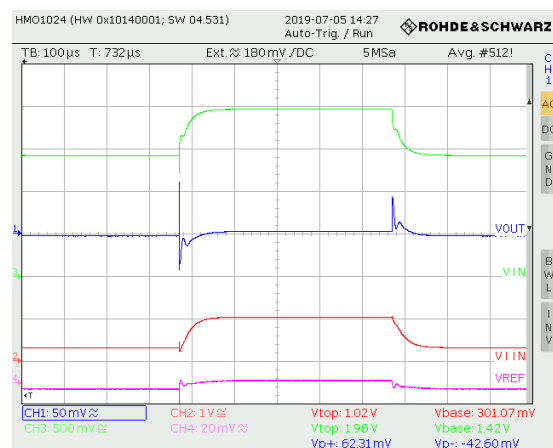
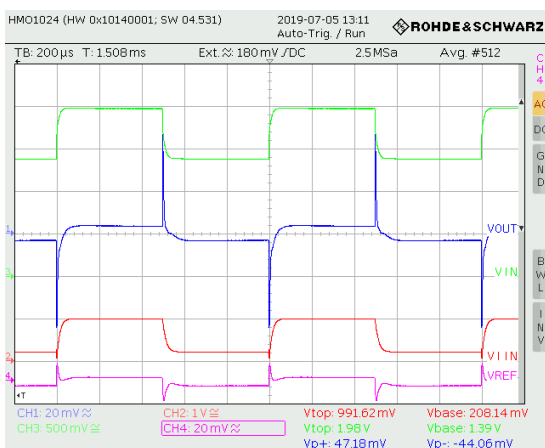


Abbildung 4.24: Eingangsstrom von 300 mA – 1 A von Testchip 1 & 2 - LPM

## 4.5 Transiente Lastwechsel

Transiente Lastwechsel werden verwendet, um das Verhalten des Reglers bei schnellen digitalen Lastwechseln zu untersuchen. Bei einem plötzlichen Anstieg oder Abfall des Laststromes sinkt, bzw. steigt die Ausgangsspannung. In der Messung wird angezeigt, wie schnell der Regler den eingeschwungenen Zustand erreicht und zusätzlich wird die Abweichung der Ausgangsspannung zu höheren und niedrigeren Werten ermittelt.

Die Laständerungen werden mit einer Rechteckspannung eines Waveformgenerators am Gate des NMOS-Transistors (siehe Kapitel 3.4.2 bzw. Gleichung 3.2), mit einer Änderung von 0 A auf 500 mA erzeugt. Für eine weitere Messung wird der Fall untersucht, bei der sich die Last von 450 mA auf 950 mA ändert. Hierfür wird ein konstanter Laststrom von 450 mA über das Sourcemeter am Anschluss  $V_{\text{out}}$  gezogen.

Anstiegs- und Abfallzeiten des Pulses liegen im Nanosekundenbereich, um das schnelle Schaltverhalten des Digitalteils zu berücksichtigen. Im Falle eines Stromabfalls steigt die Spannung für kurze Zeit an.

Die Messungen werden mit Parametern der Tabelle 10 mit einer Anstiegszeit von 10 ns durchgeführt:

LDO-Modus	$V_{\text{in}} = 1,4 \text{ V}$	$I_{\text{load}} = 0 \text{ A} - 500 \text{ mA}$	Testchip 1 & 2	Abbildung 4.25
		$I_{\text{load}} = 450 \text{ mA} - 950 \text{ mA}$	Testchip 1 & 2	Abbildung 4.26
	$V_{\text{in}} = 2 \text{ V}$	$I_{\text{load}} = 0 \text{ A} - 500 \text{ mA}$	Testchip 1 & 2	Abbildung 4.27
		$I_{\text{load}} = 450 \text{ mA} - 950 \text{ mA}$	Testchip 1 & 2	Abbildung 4.28
SLDO-Modus (High-Power)	$I_{\text{in}} = 1 \text{ A}$	$I_{\text{load}} = 0 \text{ A} - 500 \text{ mA}$	Testchip 1 & 2	Abbildung 4.29
		$I_{\text{load}} = 450 \text{ mA} - 950 \text{ mA}$	Testchip 1 & 2	Abbildung 4.30
	$I_{\text{in}} = 1,7 \text{ A}$	$I_{\text{load}} = 0 \text{ A} - 500 \text{ mA}$	Testchip 1 & 2	Abbildung 4.31
		$I_{\text{load}} = 450 \text{ mA} - 950 \text{ mA}$	Testchip 1 & 2	Abbildung 4.32
SLDO-Modus (Low-Power)	$I_{\text{in}} = 1 \text{ A}$	$I_{\text{load}} = 0 \text{ A} - 500 \text{ mA}$	Testchip 1 & 2	Abbildung 4.33
		$I_{\text{load}} = 450 \text{ mA} - 950 \text{ mA}$	Testchip 1 & 2	Abbildung 4.34

Tabelle 10: Übersicht zur Messung der transienten Lastwechsel

Die Messergebnisse der Kapitel 4.5.1 bis 4.5.3 zeigen, dass bei einem Anstieg des Laststromes die Ein-, sowie die Ausgangsspannung zunächst mit einem Peak einbricht, bevor sie wieder einschwingt. Die Peaks bei der Reduktion des Laststroms in die entgegengesetzte Richtung haben eine größere Amplitude als die bei Erhöhung des Laststromes. Im LDO-Modus dauert der Einschwingvorgang mit Zeiten von 12  $\mu\text{s}$  bis 180  $\mu\text{s}$  mehr als das zehnfache länger als im SLDO-Modus, mit Zeiten von nur 1,5  $\mu\text{s}$  bis 8  $\mu\text{s}$ . Auch die Spannungsspitzen sind im SLDO-Modus mit ein paar Ausreißern im Schnitt um bis zu 3-5 mal geringer, als die im LDO-Modus. Zwischen Testchip 1 und 2 gibt es hier keine auffälligen Unterschiede.

### 4.5.1 Testchip 1 & 2 - Transiente Lastwechsel - LDO

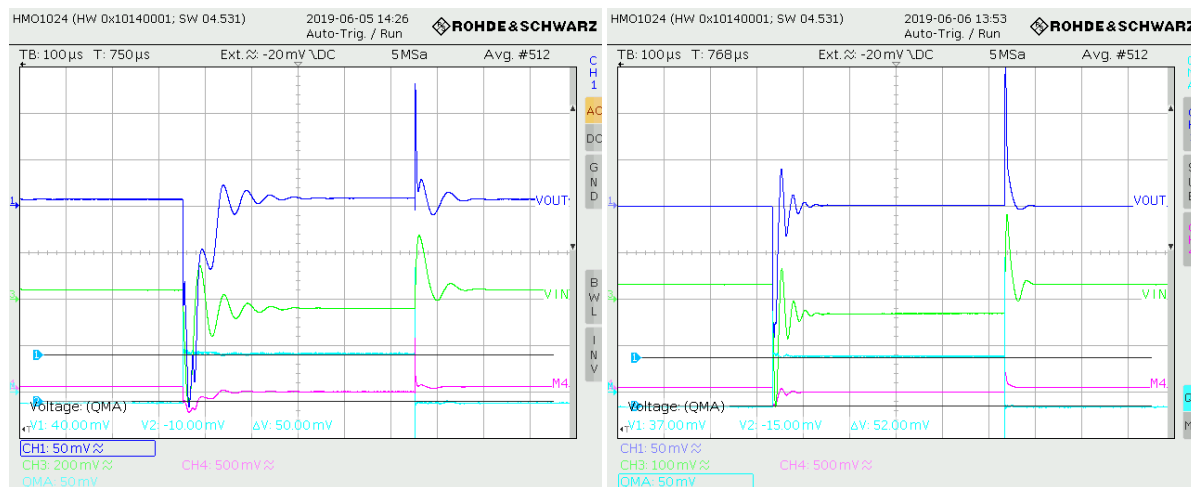


Abbildung 4.25: Lastwechsel von  $I_{load} = 0\text{ A} - 500\text{ mA}$  bei  $V_{in} = 1,4\text{ V}$  für Testchip 1 & 2

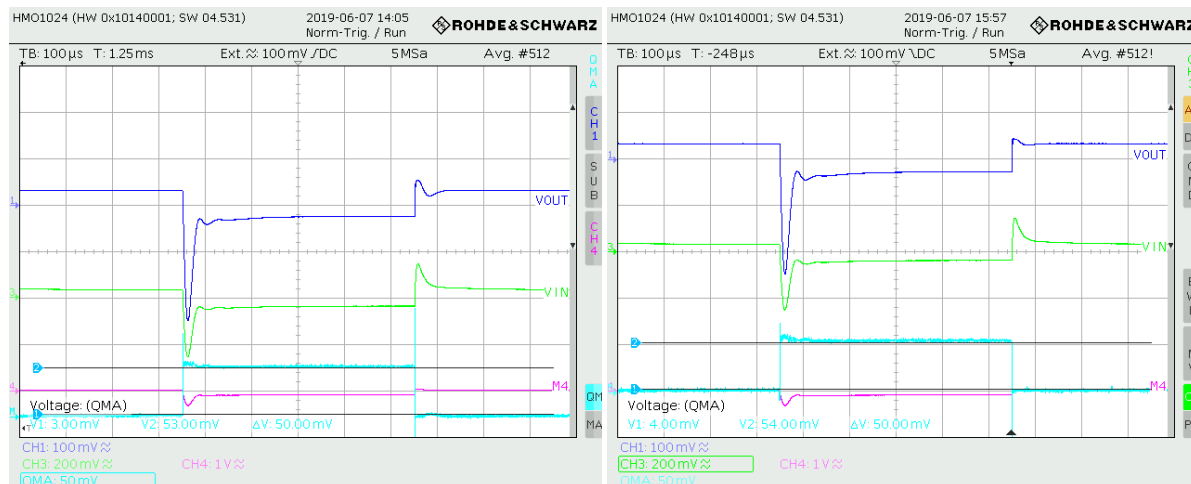


Abbildung 4.26: Lastwechsel von  $I_{load} = 450\text{ mA} - 950\text{ mA}$  bei  $V_{in} = 1,4\text{ V}$  für Testchip 1 & 2

		$\Delta V$	$\Delta t$	
Testchip 1	$V_{in} = 1,4\text{ V}$ $I_{load} = 0\text{ A} - 500\text{ mA}$	steigende Flanke	-224 mV	180 $\mu\text{s}$
		fallende Flanke	124 mV	120 $\mu\text{s}$
	$V_{in} = 1,4\text{ V}$ $I_{load} = 450\text{ mA} - 950\text{ mA}$	steigende Flanke	-286 mV	40 $\mu\text{s}$
		fallende Flanke	81 mV	70 $\mu\text{s}$
Testchip 2	$V_{in} = 1,4\text{ V}$ $I_{load} = 0\text{ A} - 500\text{ mA}$	steigende Flanke	-142 mV	90 $\mu\text{s}$
		fallende Flanke	156 mV	25 $\mu\text{s}$
	$V_{in} = 1,4\text{ V}$ $I_{load} = 450\text{ mA} - 950\text{ mA}$	steigende Flanke	-280 mV	40 $\mu\text{s}$
		fallende Flanke	75 mV	30 $\mu\text{s}$

Tabelle 11: Spannungsbereich und Einschwingzeit von  $V_{out}$  für Lastw. bei  $V_{in} = 1,4\text{ V}$

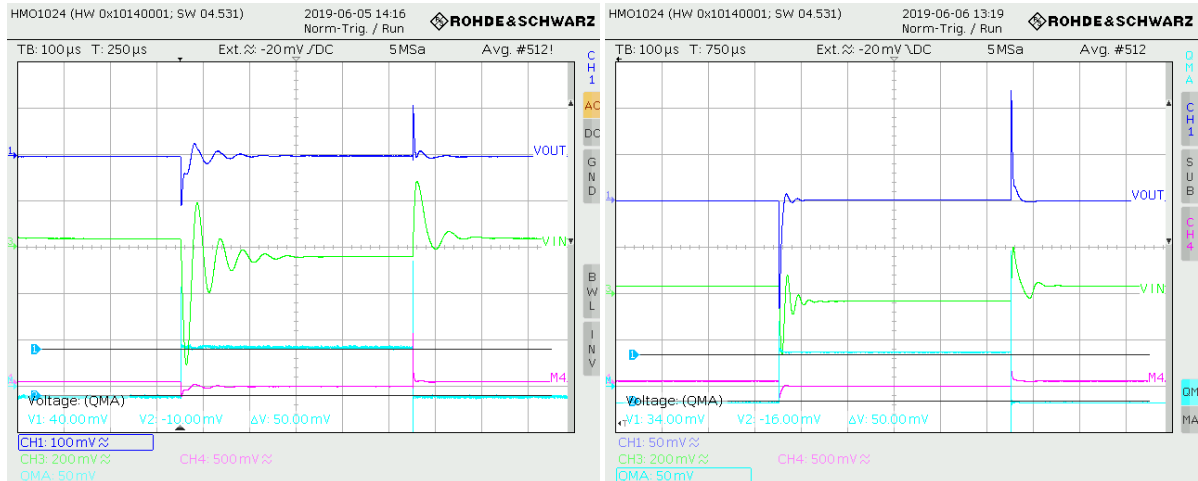


Abbildung 4.27: Lastwechsel von  $I_{load} = 0 \text{ A} - 500 \text{ mA}$  bei  $V_{in} = 2 \text{ V}$  für Testchip 1 & 2

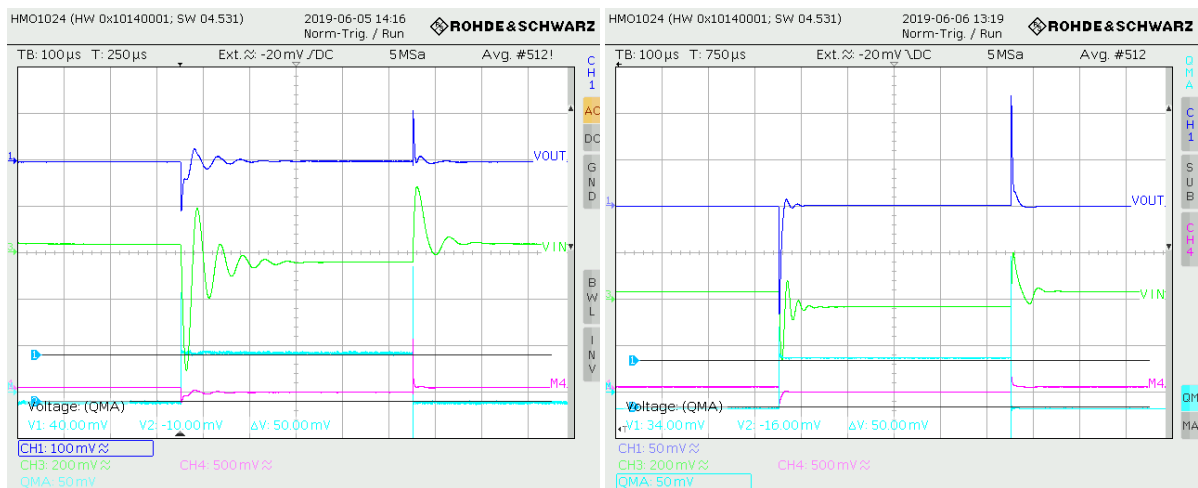


Abbildung 4.28: Lastwechsel von  $I_{load} = 450 \text{ mA} - 950 \text{ mA}$  bei  $V_{in} = 2 \text{ V}$  für Testchip 1 & 2

		$\Delta V$	$\Delta t$	
Testchip 1	$V_{in} = 2 \text{ V}$ $I_{load} = 0 \text{ A} - 500 \text{ mA}$	steigende Flanke	-105 mV	180 $\mu\text{s}$
		fallende Flanke	112 mV	60 $\mu\text{s}$
	$V_{in} = 2 \text{ V}$ $I_{load} = 450 \text{ mA} - 950 \text{ mA}$	steigende Flanke	-100 mV	30 $\mu\text{s}$
		fallende Flanke	190 mV	12 $\mu\text{s}$
Testchip 2	$V_{in} = 2 \text{ V}$ $I_{load} = 0 \text{ A} - 500 \text{ mA}$	steigende Flanke	-113 mV	18 $\mu\text{s}$
		fallende Flanke	113 mV	18 $\mu\text{s}$
	$V_{in} = 2 \text{ V}$ $I_{load} = 450 \text{ mA} - 950 \text{ mA}$	steigende Flanke	-101 mV	40 $\mu\text{s}$
		fallende Flanke	101 mV	40 $\mu\text{s}$

Tabelle 12: Spannungsbereich und Einschwingzeit von  $V_{out}$  für Lastw. bei  $V_{in} = 2 \text{ V}$



4.5.2 Testchip 1 & 2 - Transiente Lastwechsel - SLDO - HPM

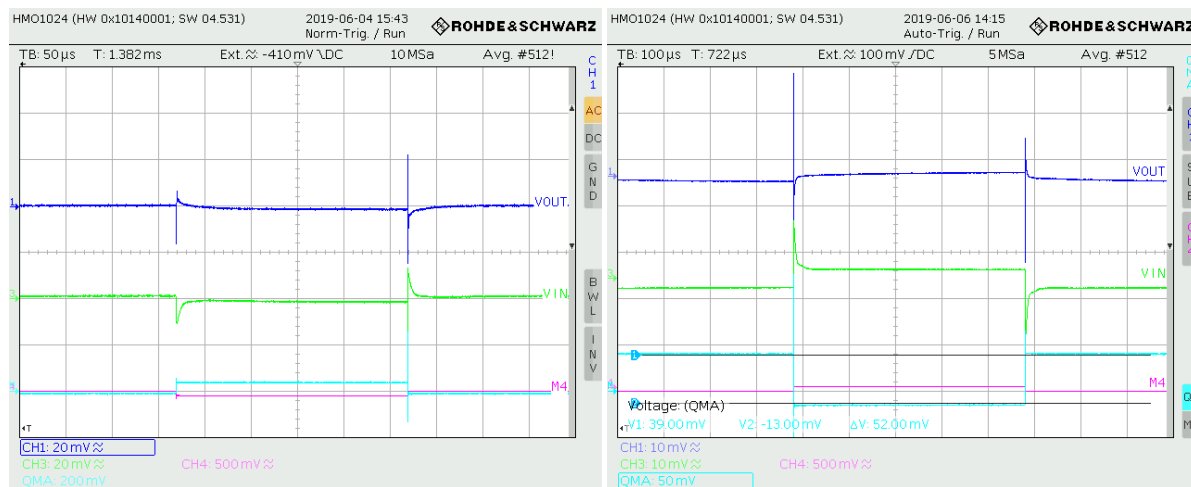


Abbildung 4.29: Lastwechsel von  $I_{load} = 0\text{ A} - 500\text{ mA}$  bei  $I_{in} = 1\text{ A}$  für Testchip 1 & 2

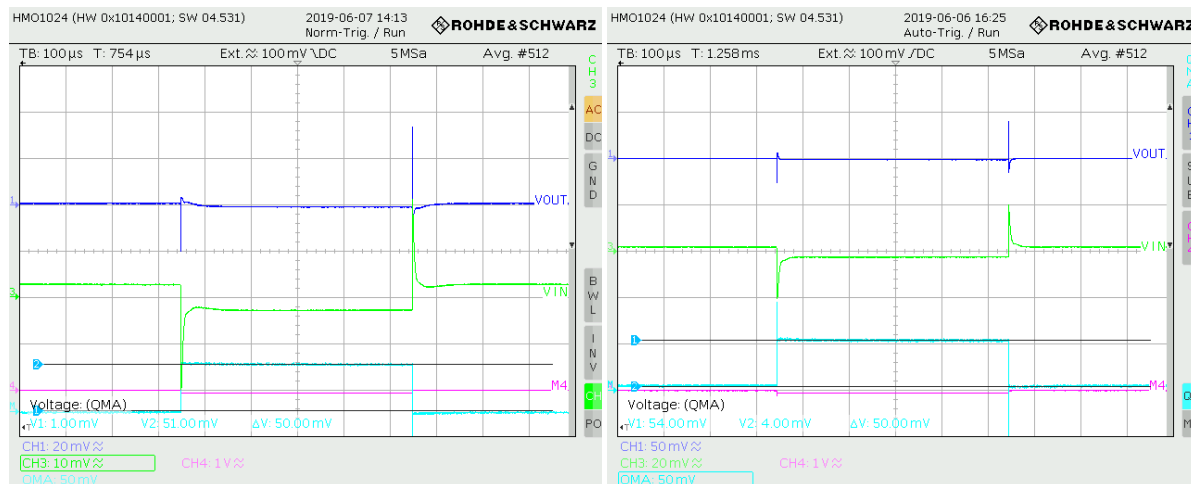


Abbildung 4.30: Lastwechsel von  $I_{load} = 450\text{ mA} - 950\text{ mA}$  bei  $I_{in} = 1\text{ A}$  für Testchip 1 & 2

			$\Delta V$	$\Delta t$
Testchip 1	$I_{in} = 1\text{ A}$ $I_{load} = 0\text{ A} - 500\text{ mA}$	steigende Flanke	-16,4 mV	1,8 $\mu\text{s}$
		fallende Flanke	50,4 mV	1,8 $\mu\text{s}$
	$I_{in} = 1\text{ A}$ $I_{load} = 450\text{ mA} - 950\text{ mA}$	steigende Flanke	-22,6 mV	1,5 $\mu\text{s}$
		fallende Flanke	138 mV	3 $\mu\text{s}$
Testchip 2	$I_{in} = 1\text{ A}$ $I_{load} = 0\text{ A} - 500\text{ mA}$	steigende Flanke	-20,4 mV	3 $\mu\text{s}$
		fallende Flanke	48,4 mV	2,5 $\mu\text{s}$
	$I_{in} = 1\text{ A}$ $I_{load} = 450\text{ mA} - 950\text{ mA}$	steigende Flanke	-27,6 mV	4,5 $\mu\text{s}$
		fallende Flanke	77 mV	3 $\mu\text{s}$

Tabelle 13: Spannungsbereich und Einschwingzeit von  $V_{out}$  für Lastw. bei  $I_{in} = 1\text{ A}$  im HPM

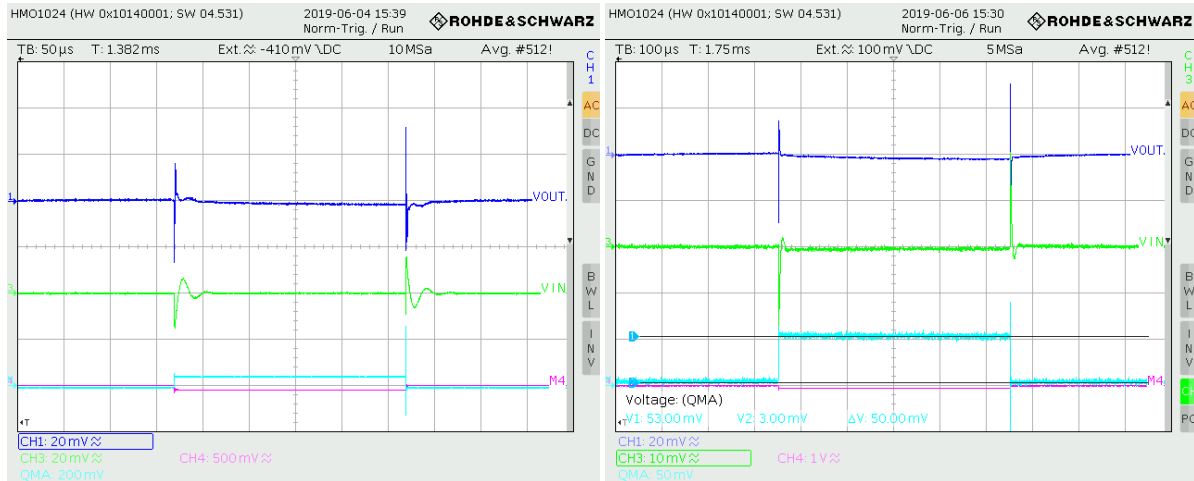


Abbildung 4.31: Lastwechsel von  $I_{load} = 0\text{ A} - 500\text{ mA}$  bei  $I_{in} = 1,7\text{ A}$  für Testchip 1 & 2

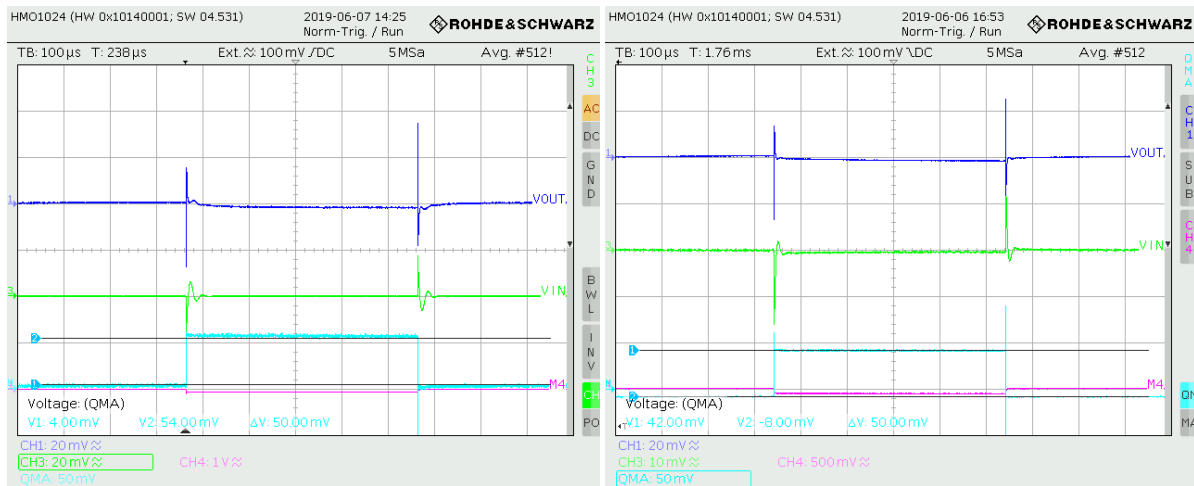


Abbildung 4.32: Lastwechsel von  $I_{load} = 450\text{ mA} - 950\text{ mA}$  bei  $I_{in} = 1,7\text{ A}$  für Testchip 1 & 2

			$\Delta V$	$\Delta t$
Testchip 1	$I_{in} = 1,7\text{ A}$ $I_{load} = 0\text{ A} - 500\text{ mA}$	steigende Flanke	-27,8 mV	2,9 $\mu\text{s}$
		fallende Flanke	53,2 mV	2,9 $\mu\text{s}$
	$I_{in} = 1,7\text{ A}$ $I_{load} = 450\text{ mA} - 950\text{ mA}$	steigende Flanke	-29,6 mV	3 $\mu\text{s}$
		fallende Flanke	116 mV	3 $\mu\text{s}$
Testchip 2	$I_{in} = 1,7\text{ A}$ $I_{load} = 0\text{ A} - 500\text{ mA}$	steigende Flanke	-33,2 mV	3 $\mu\text{s}$
		fallende Flanke	66 mV	3 $\mu\text{s}$
	$I_{in} = 1,7\text{ A}$ $I_{load} = 450\text{ mA} - 950\text{ mA}$	steigende Flanke	-30 mV	4,5 $\mu\text{s}$
		fallende Flanke	71 mV	4,5 $\mu\text{s}$

Tabelle 14: Spannungsbereich und Einschwingzeit von  $V_{out}$  für Lastw. bei  $I_{in} = 1,7\text{ A}$  im HPM

### 4.5.3 Testchip 1 & 2 - Transiente Lastwechsel - SLDO - LPM

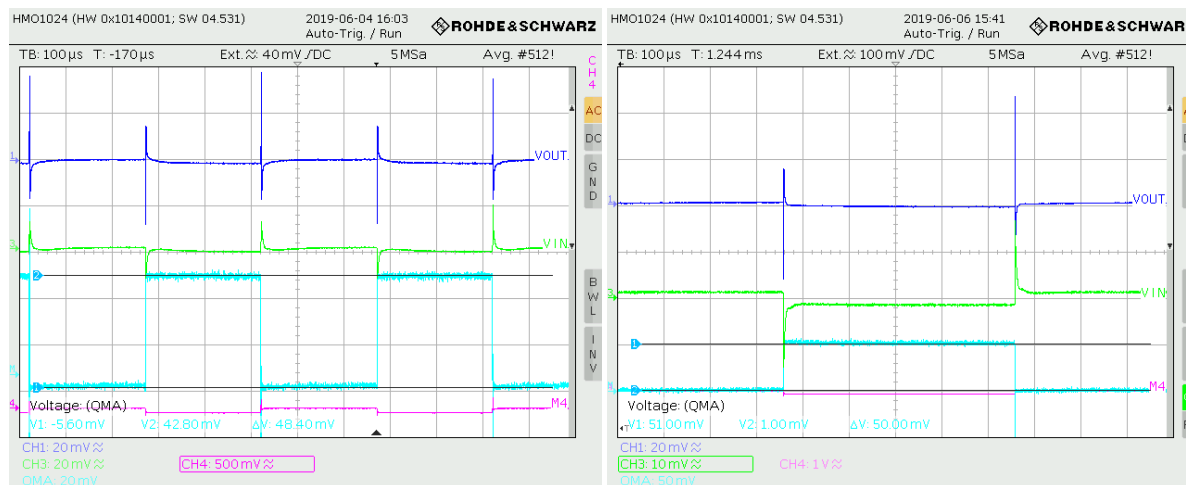


Abbildung 4.33: Lastwechsel von  $I_{load} = 0\text{ A} - 500\text{ mA}$  bei  $I_{in} = 1\text{ A}$  für Testchip 1 & 2

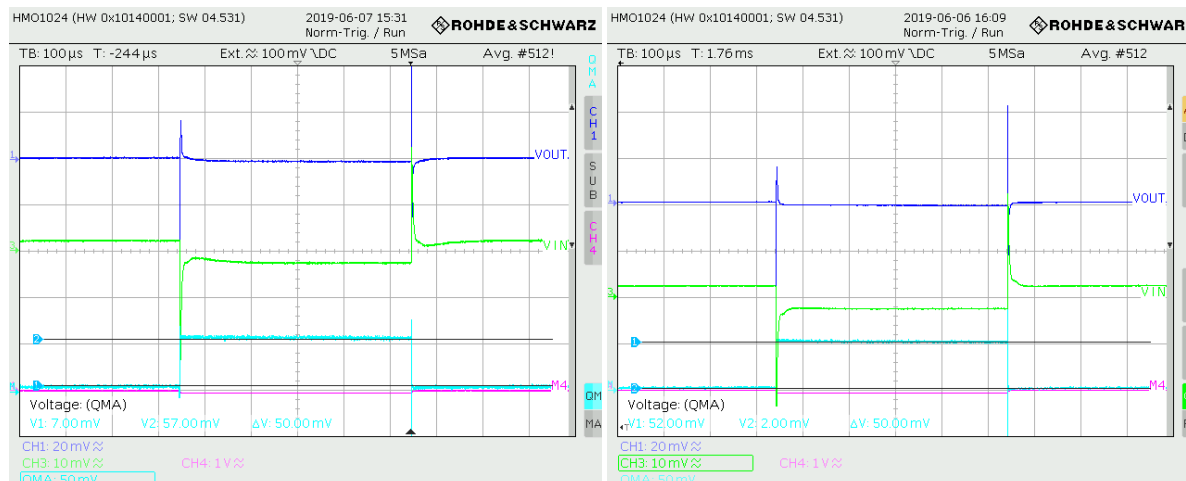


Abbildung 4.34: Lastwechsel von  $I_{load} = 450\text{ mA} - 950\text{ mA}$  bei  $I_{in} = 1\text{ A}$  für Testchip 1 & 2

			$\Delta V$	$\Delta t$
Testchip 1	$I_{in} = 1\text{ A}$ $I_{load} = 0\text{ A} - 500\text{ mA}$	steigende Flanke	-27,6 mV	1,8 $\mu\text{s}$
		fallende Flanke	27,6 mV	1,8 $\mu\text{s}$
	$I_{in} = 1\text{ A}$ $I_{load} = 450\text{ mA} - 950\text{ mA}$	steigende Flanke	-39,6 mV	8 $\mu\text{s}$
		fallende Flanke	154 mV	4 $\mu\text{s}$
Testchip 2	$I_{in} = 1\text{ A}$ $I_{load} = 0\text{ A} - 500\text{ mA}$	steigende Flanke	-34,8 mV	3,4 $\mu\text{s}$
		fallende Flanke	74 mV	3 $\mu\text{s}$
	$I_{in} = 1\text{ A}$ $I_{load} = 450\text{ mA} - 950\text{ mA}$	steigende Flanke	-38,8 mV	6 $\mu\text{s}$
		fallende Flanke	84 mV	6 $\mu\text{s}$

Tabelle 15: Spannungsbereich und Einschwingzeit von  $V_{out}$  für Lastw. bei  $I_{in} = 1\text{ A}$  im LPM

## 4.6 Einschaltverhalten

Dieser Abschnitt untersucht das Verhalten des Reglers während des Einschaltvorgangs. Die Messungen wurden ohne aktive Startup-Schaltung durchgeführt.

Diese Messungen werden mit Anwendung der Rampen-Funktion des Shuldo-Test-Tools durchgeführt. Die minimale Anstiegszeit kann erreicht werden, indem für die Messung zwei Schritte ausgewählt werden. Die Anstiegszeit zwischen zwei Punkten des Keithley 2460 liegt im niedrigen zweistelligen Mikrosekundenbereich. Die gewählten Werte für *delay* (*s*) und *steps* werden in den jeweiligen Tabellen 17 bis 26 angegeben.

Im LDO-Modus wird der Verlauf bei unterschiedlichen Anstiegszeiten von  $\sim 50 \mu\text{s}$ , 8 ms, 110 ms und 1 s über die Kurven von  $V_{\text{in}}$  und  $V_{\text{out}}$  grafisch ausgewertet. Im SLDO-Modus wird mit den gleichen Zeiten zusätzlich die Spannung ( $V_{\text{in}}$ ) ausgegeben (Anschluss M3 auf Testchip 1, bzw. M3 auf Testchip 2), die aufgrund der Verstärkung durch den Instrumentenverstärker (siehe Kapitel 3.4.1) proportional zum Verlauf des Eingangsstroms ist.

Im Idealfall sollten die Spannungen ohne Oszillationen ansteigen und sich auf den Nennwert stabilisieren.

Die Messungen werden mit den Parametern aus Tabelle 16 durchgeführt:

LDO-Modus	$V_{\text{in}} = 0 \text{ V} - 1,4 \text{ V}$	$t_{\text{rise}} = \sim 50 \mu\text{s}$	Testchip 1	Abbildung 4.35	
	$V_{\text{in}} = 0 \text{ V} - 2 \text{ V}$		Testchip 2	Abbildung 4.36	
		SLDO-Modus (High-Power)	$I_{\text{in}} = 0 \text{ A} - 1 \text{ A}$	$t_{\text{rise}} = 8 \text{ ms}$	Testchip 1
	Testchip 2			Abbildung 4.38	
$I_{\text{in}} = 0 \text{ A} - 1,7 \text{ A}$	$t_{\text{rise}} = 110 \text{ ms}$		Testchip 1	Abbildung 4.39	
			Testchip 2	Abbildung 4.40	
SLDO-Modus (Low-Power)	$I_{\text{in}} = 0 \text{ A} - 1 \text{ A}$	$t_{\text{rise}} = 1 \text{ s}$	Testchip 1	Abbildung 4.41	
			Testchip 2	Abbildung 4.42	
			Testchip 1	Abbildung 4.43	
			Testchip 2	Abbildung 4.44	

Tabelle 16: Übersicht zur Messung des Einschaltverhaltens

Die Messergebnisse aus den Kapiteln 4.6.1 und 4.6.2 für den LDO-Modus zeigen, dass für Testchip 1 Oszillationen bei einer Eingangsspannung von 1,2 V auftreten (siehe Abbildung 4.35 und 4.37). Dies entspricht in etwa dem Wert, bei der die Ausgangsspannung bei einer Line Regulation den konstanten Wert erreicht. Diese Oszillationen treten bei Testchip 2 jedoch nicht mehr auf. Die Messergebnisse 4.6.3 bis 4.6.5 im SLDO-Modus zeigen, dass die Ausgangsspannung bei direkt aufeinanderfolgenden Rampen nicht mehr den Wert von 0 V erreicht. Der Verlauf ähnelt ansonsten stark dem einer statischen Messung einer Line Regulation im SLDO-Modus (siehe Kapitel 4.1).

4.6.1 Testchip 1 & 2 - Einschaltverhalten ( $V_{in} = 0\text{ V} - 1,4\text{ V}$ ) - LDO

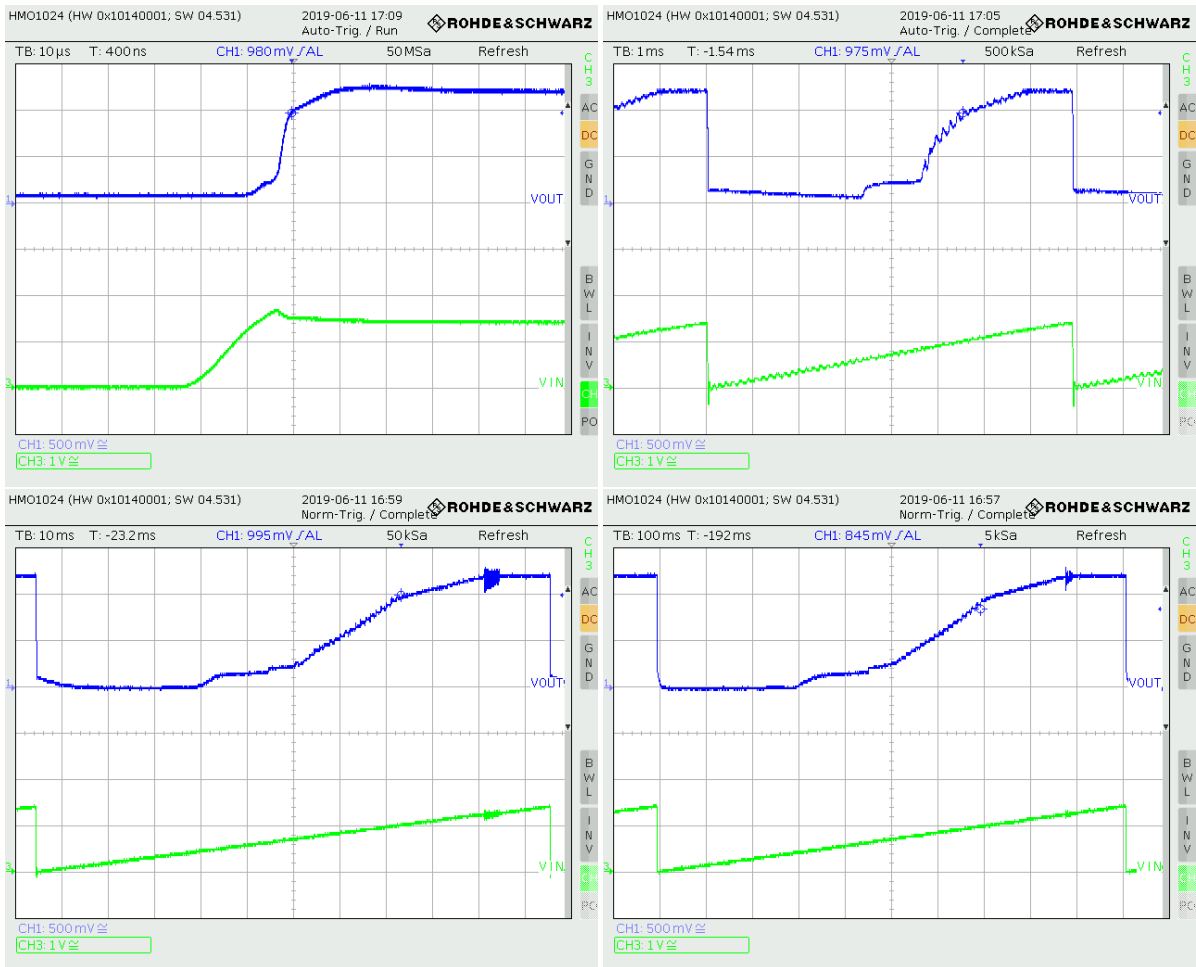


Abbildung 4.35: Einschaltverhalten von Testchip 1 im LDO-Modus mit  $V_{in} = 0\text{ V} - 1,4\text{ V}$

		delay	steps	Anstiegszeit	
Testchip 1	$V_{in} = 0\text{ V} - 1,4\text{ V}$	(1)	1 ms	2	25 $\mu\text{s}$
			50 $\mu\text{s}$	50	7,9 ms
		(2)	1 ms	100	110 ms
			10 ms	100	1 s

Tabelle 17: Anstiegszeiten der Messungen bei  $V_{in} = 0\text{ V} - 1,4\text{ V}$  für Testchip 1

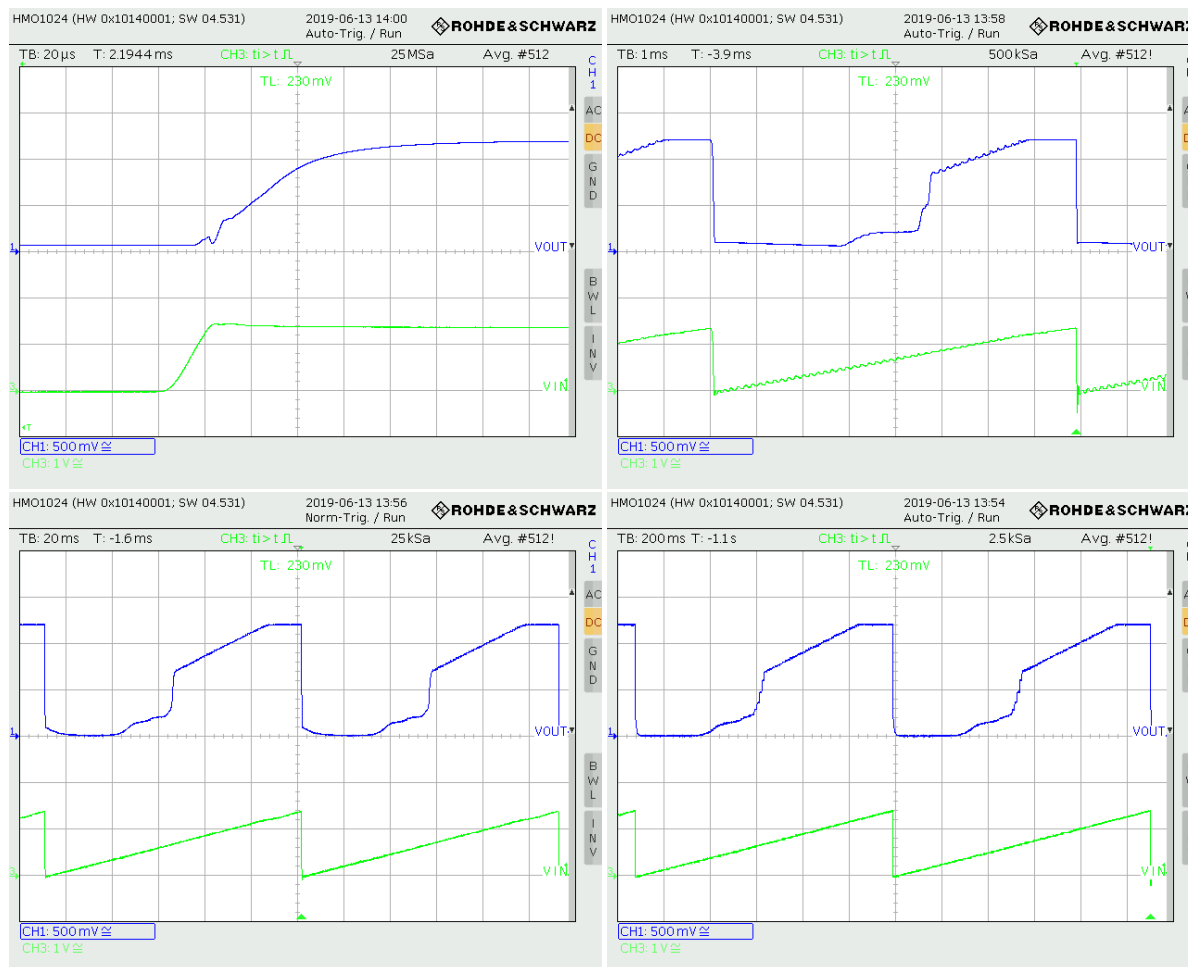


Abbildung 4.36: Einschaltverhalten von Testchip 2 im LDO-Modus mit  $V_{in} = 0\text{ V} - 1,4\text{ V}$

		delay	steps	Anstiegszeit	
Testchip 1	$V_{in} = 0\text{ V} - 1,4\text{ V}$	(1)	1 ms	2	30 µs
			50 µs	50	7,8 ms
		(2)	1 ms	100	110 ms
			10 ms	100	1,1 s

Tabelle 18: Anstiegszeiten der Messungen bei  $V_{in} = 0\text{ V} - 1,4\text{ V}$  für Testchip 2

4.6.2 Testchip 1 & 2 - Einschaltverhalten ( $V_{in} = 0\text{ V} - 2\text{ V}$ ) - LDO

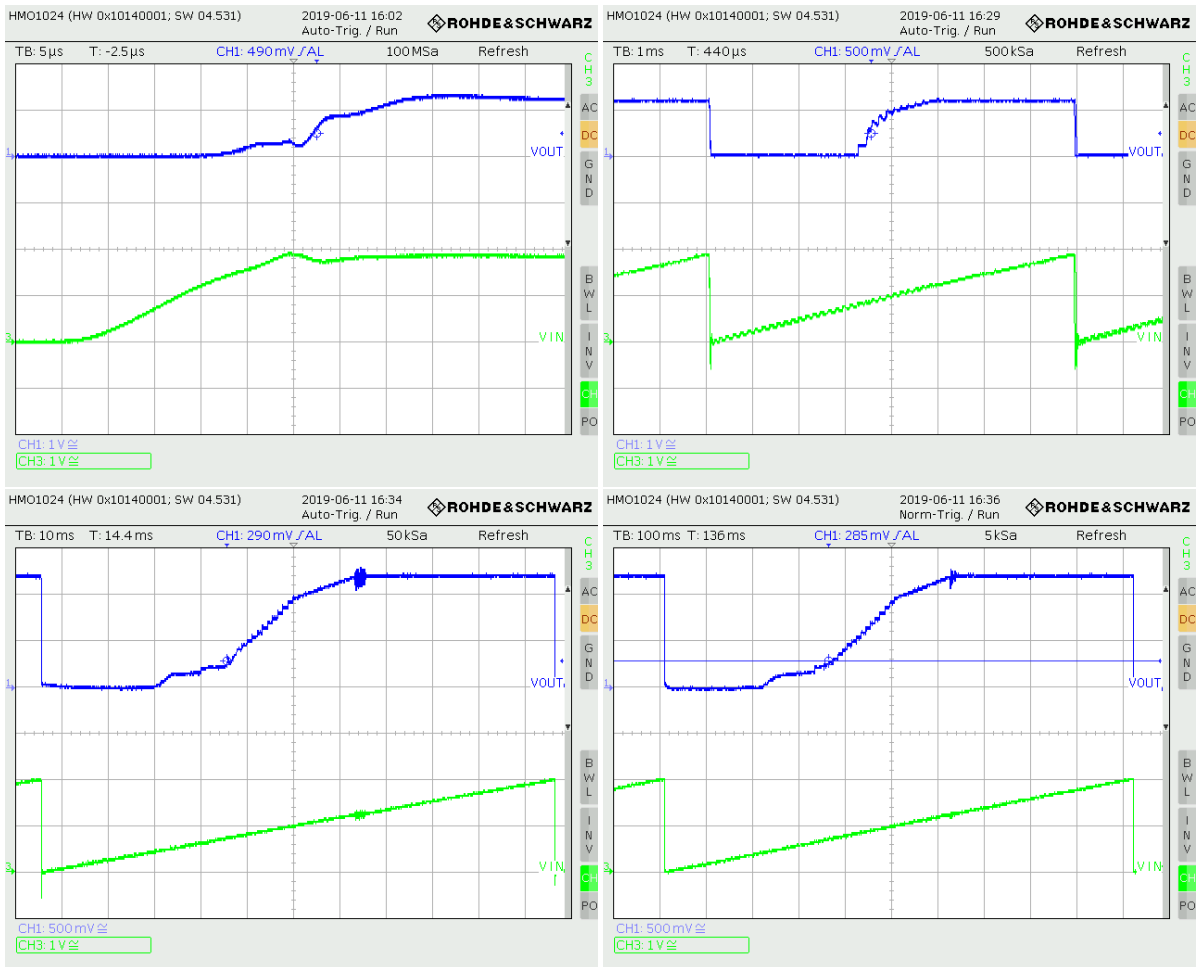


Abbildung 4.37: Einschaltverhalten von Testchip 1 im LDO-Modus mit  $V_{in} = 0\text{ V} - 2\text{ V}$

		delay	steps	Anstiegszeit
Testchip 1	$V_{in} = 0\text{ V} - 2\text{ V}$	(1)	1 ms	25 µs
			50 µs	7,8 ms
		(2)	1 ms	110 ms
			10 ms	1 s

Tabelle 19: Anstiegszeiten der Messungen bei  $V_{in} = 0\text{ V} - 2\text{ V}$  für Testchip 1

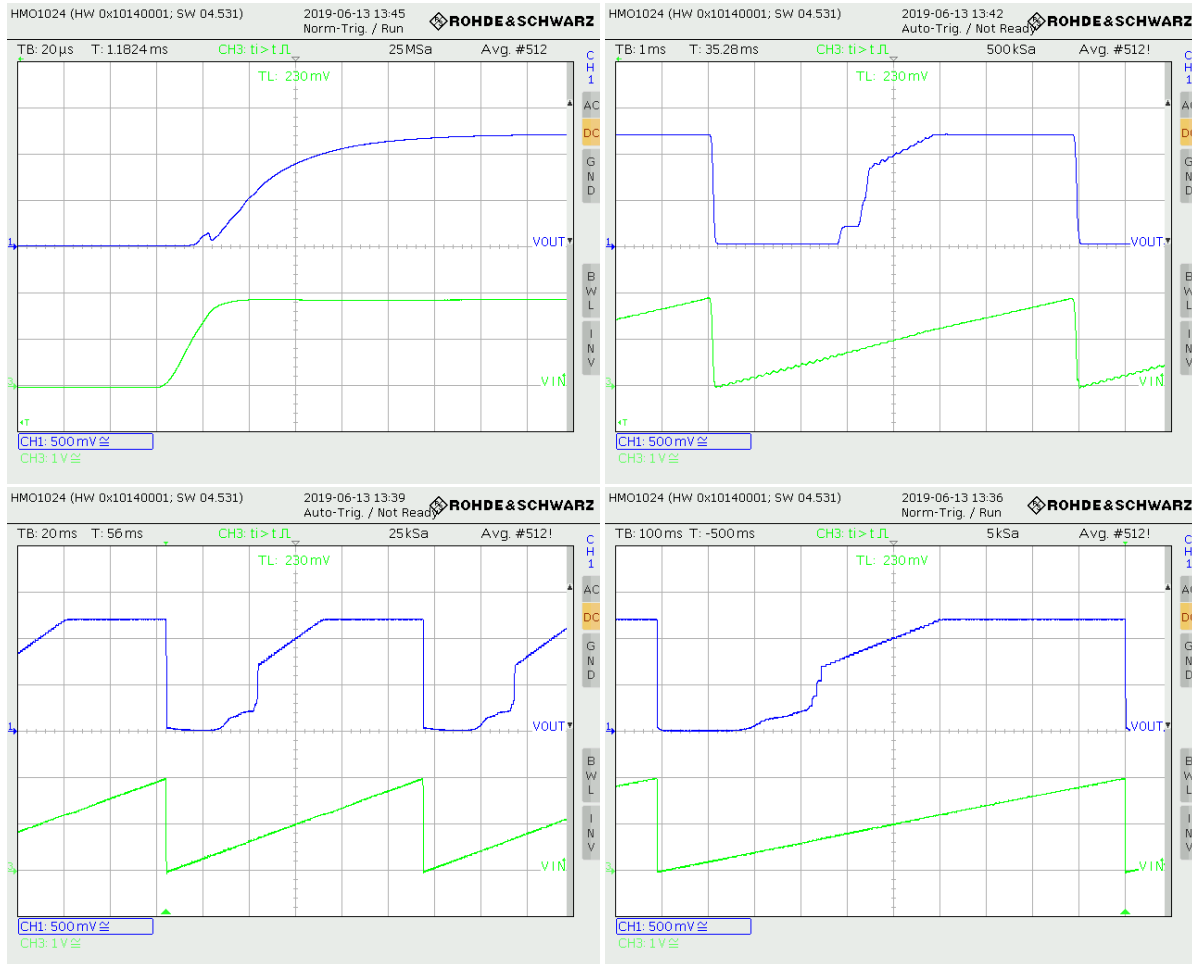


Abbildung 4.38: Einschaltverhalten von Testchip 2 im LDO-Modus mit  $V_{in} = 0\text{ V} - 2\text{ V}$

		delay	steps	Anstiegszeit	
Testchip 1	$V_{in} = 0\text{ V} - 2\text{ V}$	(1)	1 ms	2	40 µs
			50 µs	50	7,8 ms
		(2)	1 ms	100	110 ms
			10 ms	100	1,05 s

Tabelle 20: Anstiegszeiten der Messungen bei  $V_{in} = 0\text{ V} - 2\text{ V}$  für Testchip 2



4.6.3 Testchip 1 & 2 - Einschaltverhalten ( $I_{in} = 0\text{ A} - 1\text{ A}$ ) - SLDO - HPM



Abbildung 4.39: Einschaltverhalten von Testchip 1 im SLDO-Modus mit  $I_{in} = 0\text{ A} - 1\text{ A}$  - HPM)

		delay	steps	Anstiegszeit	
Testchip 1	$I_{in} = 0\text{ A} - 1\text{ A}$	(1)	1 ms	2	60 µs
			50 µs	50	7,8 ms
		(2)	1 ms	100	110 ms
			10 ms	100	1 s

Tabelle 21: Anstiegszeiten der Messungen bei  $I_{in} = 0\text{ A} - 1\text{ A}$  für Testchip 1 im HPM

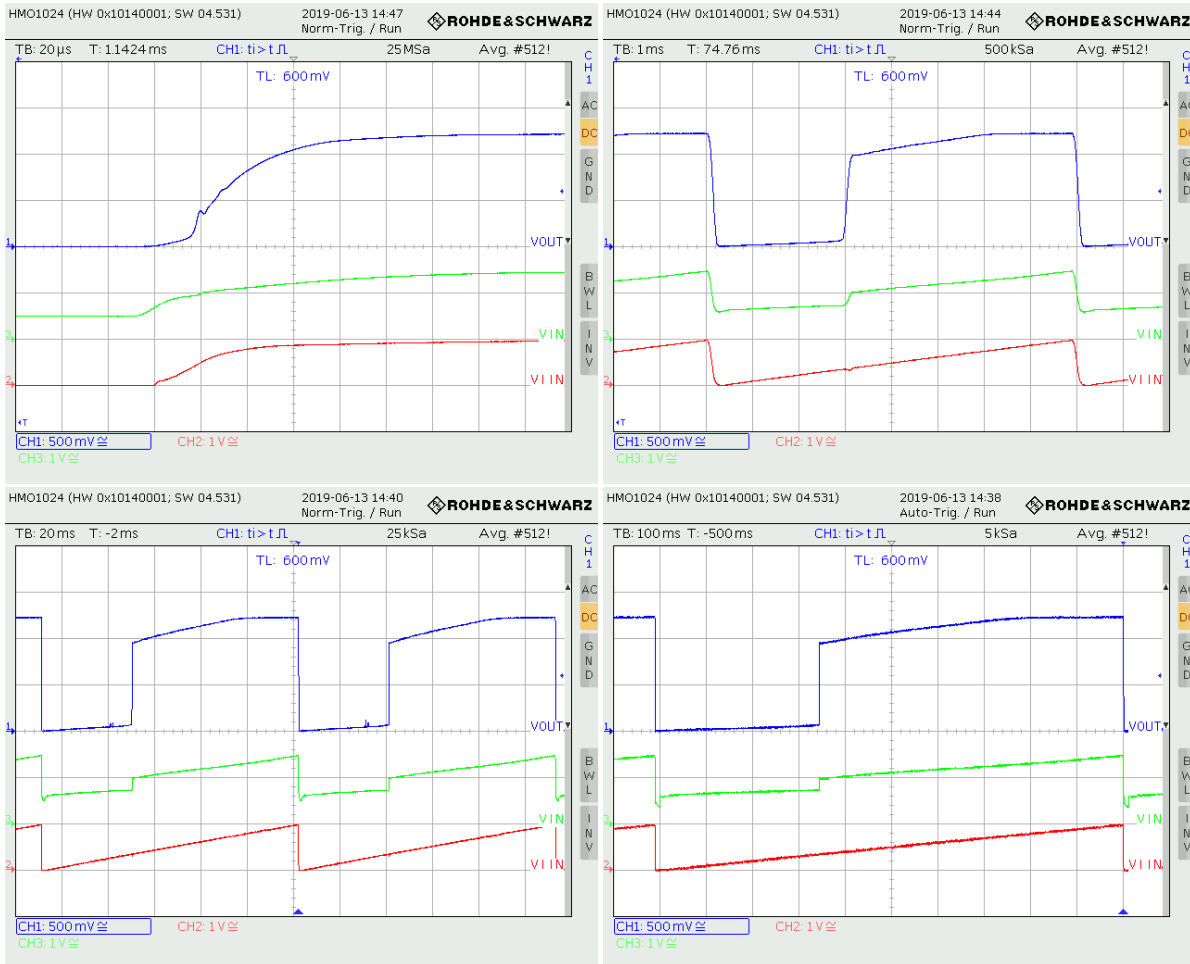


Abbildung 4.40: Einschaltverhalten von Testchip 2 im SLDO-Modus mit  $I_{in} = 0\text{ A} - 1\text{ A}$  - HPM

		delay	steps	Anstiegszeit	
Testchip 2	$I_{in} = 0\text{ A} - 1\text{ A}$	(1)	1 ms	2	80 $\mu\text{s}$
			50 $\mu\text{s}$	50	7,8 ms
		(2)	1 ms	100	110 ms
			10 ms	100	1,025 s

Tabelle 22: Anstiegszeiten der Messungen bei  $I_{in} = 0\text{ A} - 1\text{ A}$  für Testchip 2 im HPM

4.6.4 Testchip 1 & 2 - Einschaltverhalten ( $I_{in} = 0\text{ A} - 1,6\text{ A}$ ) - SLDO - HPM

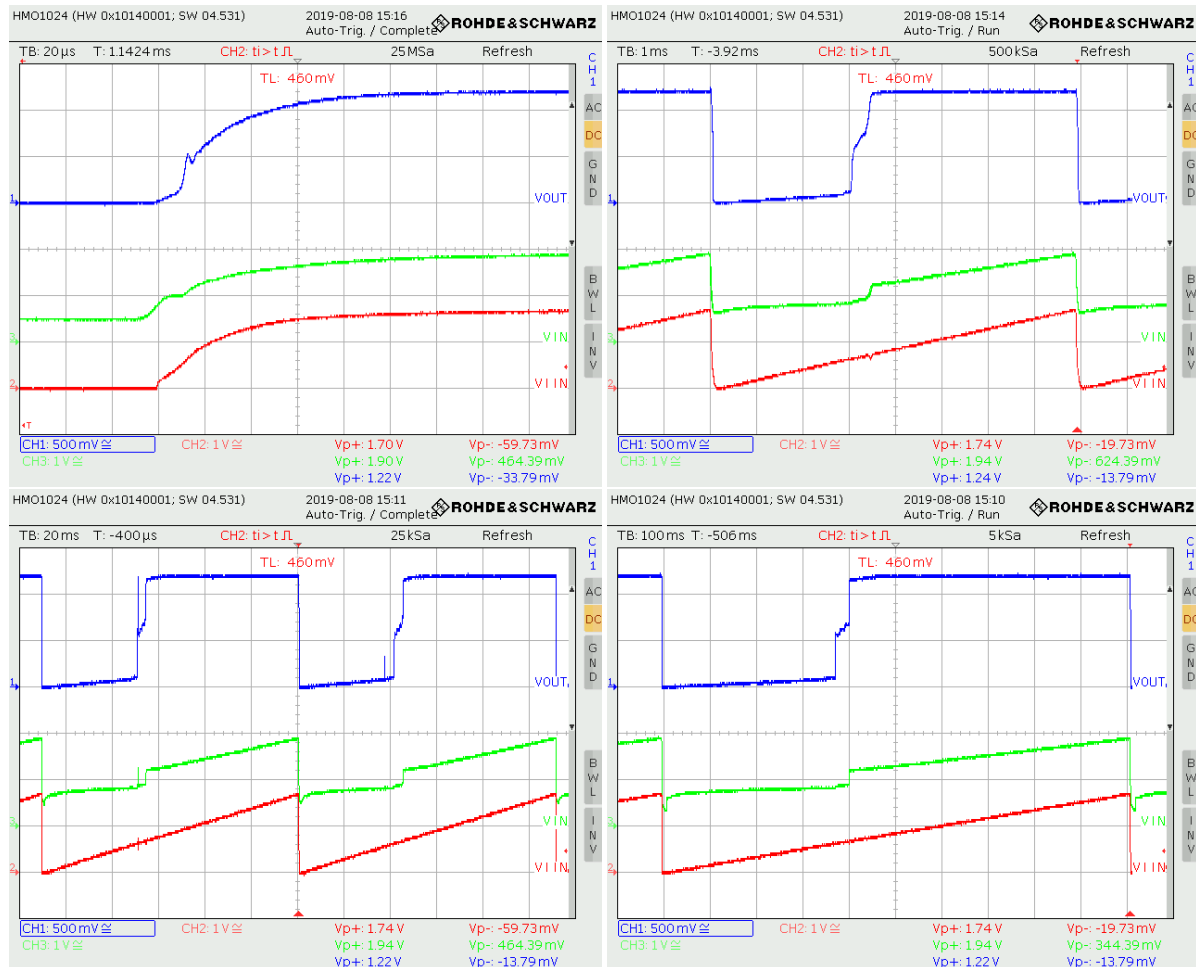


Abbildung 4.41: Einschaltverhalten von Testchip 1 im SLDO-Modus mit  $I_{in} = 0\text{ A} - 1,6\text{ A}$  - HPM

		delay	steps	Anstiegszeit	
Testchip 1	$I_{in} = 0\text{ A} - 1,6\text{ A}$	(1)	1 ms	2	100 $\mu\text{s}$
			50 $\mu\text{s}$	50	7,9 ms
		(2)	1 ms	100	110 ms
			10 ms	100	1 s

Tabelle 23: Anstiegszeiten der Messungen bei  $I_{in} = 0\text{ A} - 1,6\text{ A}$  für Testchip 1 im HPM

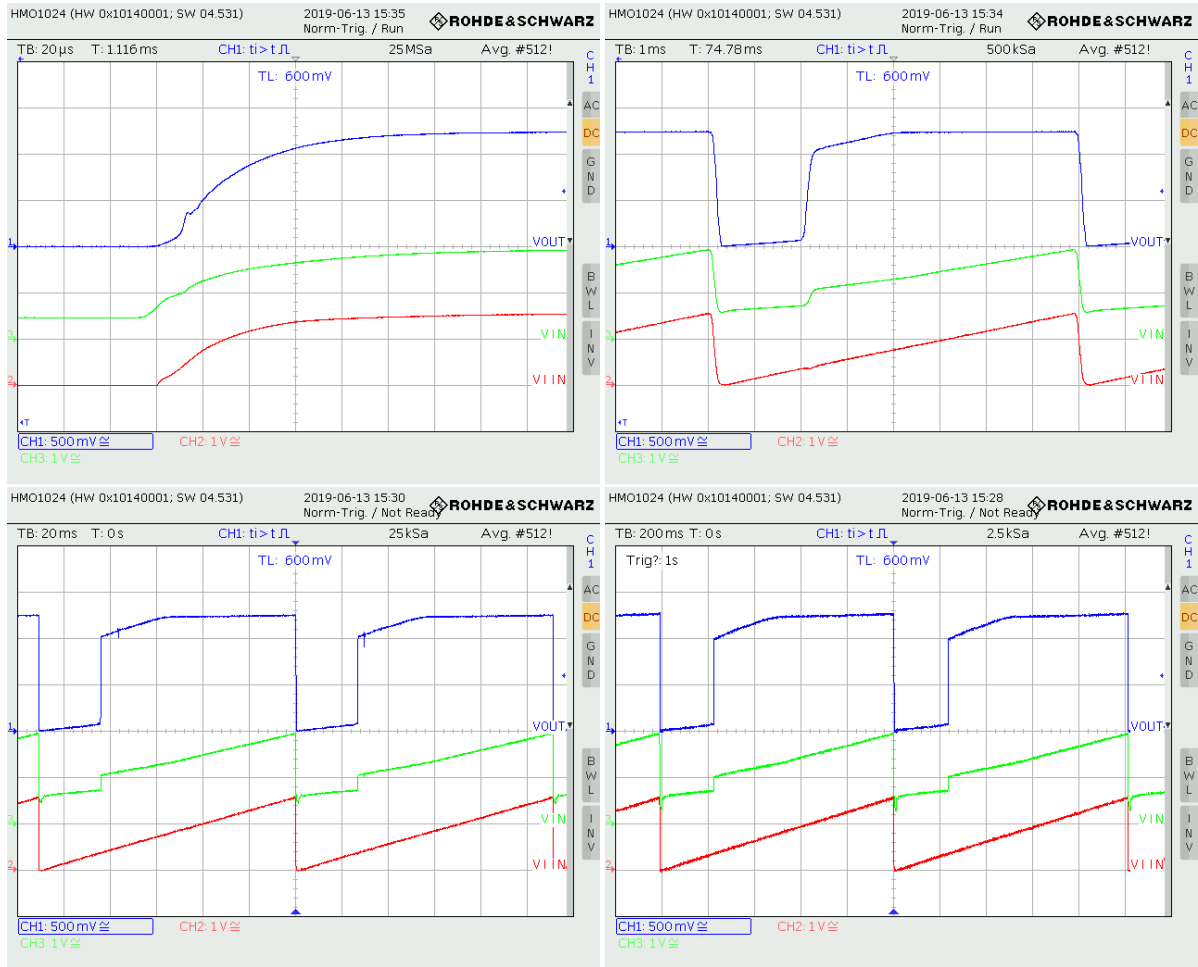


Abbildung 4.42: Einschaltverhalten von Testchip 2 im SLDO-Modus mit  $I_{in} = 0\text{ A} - 1,6\text{ A} - \text{HPM}$

		delay	steps	Anstiegszeit	
Testchip 2	$I_{in} = 0\text{ A} - 1,6\text{ A}$	(1)	1 ms	2	100 $\mu\text{s}$
			50 $\mu\text{s}$	50	7,9 ms
		(2)	1 ms	100	110 ms
			10 ms	100	1,05 s

Tabelle 24: Anstiegszeiten der Messungen bei  $I_{in} = 0\text{ A} - 1,6\text{ A}$  für Testchip 2 im HPM

4.6.5 Testchip 1 & 2 - Einschaltverhalten ( $I_{in} = 0\text{ A} - 1\text{ A}$ ) - SLDO - LPM

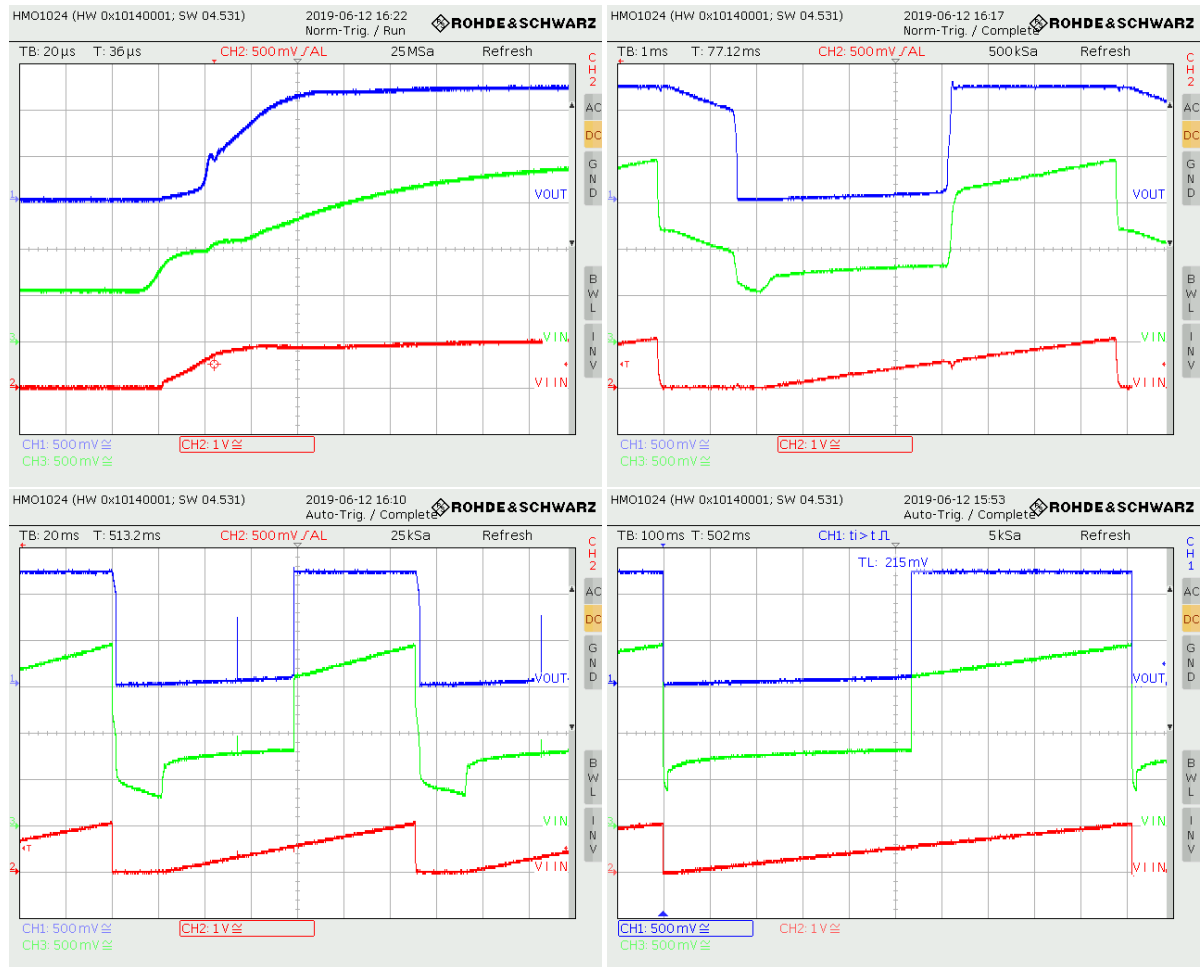


Abbildung 4.43: Einschaltverhalten von Testchip 1 im SLDO-Modus mit  $I_{in} = 0\text{ A} - 1\text{ A}$  - LPM

		delay	steps	Anstiegszeit	
Testchip 1	$I_{in} = 0\text{ A} - 1\text{ A}$	(1)	1 ms	2	50 µs
			50 µs	50	7,75 ms
		(2)	1 ms	100	110 ms
			10 ms	100	1,025 s

Tabelle 25: Anstiegszeiten der Messungen bei  $I_{in} = 0\text{ A} - 1\text{ A}$  für Testchip 1 im LPM

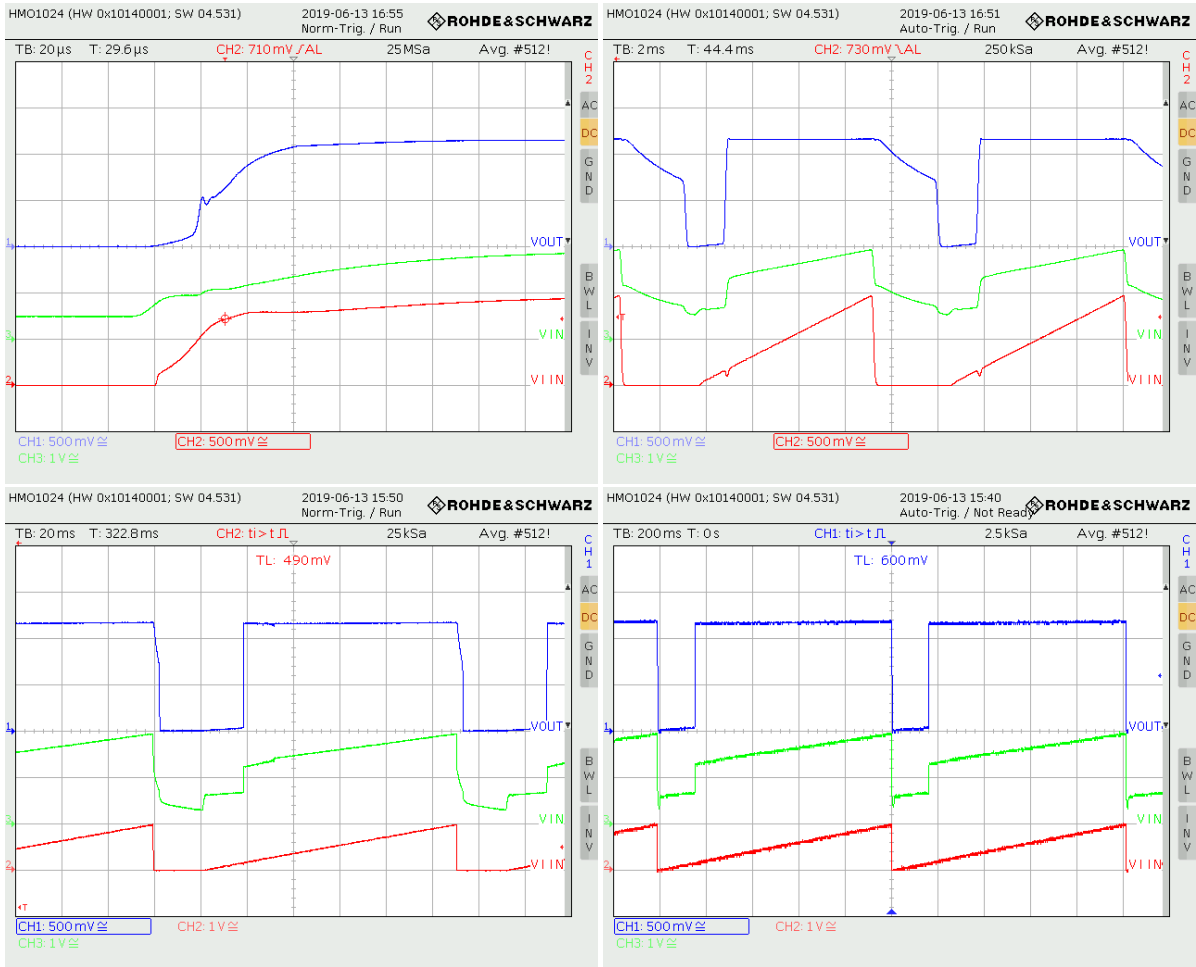


Abbildung 4.44: Einschaltverhalten von Testchip 2 im SLDO-Modus mit  $I_{in} = 0\text{ A} - 1\text{ A} - \text{LPM}$

		delay	steps	Anstiegszeit	
Testchip 2	$I_{in} = 0\text{ A} - 1\text{ A}$	(1)	1 ms	2	110 µs
			50 µs	50	7,75 ms
		(2)	1 ms	100	110 ms
			10 ms	100	1 s

Tabelle 26: Anstiegszeiten der Messungen bei  $I_{in} = 0\text{ A} - 1\text{ A}$  für Testchip 2 im LPM

### 4.7 Messung der Startup-Schaltung

Die Messung des Reglers mit aktivierter Startup-Schaltung (Anschluss P14 auf Testchip 2) wird über die Anwendung einer Line Regulation im SLDO-Modus durchgeführt. Hier wird erkennbar, dass die Spannungen schon bei sehr kleinen Eingangsströmen der Eingangsspannung folgen. Die Offsetspannung folgt der Eingangsspannung über den Strom  $I_{\text{extra}}$  (siehe Kapitel 2.5) zunächst über den eingestellten Wert, bis die Startup-Schaltung deaktiviert wird und der Wert für  $V_{\text{ofs}}$  wieder auf den festgelegten Wert abfällt.

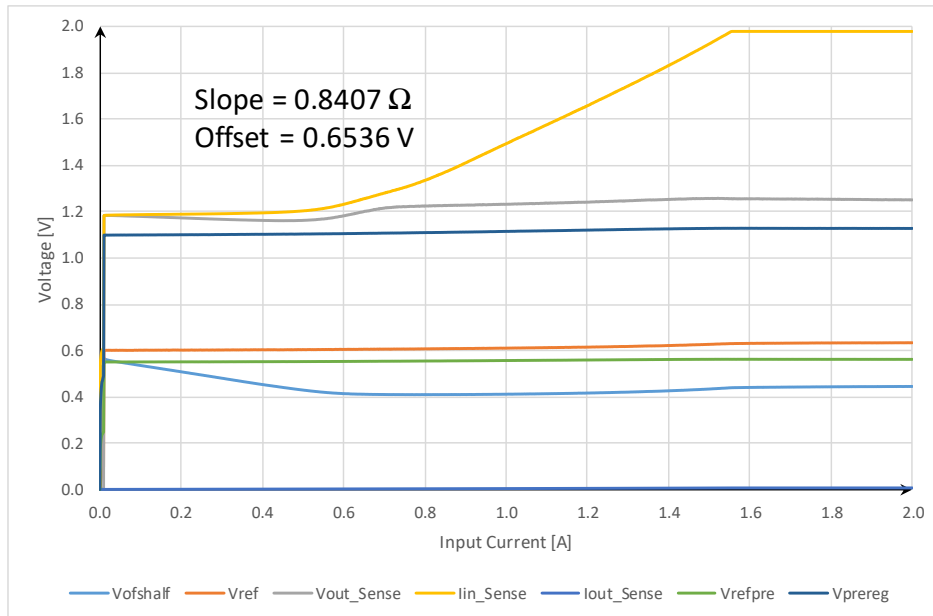


Abbildung 4.45: Line Regulation mit aktivierter Startup-Schaltung - HPM

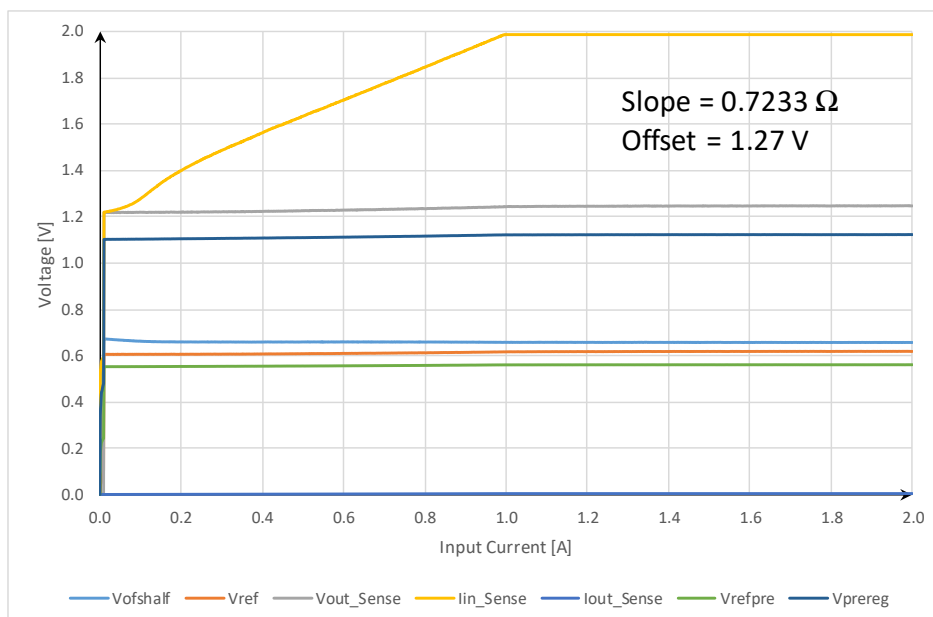


Abbildung 4.46: Line Regulation mit aktivierter Startup-Schaltung - LPM

## 4.8 Undershunt Current Protection

Dieser Abschnitt untersucht die Funktionalität der Undershunt Current Protection. Dabei werden in einem Überlastfall die Referenz- und Ausgangsspannung gesenkt. Sie wird über den Anschluss P18 (Testchip 1) bzw. P17 (Testchip 2) aktiviert. Zunächst wird eine statische Messung an Hand einer Load Regulation durchgeführt.

Zusätzlich wird mit einer transienten Messung die Größe des Laststroms ermittelt, bei der die USCP aktiv wird. Um zu überprüfen, bei welchem Laststrom die Eingangsspannung einbricht, wird die Last weiter vergrößert. Im späteren Betrieb würde aufgrund des Einbruchs der Ausgangsspannung auch der Laststrom abfallen und die Eingangsspannung konstant bleiben. Dafür wird ein konstanter Strom über den Ausgang  $V_{out}$  gezogen, sowie ein weiterer Strom periodisch über den NMOS-Transistor nach Masse geleitet (siehe Kapitel 3.4.2).

Der Strom, der über den Transistor N1 nach Masse geleitet wird, berechnet sich nach Gleichung 3.2 und erzeugt einen Spannungsabfall am Widerstand, welcher über den parallel geschalteten Anschluss gemessen werden kann. Aufgrund des Widerstandswertes von  $100\text{ m}\Omega$  verhält sich die abgefallene Spannung proportional zum Strom. Diese Spannung wird in den Messergebnissen über die Mathfunktion MA1 des Oszilloskop dargestellt. In den transienten Messungen wird versucht, das Signal über den Transistor konstant zu halten, während der Strom über den Pfad  $V_{out}$  stetig erhöht wird.

Die Messungen werden mit den Parametern der folgenden Tabelle 27 durchgeführt:

statisches Verhalten (Load Regulation):				
SLDO-Modus (High-Power)	$I_{in} = 1\text{ A}$	$I_{load} = 0\text{ A} - 1\text{ A}$	Testchip 1	Abbildung 4.47
			Testchip 2	Abbildung 4.48
SLDO-Modus (Low-Power)			Testchip 1	Abbildung 4.49
			Testchip 2	Abbildung 4.50
transientes Verhalten:				
SLDO-Modus (High-Power)	$I_{in} = 1\text{ A}$	$I_{load} = 0\text{ A} - 1\text{ A}$	Testchip 1	Abbildung 4.51
			Testchip 2	Abbildung 4.52
	$I_{in} = 1,4\text{ A}$	$I_{load} = 0\text{ A} - 1,4\text{ A}$	Testchip 1	Abbildung 4.53
			Testchip 2	Abbildung 4.54
SLDO-Modus (Low-Power)	$I_{in} = 1\text{ A}$	$I_{load} = 0\text{ A} - 1\text{ A}$	Testchip 1	Abbildung 4.55
			Testchip 2	Abbildung 4.56

Tabelle 27: Übersicht zur Messung der Undershunt Current Protection

Die statischen Messungen aus Kapitel 4.8.1 und 4.8.2 zeigen, dass die USCP bei einem Laststrom von etwa  $970\text{ mA}$  aktiv wird. Die transienten Messungen der Kapitel 4.8.3 bis 4.8.5 zeigen, bei welchem Laststrom und wie stark die Ausgangsspannung einbricht, bis schließlich auch die Eingangsspannung einbricht.



4.8.1 TestChip 1 & 2 - USCP (statisch) - Load Regulation - SLDO - HPM

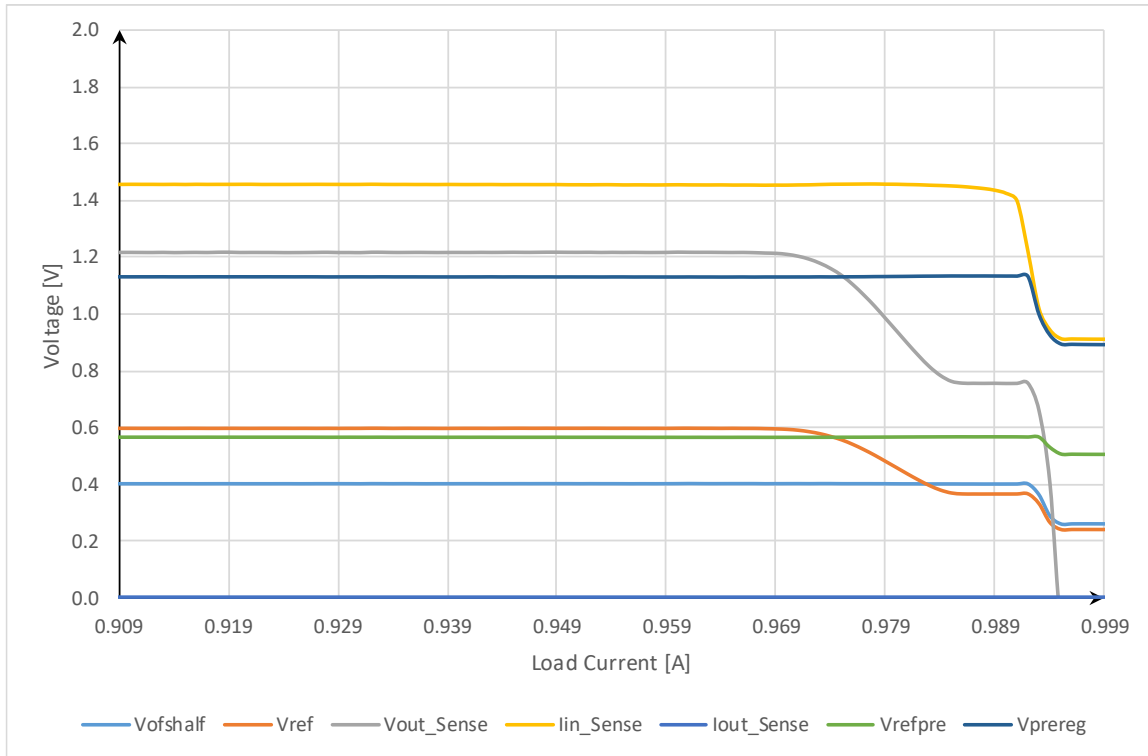


Abbildung 4.47: Load Regulation von Testchip 1 im SLDO-Modus mit aktiver USCP - HPM

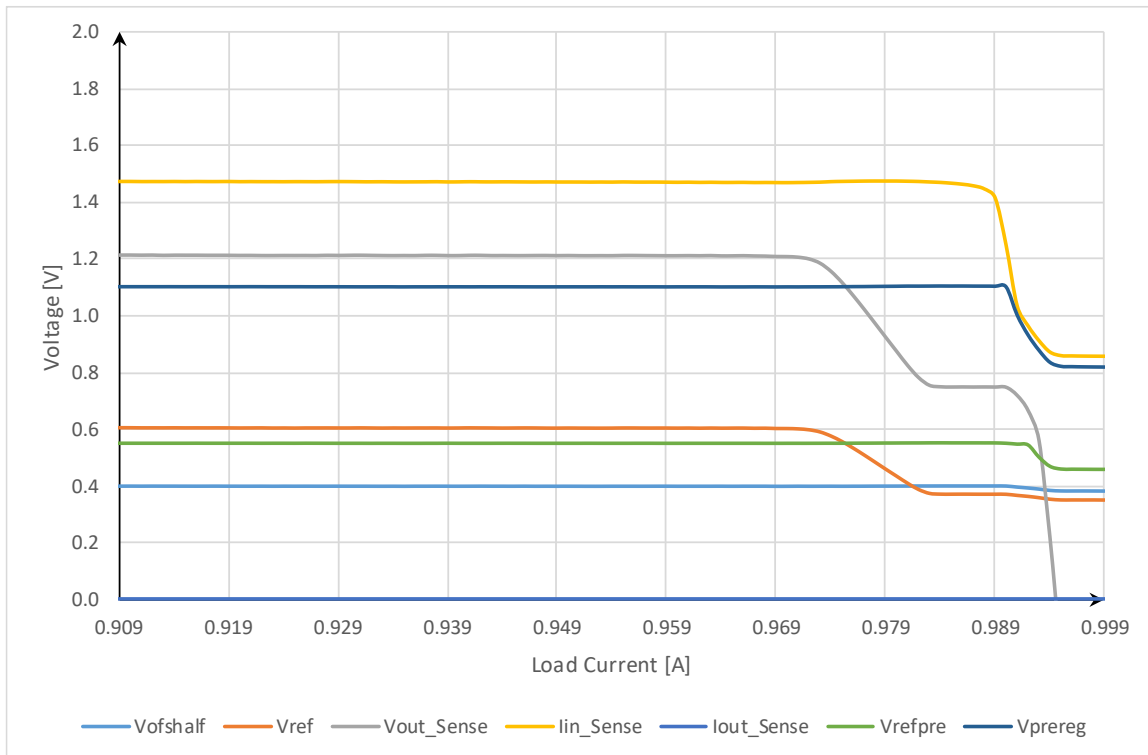


Abbildung 4.48: Load Regulation von Testchip 2 im LDO-Modus mit aktiver USCP - HPM

4.8.2 TestChip 1 & 2 - USCP (statisch) - Load Regulation - SLDO - LPM

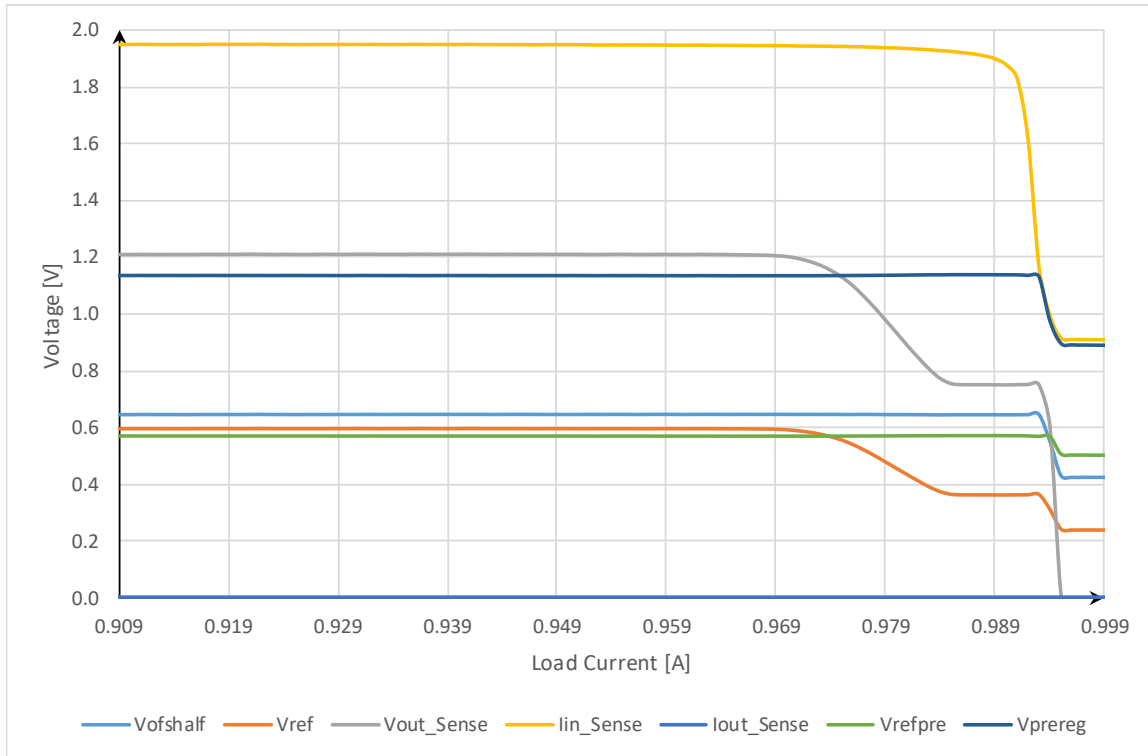


Abbildung 4.49: Load Regulation von Testchip 1 im SLDO-Modus mit aktiver USCP - LPM

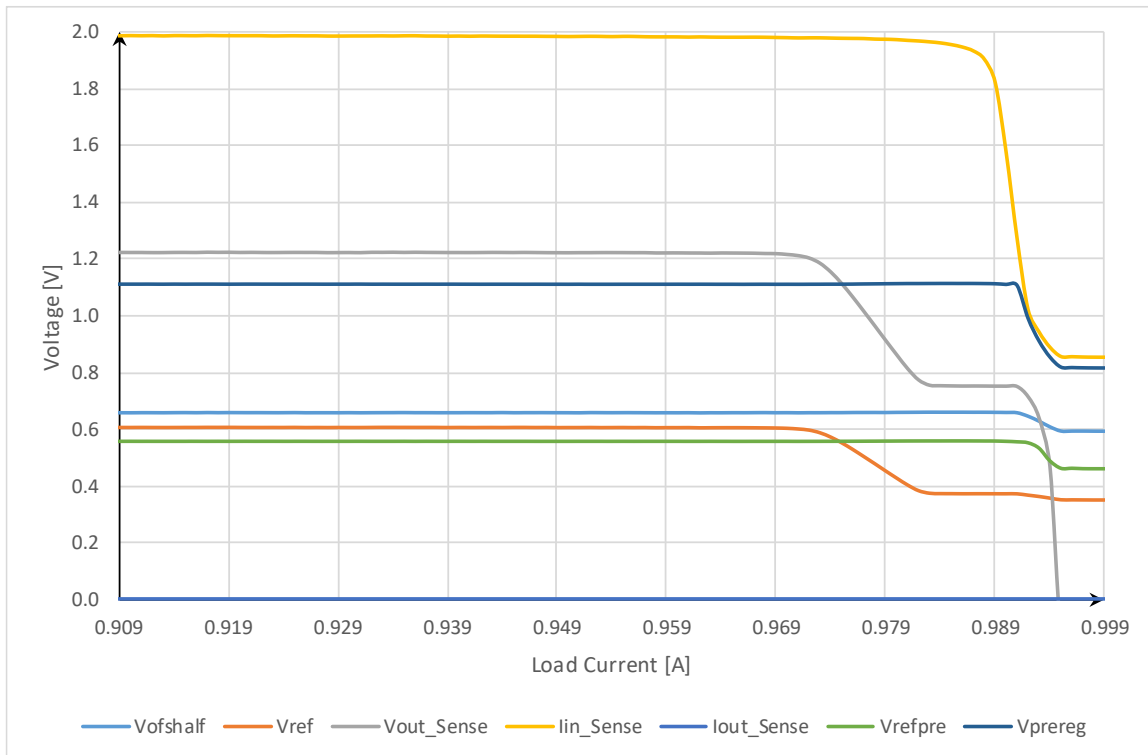


Abbildung 4.50: Load Regulation von Testchip 2 im LDO-Modus mit aktiver USCP - LPM

4.8.3 TestChip 1 & 2 - USCP (transient) -  $I_{load} = 0\text{ A} - 1\text{ A} - \text{HPM}$

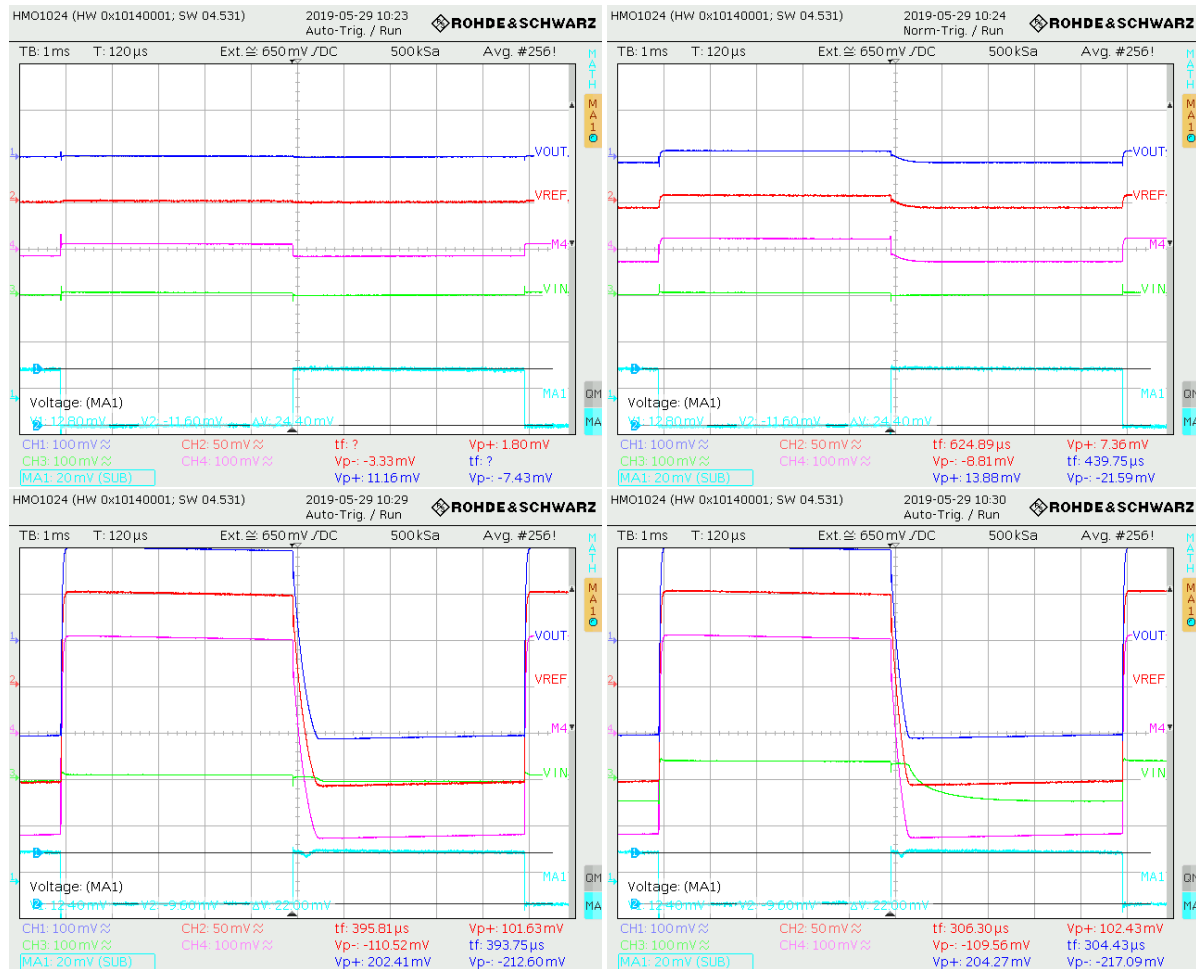


Abbildung 4.51: USCP Testchip 1 mit  $I_{in} = 1\text{ A}$ , Erhöhung der Last bis Einbruch - HPM

			$I_{load}$	$I_{load,wave}$	$I_{load,ges}$
Testchip 1	$I_{in} = 1\text{ A}$ $V_{wave} = 1,9\text{ V}$ $f = 100\text{ Hz}$	USCP inaktiv	750 mA	244 mA	994 mA
		USCP aktiv	755 mA	244 mA	999 mA
			785 mA	220 mA	1,005 A
		Einbruch $V_{in}$	787 mA	220 mA	1,007 A

Tabelle 28: Lastströme der Messungen bei  $I_{in} = 1\text{ A}$  für Testchip 1 im HPM

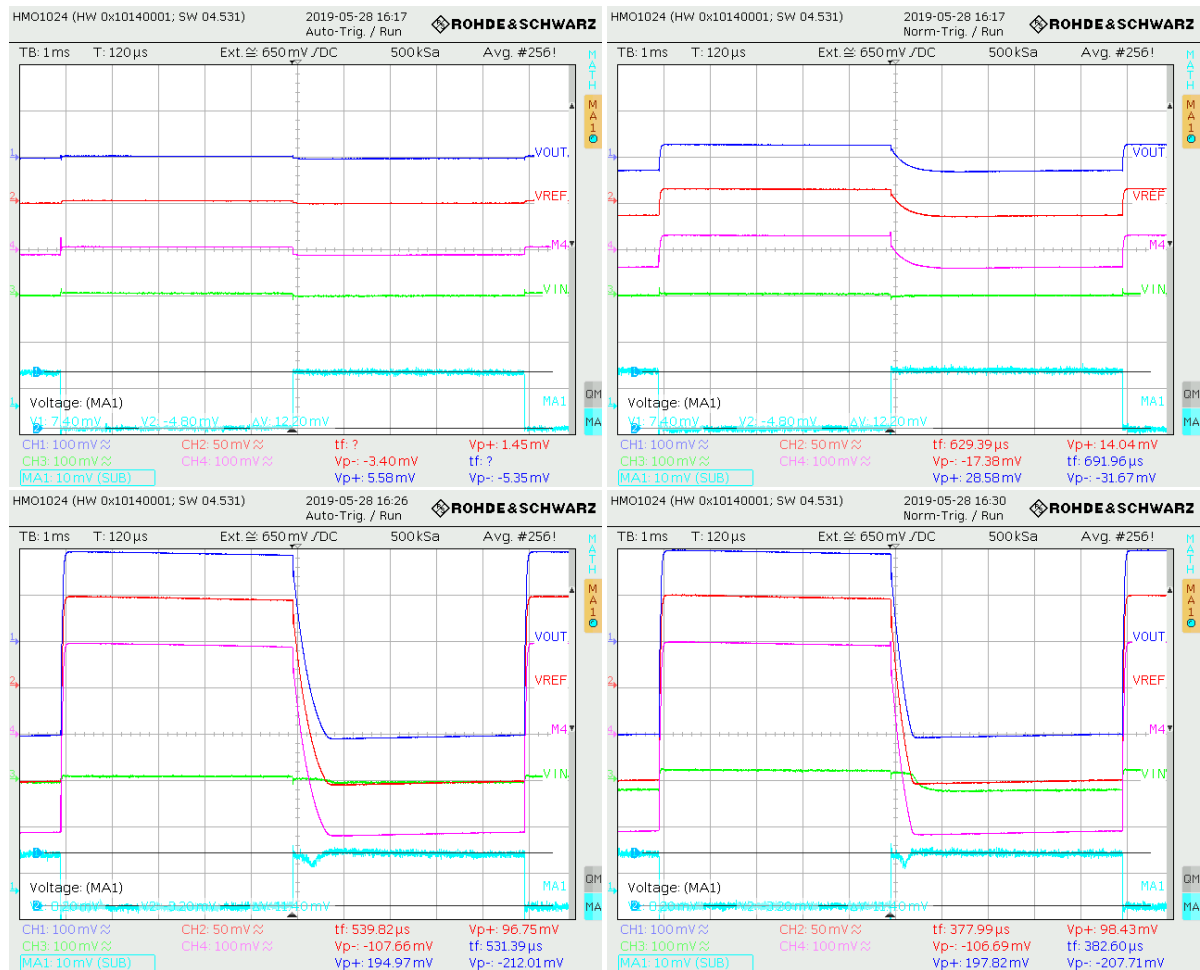


Abbildung 4.52: USCP Testchip 2 mit  $I_{in} = 1\text{ A}$ , Erhöhung der Last bis Einbruch - HPM

			$I_{load}$	$I_{load,wave}$	$I_{load,ges}$
Testchip 2	$I_{in} = 1\text{ A}$ $V_{wave} = 1,9\text{ V}$ $f = 100\text{ Hz}$	USCP inaktiv	861 mA	122 mA	983 mA
		USCP aktiv	865 mA	122 mA	987 mA
			880 mA	114 mA	994 mA
		Einbruch $V_{in}$	884 mA	114 mA	998 mA

Tabelle 29: Lastströme der Messungen bei  $I_{in} = 1\text{ A}$  für Testchip 2 im HPM

4.8.4 TestChip 1 & 2 - USCP (transient) -  $I_{load} = 0\text{ A} - 1,4\text{ A} - \text{HPM}$

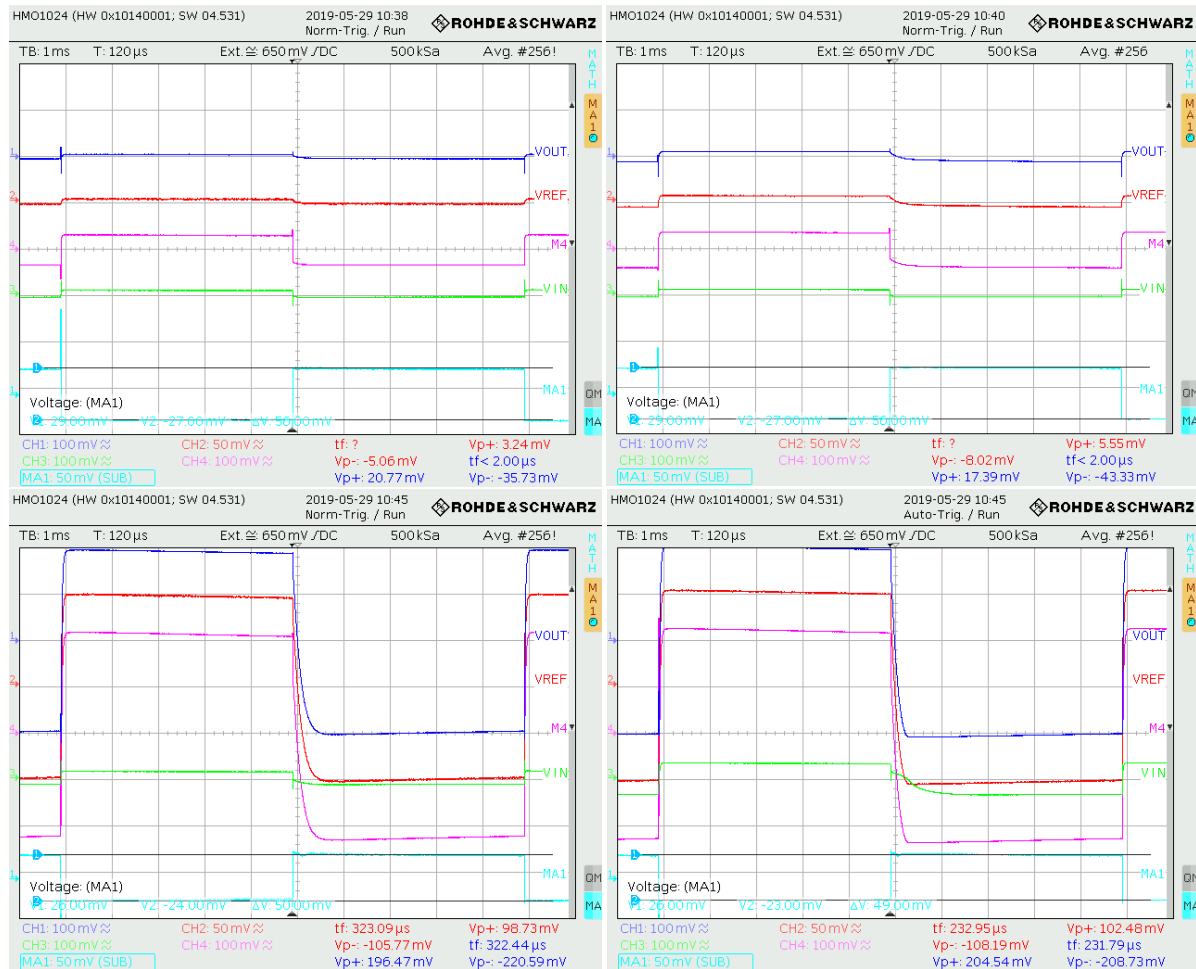


Abbildung 4.53: USCP Testchip 1 mit  $I_{in} = 1,4\text{ A}$ , Erhöhung der Last bis Einbruch - HPM

			$I_{load}$	$I_{load,wave}$	$I_{load,ges}$
Testchip 1	$I_{in} = 1\text{ A}$ $V_{wave} = 2\text{ V}$ $f = 100\text{ Hz}$	USCP inaktiv	880 mA	560 mA	1,440 A
		USCP aktiv	890 mA	560 mA	1,450 A
			950 mA	500 mA	1,450 A
		Einbruch $V_{in}$	960 mA	490 mA	1,450 A

Tabelle 30: Lastströme der Messungen bei  $I_{in} = 1,4\text{ A}$  für Testchip 1 im HPM

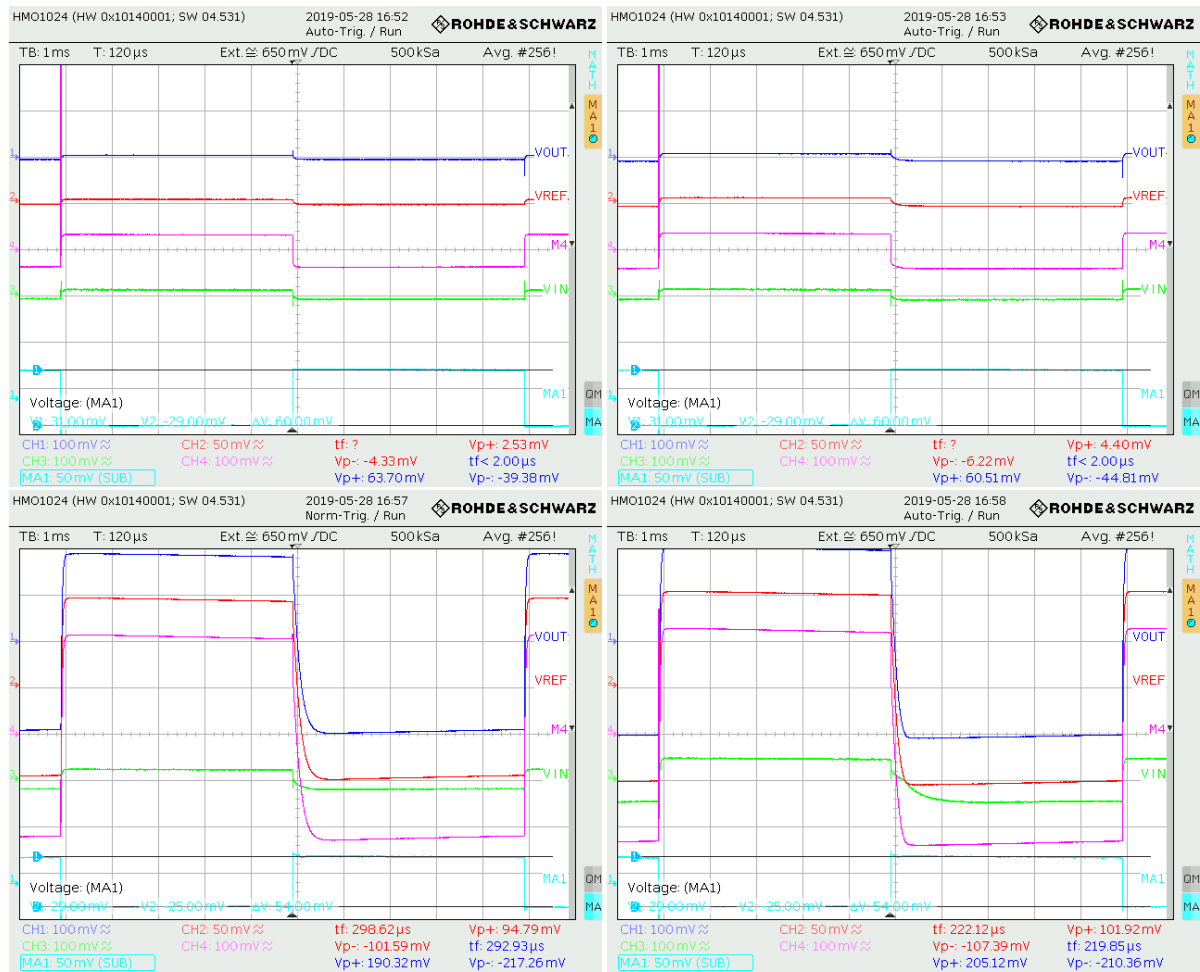


Abbildung 4.54: USCP Testchip 2 mit  $I_{in} = 1,4 \text{ A}$ , Erhöhung der Last bis Einbruch - HPM

			$I_{load}$	$I_{load,wave}$	$I_{load,ges}$
Testchip 2	$I_{in} = 1 \text{ A}$ $V_{wave} = 2,1 \text{ V}$ $f = 100 \text{ Hz}$	USCP inaktiv	835 mA	600 mA	1,435 A
		USCP aktiv	845 mA	600 mA	1,445 A
			910 mA	540 mA	1,450 A
			Einbruch $V_{in}$	920 mA	540 mA

Tabelle 31: Lastströme der Messungen bei  $I_{in} = 1,4 \text{ A}$  für Testchip 2 im HPM

4.8.5 TestChip 1 & 2 - USCP (transient) -  $I_{load} = 0\text{ A} - 1\text{ A} - \text{LPM}$

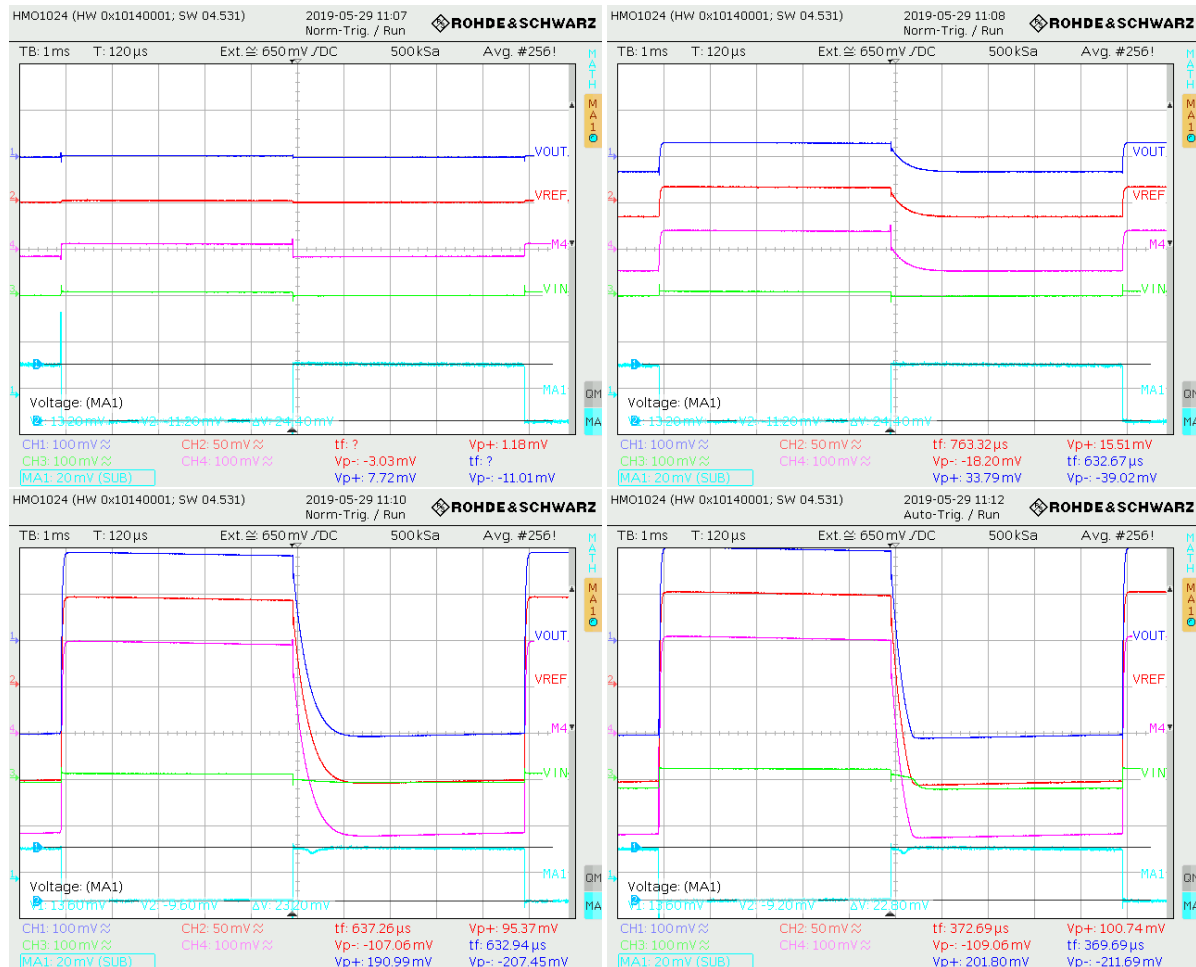


Abbildung 4.55: USCP Testchip 1 mit  $I_{in} = 1\text{ A}$ , Erhöhung der Last bis Einbruch - LPM

			$I_{load}$	$I_{load,wave}$	$I_{load,ges}$
Testchip 1	$I_{in} = 1\text{ A}$ $V_{wave} = 1,9\text{ V}$ $f = 100\text{ Hz}$	USCP inaktiv	750 mA	244 mA	994 mA
		USCP aktiv	760 mA	244 mA	1,004 A
			785 mA	232 mA	1,007 A
		Einbruch $V_{in}$	788 mA	228 mA	1,016 A

Tabelle 32: Lastströme der Messungen bei  $I_{in} = 1\text{ A}$  für Testchip 1 im LPM

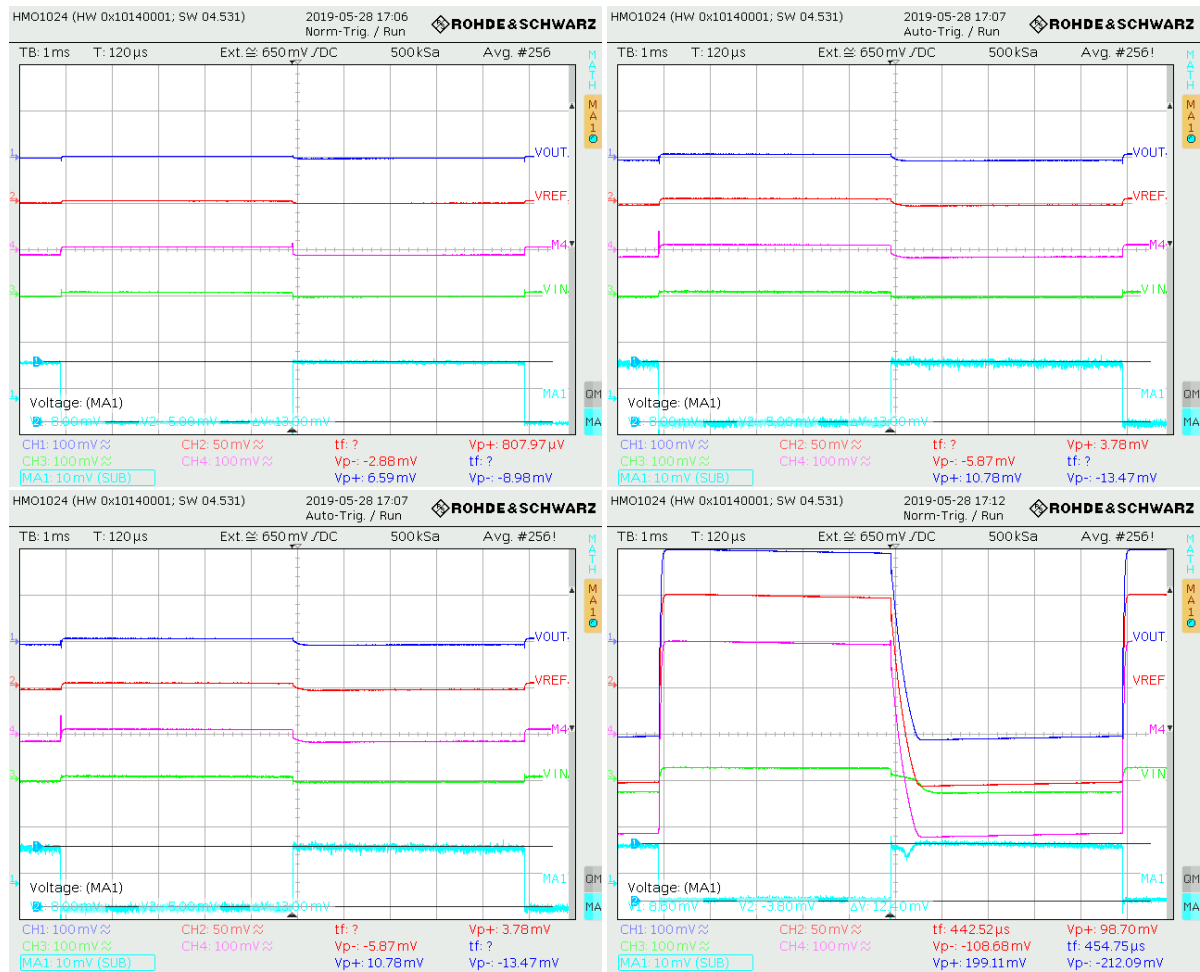


Abbildung 4.56: USCP Testchip 2 mit  $I_{in} = 1\text{ A}$ , Erhöhung der Last bis Einbruch - LPM

			$I_{load}$	$I_{load,wave}$	$I_{load,ges}$
Testchip 2	$I_{in} = 1\text{ A}$ $V_{wave} = 1,9\text{ V}$ $f = 100\text{ Hz}$	USCP inaktiv	850 mA	130 mA	980 mA
		USCP aktiv	855 mA	130 mA	985 mA
			875 mA	124 mA	999 mA
		Einbruch $V_{in}$	880 mA	124 mA	1,004 A

Tabelle 33: Lastströme der Messungen bei  $I_{in} = 1\text{ A}$  für Testchip 2 im LPM



## 4.9 Overvoltage Protection

Die Aufgabe der Overvoltage Protection auf Testchip 2 ist es, den Regler vor zu hohen Spannungen zu schützen. Aufgrund einer falsch gelegten Leitung auf der Platine wurden alle bisherigen Messungen mit einer hohen Referenzspannung von 1 V für die OVP durchgeführt, damit diese deaktiviert bleibt (siehe Kapitel 2.4). Um den Einfluss der OVP zu messen, wird die Pre-Regulatorspannung als Referenz genutzt. Dafür wird die Spannung  $V_{\text{refpre}}$  (M13) mit dem externen Anschluss (M2) der OVP verbunden. Außerdem werden die Jumper an den Anschlüssen P1 von intern auf extern gesetzt, um eine externe Referenz zuzulassen und an P7 von Off auf On gesetzt, um die OVP zu aktivieren.

In der statischen Messung wird der Einfluss der OVP im LDO-Modus über eine Line Regulation mit einem Sweep des Eingangsstromes sowie mit einer Load Regulation überprüft. Sie soll zeigen, dass der Shunt-Transistor der OVP den gesweepeten Strom aufnimmt, während der LDO nur seinen benötigten Versorgungsstrom aufnimmt. Die transiente Messung überprüft das Verhalten der Schaltung bei einer plötzlichen Erhöhung des Eingangsstromes. Der gemessene Wert von  $V_{\text{iin}}$  der transienten Ergebnisse ist proportional zum Eingangsstrom.  $V_{\text{top}}$  und  $V_{\text{base}}$  entsprechen den Nennwerten,  $V_{\text{p+}}$  und  $V_{\text{p-}}$  entsprechen dem positiven bzw. dem negativen Spitzenwert.

Die Messungen werden mit den Parametern der folgenden Tabelle 34 durchgeführt:

statisches Verhalten (Line Regulation):			
LDO-Modus (High-Power)	$I_{\text{in}} = 0 \text{ A} - 2 \text{ A}$		Abbildung 4.57
LDO-Modus (Low-Power)			Abbildung 4.58
statisches Verhalten (Load Regulation):			
LDO-Modus (High-Power)	$I_{\text{in}} = 2 \text{ A}$	$I_{\text{load}} = 0 \text{ A} - 1 \text{ A}$	Abbildung 4.59
LDO-Modus (Low-Power)			Abbildung 4.60
transientes Verhalten:			
SLDO-Modus	$I_{\text{in}} = 1,6 \text{ A}$	$I_{\text{in}} \pm 1 \text{ A}$ $t_{\text{rise}} = 10 \text{ ns}$	Abb. 4.61 & 4.62
	$I_{\text{in}} = 2 \text{ A}$		Abb. 4.63 & 4.64

Tabelle 34: Übersicht zur Messung der Overvoltage Protection

Die Messergebnisse der Kapitel 4.9.1 und 4.9.2 zeigen, dass sobald der Regler im LDO-Modus mit seinem benötigten Versorgungsstrom arbeitet, der Shunt der OVP den zusätzlichen Strom nach Masse leitet. Da bei der Line Regulation die Ausgangsspannung einbricht, obwohl die Referenzspannung nahezu konstant bleibt, ist hier ein Temperatureffekt zu vermuten. Diesen Schluss lässt auch die Load Regulation zu, bei der die Ausgangsspannung mit dem Laststrom steigt. Je höher der Laststrom gewählt, desto weniger Strom fließt in den Shunt-Transistor der OVP und umso weniger Leistung wird auf dem Chip in Wärme umgesetzt. Die Ergebnisse der Kapitel 4.9.3 und 4.9.4 zeigen, dass bei einem schnellen Anstieg des Eingangsstromes die Eingangsspannung für einen kurzen Moment über den von der OVP begrenzten Wert steigt, bis die OVP reagiert und die Ausgangsspannung begrenzt wird. In den selben Momenten kommt es auch zu erhöhten Werten der Ausgangsspannung.

4.9.1 Testchip 2 - Overvoltage Protection (statisch) - Line Regulation

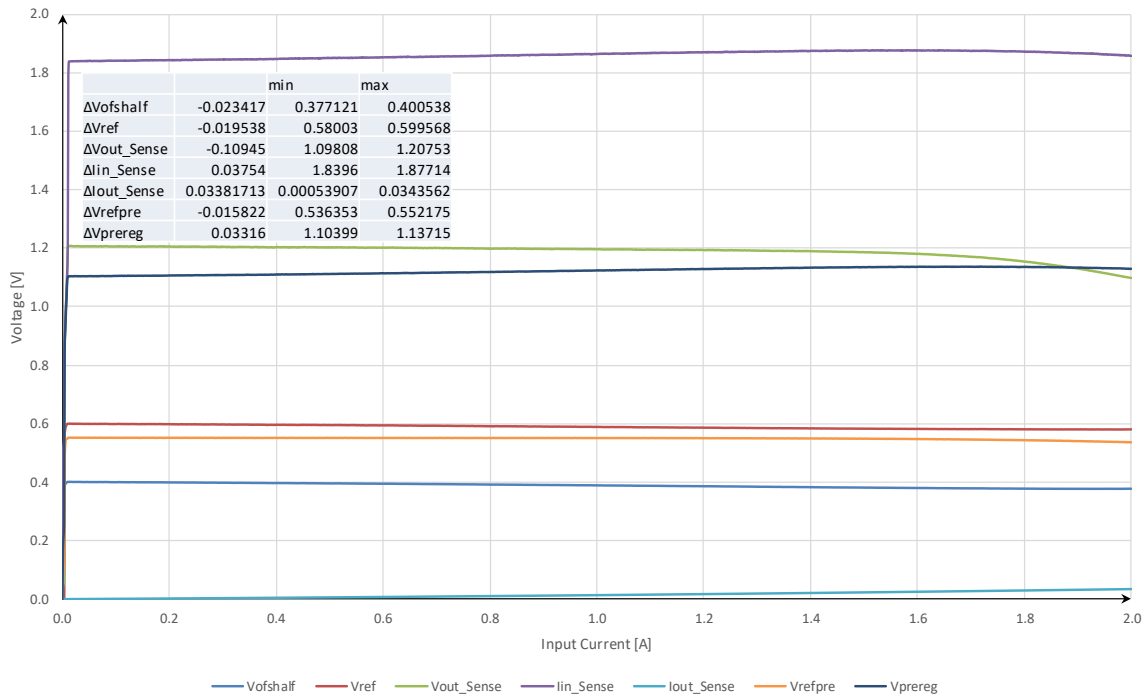


Abbildung 4.57: Line Regulation (Eingangsstrom) mit aktiver OVP im LDO-Modus - HPM

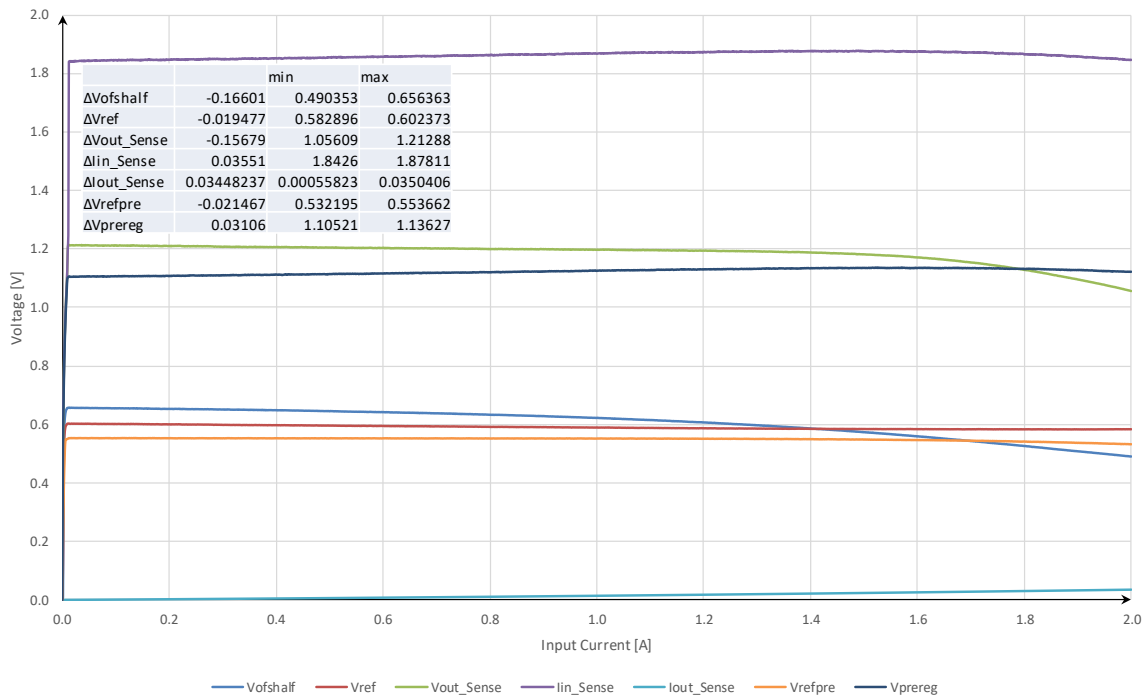


Abbildung 4.58: Line Regulation (Eingangsstrom) mit aktiver OVP im LDO-Modus - LPM

4.9.2 Testchip 2 - Overvoltage Protection (statisch) - Load Regulation

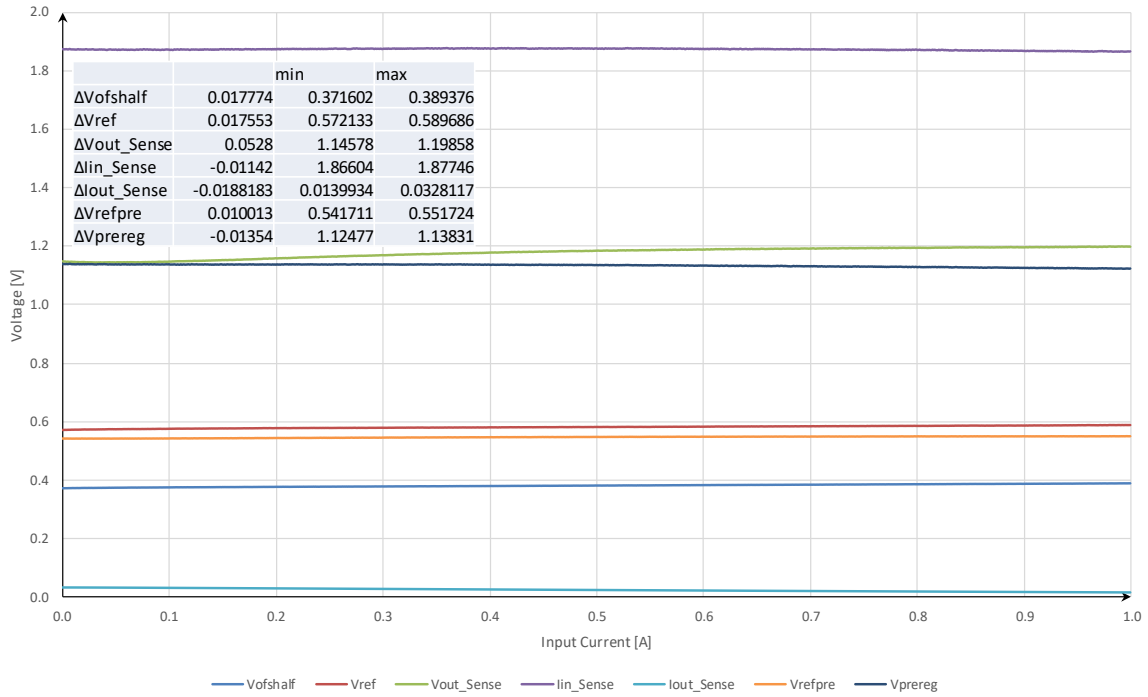


Abbildung 4.59: Load Regulation mit aktiver OVP im LDO-Modus - HPM

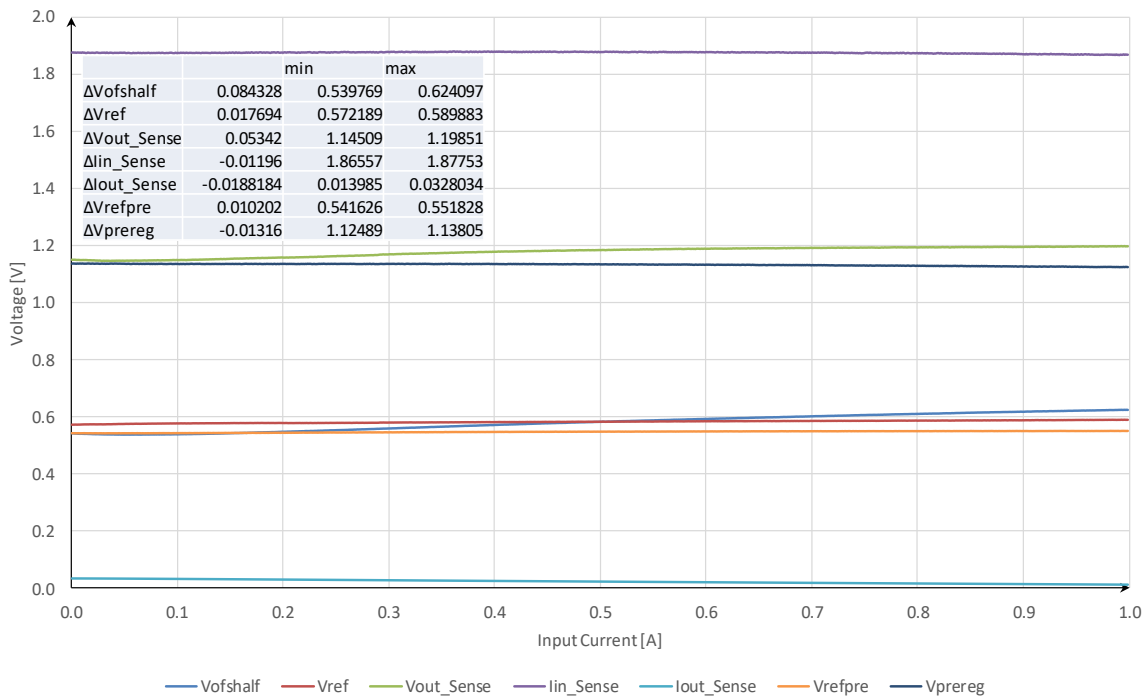


Abbildung 4.60: Load Regulation mit aktiver OVP im LDO-Modus - LPM

4.9.3 Testchip 2 - Overvoltage Protection (transient) - ( $I_{in} = 0,6 \text{ A} - 1,6 \text{ A}$ )

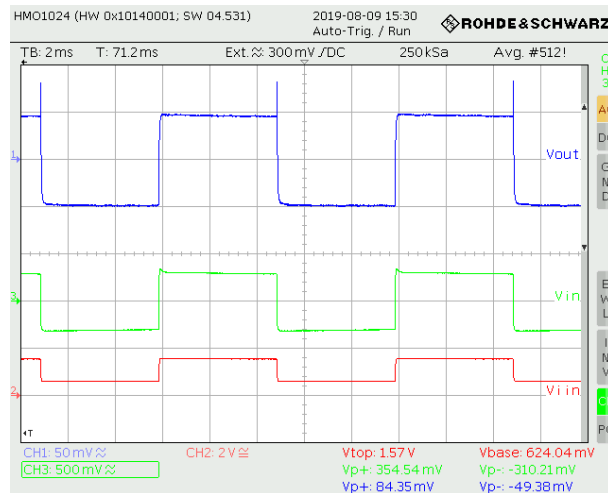


Abbildung 4.61: Eingangsstrom von  $I_{in} = 0,6 \text{ A} - 1,6 \text{ A}$  mit aktiver OVP im HPM

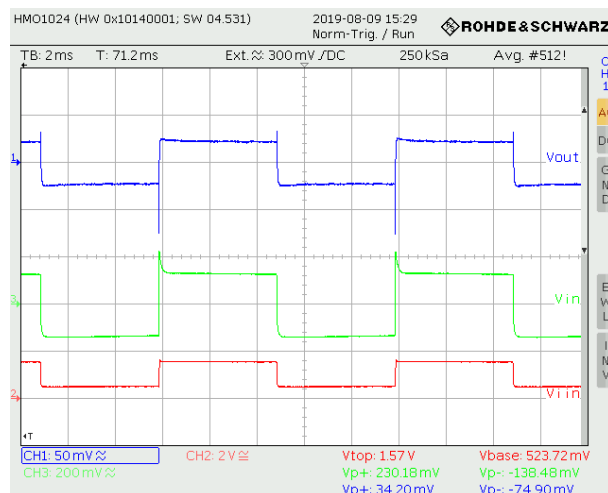


Abbildung 4.62: Eingangsstrom von  $I_{in} = 0,6 \text{ A} - 1,6 \text{ A}$  mit aktiver OVP im LPM

		$V_{top}$	$V_{base}$	$V_{p+}$	$V_{p-}$
SLDO-Modus (High-Power)	$V_{iin}$	1,57 V	624,04 mV	-	-
	$V_{in}$	-	-	354,54 mV	310,21 mV
	$V_{out}$	-	-	84,35 mV	49,38 mV
SLDO-Modus (Low-Power)	$V_{iin}$	1,57 V	523,72 mV	-	-
	$V_{in}$	-	-	230,18 mV	138,48 mV
	$V_{out}$	-	-	34,2 mV	74,9 mV

Tabelle 35: Einfluss der OVP bei  $I_{in} = 0,6 \text{ A} - 1,6 \text{ A}$  für Testchip 2

4.9.4 Testchip 2 - Overvoltage Protection (transient) - ( $I_{in} = 1\text{ A} - 2\text{ A}$ )

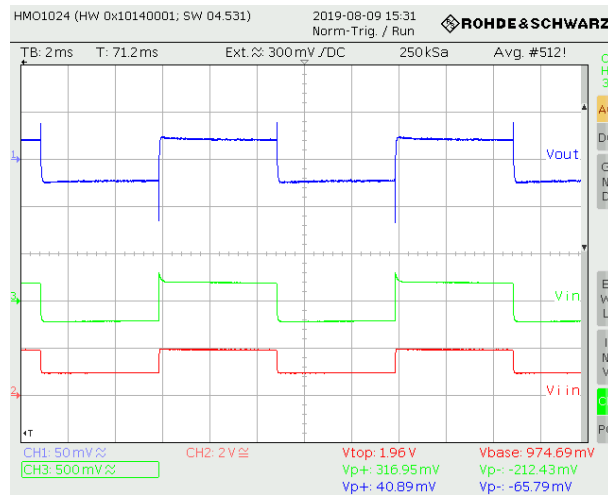


Abbildung 4.63: Eingangsstrom von  $I_{in} = 1\text{ A} - 2\text{ A}$  mit aktiver OVP im HPM

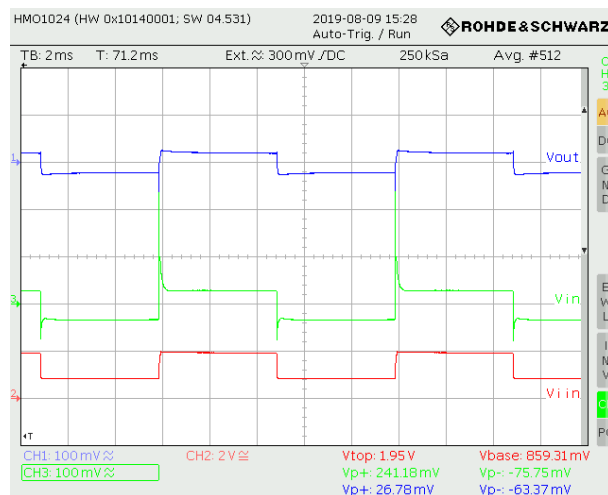


Abbildung 4.64: Eingangsstrom von  $I_{in} = 1\text{ A} - 2\text{ A}$  mit aktiver OVP im LPM

		$V_{top}$	$V_{base}$	$V_{p+}$	$V_{p-}$
SLDO-Modus (High-Power)	$V_{iin}$	1,96 V	974,69 mV	-	-
	$V_{in}$	-	-	316,95 mV	212,43 mV
	$V_{out}$	-	-	40,89 mV	65,79 mV
SLDO-Modus (Low-Power)	$V_{iin}$	1,95 V	859,31 mV	-	-
	$V_{in}$	-	-	241,18 mV	75,75 mV
	$V_{out}$	-	-	26,78 mV	63,37 mV

Tabelle 36: Einfluss der OVP bei  $I_{in} = 1\text{ A} - 2\text{ A}$  für Testchip 2

#### 4.10 AC-Gleichrichter / Wechsel zwischen HPM und LPM (Testchip 2)

Die Aufgabe des AC-Gleichrichters ist es, bei einer Zuschaltung eines Wechselsignals am Anschluss AC vom High-Power-Modus ( $V_{\text{ofshalf}} = 400 \text{ mV}$ ) in den Low-Power-Modus ( $V_{\text{ofshalf}} = 650 \text{ mV}$ ) zu wechseln (vergleiche Kapitel 2.6). Dadurch entfällt die manuelle Einstellung der Widerstandswerte der Potentiometer für die Veränderung der Offsetspannung. Der Widerstand  $R_{\text{ofsH}}$  bleibt auf dem Wert für den HPM auf  $100 \text{ k}\Omega$ , während der Wert des Widerstands  $R_{\text{ofsL}}$  auf  $62,5 \text{ k}\Omega$  (entsprechend  $250 \text{ mV}$ ) eingestellt wird. Durch die Reihenschaltung der beiden Widerstände ergibt sich ein Gesamt-Reihenwiderstand von  $162,5 \text{ k}\Omega$  der mit dem Strom von  $I_{\text{ref}} = 4 \mu\text{A}$  einer Spannung von  $650 \text{ mV}$  entspricht.

Die Messung wird mit folgenden Parametern durchgeführt:

transientes Verhalten:				
SLDO-Modus	$V_{\text{AC}} = 0 \text{ V} - 1,2 \text{ V}$	$f = 1 \text{ MHz}$ Tastgrad = 50 %	Testchip 2	Abbildung 4.65

Tabelle 37: Übersicht zur Messung des AC-Gleichrichters

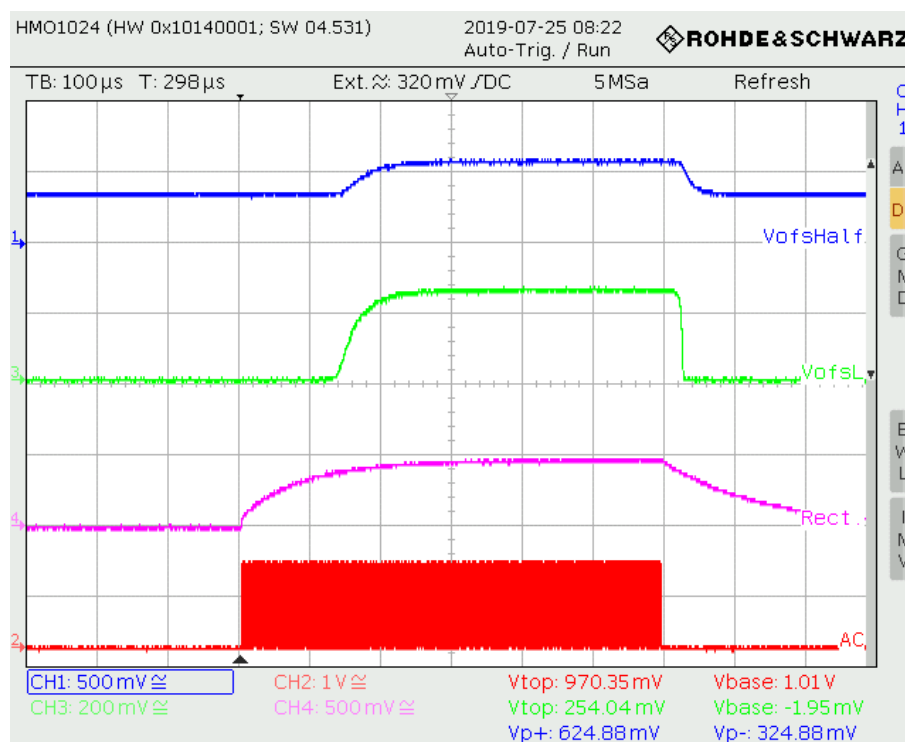


Abbildung 4.65: Wechsel vom HPM in den LPM durch ein aktives AC-Signal

Die Messung aus Abbildung 4.65 zeigt, dass bei aktivem AC-Signal nach einer kurzen Zeit von  $150 \mu\text{s}$  der Wert für  $V_{\text{ofshalf}}$  entsprechend um den Wert von  $V_{\text{ofsL}}$  ansteigt.

## 5 Fazit

Diese Masterthesis zeigt verschiedene Messergebnisse für die Überprüfung des ShuntLDO-Spannungsreglers. Die Messungen wurden sowohl für den ersten, als auch den zweiten Testchip des RD53B-Projekts durchgeführt, um die allgemeine Funktionalität des Reglers zu überprüfen und um auftretende Gemeinsamkeiten und Abweichungen der beiden Versionen aufzuzeigen. Außerdem wurde bei den Messungen kontrolliert, ob sich die Ergebnisse innerhalb der definierten Spezifikationen befinden.

Bei Messungen auf Raumtemperatur mit Versorgungsströmen im Bereich von knapp 2 A brach bei einigen Testchips die Funktionalität zusammen, was diese für den Großteil der Messungen unbrauchbar gemacht hat. Auch die Testchips, bei denen kein offensichtlicher Einbruch auftrat, hatte die Wärme Einfluss auf die Messergebnisse. Dies trat vor allem bei der Line Regulation und der Load Regulation des zweiten Testchips auf, bei denen die Spezifikationen nicht erreicht wurden. Da die Experimente ATLAS und CMS des LHC jedoch bei einer Temperatur unter null Grad arbeiten, könnte dieses Problem dort möglicherweise nicht auftreten. Dies gilt es in zukünftigen Untersuchungen des Testchips mit aktivem Kühlsystem zu untersuchen. Die transienten Lastwechsel erfüllten größtenteils ebenfalls nicht die Spezifikationen. Hier sahen die Ergebnisse für den SLDO-Modus zwar deutlich besser aus, als für den LDO-Modus, jedoch überschritten diese die Spezifikationen noch knapp in weiten Teilen. Das Einschaltverhalten zeigte überwiegend die zu erwartenden Ergebnisse. Oszillationen, die bei Messungen im LDO-Modus des Testchips 1 auftraten, waren für Testchip 2 nicht mehr vorhanden. Auch die Sweeps des externen Widerstands und der Offsetspannungen zeigten einige Unterschiede zwischen den Testchips. Die Messungen der transienten Eingangssignale, der Undershunt Current Protection, der Overvoltage Protection und des AC-Gleichrichters waren, bis auf leichte Temperatureinflüsse, größtenteils zufriedenstellend und funktionierten, wie es erwartet wurde.

Die Masterarbeit über die messtechnische Validierung des SLDO-Spannungsreglers des RD53B-Projektes stellte von Beginn an gehobene Anforderungen. Angefangen mit dem allgemeinen Verständnis der Theorie des Spannungsreglers, über die Grundlagen der teils komplexen verwendeten Schaltungstechniken und die Erarbeitung von eigenen Ideen zur Herangehensweise an die verschiedenen Methoden zur Charakterisierung des Reglers, bildet diese Arbeit einen anspruchsvollen Abschluss des Masterstudiengangs. Aufgrund der hilfreichen Unterstützung der Doktoranden Jeremias Kampkötter und Andreas Stiller konnte die zeitintensive Aufgabe in dem festgelegten Zeitraum vollständig bearbeitet und vorzeigbar gelöst werden. An dieser Stelle möchte ich mich für diese Unterstützung bedanken. Mein weiterer Dank geht an Herrn Prof. Dr. Michael Karagounis, der mir mit dieser Arbeit die Möglichkeit gegeben hat, einen Beitrag zu einem Projekt eines Teams zu leisten, welches jüngst ein Teil der ATLAS-CERN-Kollaboration geworden ist. Mit seiner intensiven und unterhaltenden Betreuung über die gesamte Zeitspanne hinweg ist diese Arbeit schlussendlich das geworden, was sie ist.

## 6 Literaturverzeichnis

### Literaturverzeichnis

- [Agi] AGILENT (Hrsg.): *Agilent 33500 Series Waveform Generator*. [https://electrica.uniandes.edu.co/images/manual\\_33500\\_0p\\_and\\_Svc\\_US.pdf](https://electrica.uniandes.edu.co/images/manual_33500_0p_and_Svc_US.pdf): Agilent. – [Online; Zugriff am 13.08.2019]
- [GS19] GARCIA-SCIVERES, Maurice: *The RD53A Integrated Circuit / Cern, Genf*. [https://cds.cern.ch/record/2287593/files/RD53A\\_Manual\\_V3-5.pdf](https://cds.cern.ch/record/2287593/files/RD53A_Manual_V3-5.pdf), 2019. – Forschungsbericht
- [Icy19] ICYER, Ömer F.: *USB basierte Einbindung von Multimetern in einen Messplatz zur automatisierten Charakterisierung von Spannungsreglern*. [https://www.fh-dortmund.de/de/fb/3/personen/lehr/karagounis/medien/Bachelor\\_Thesis\\_Oemer\\_Icyer.pdf](https://www.fh-dortmund.de/de/fb/3/personen/lehr/karagounis/medien/Bachelor_Thesis_Oemer_Icyer.pdf), Fachhochschule Dortmund, Bachelorarbeit, 2019
- [Kam18] KAMPKÖTTER, Jeremias: *ShuntLDO Verification*, Fachhochschule Dortmund, Projektarbeit, 2018
- [Kar10] KARAGOUNIS, Michael: *Analog Integrated CMOS Circuits for the Readout and Powering of Highly Segmented Detectors in Particle Physics Applications*. [https://ub-deposit.fernuni-hagen.de/servlets/MCRFileNodeServlet/mir\\_derivate\\_00000025/Diss\\_Karagounis\\_CMOS\\_2010.pdf](https://ub-deposit.fernuni-hagen.de/servlets/MCRFileNodeServlet/mir_derivate_00000025/Diss_Karagounis_CMOS_2010.pdf), Fernuniversität Hagen, Diss., 2010
- [Keia] KEITHLEY (Hrsg.): *Model 2000 6½-Digit Multimeter*. <https://www.instrumex.de/datasheet/2000.pdf>: Keithley. – [Online; Zugriff am 13.08.2019]
- [Keib] KEITHLEY (Hrsg.): *Model 2401 SourceMeter® SMU Instrument*. <http://research.physics.illinois.edu/bezryadin/labprotocol/Keithley2400Manual.pdf>: Keithley. – [Online; Zugriff am 13.08.2019]
- [Keic] KEITHLEY (Hrsg.): *Model 2460 SourceMeter® SMU Instrument*. <https://docs-emea.rs-online.com/webdocs/1347/0900766b81347571.pdf>: Keithley. – [Online; Zugriff am 13.08.2019]
- [Keid] KEITHLEY (Hrsg.): *Model DMM6500 6½-Digit Bench/System Digital Multimeter*. <https://docs-emea.rs-online.com/webdocs/1634/0900766b81634895.pdf>: Keithley. – [Online; Zugriff am 13.08.2019]
- [Mac17] MACHA, Karl: *Einrichtung eines automatisierten Messplatzes zur Charakterisierung von Spannungsreglern*. <https://www.fh-dortmund.de/de/fb/3/personen/lehr/karagounis/medien/BachelorthesisMacha.pdf>, Fachhochschule Dortmund, Bachelorarbeit, 2017



- [Orf17] ORFANELLI, Stella: Serial Powering Optimization for CMS and ATLAS Pixel Detectors within RD53 Collaboration for HL-LHC: System Level Simulations and Testing / Santa Cruz, California. [http://inspirehep.net/record/1665020/files/CR2017\\_385.pdf?version=1](http://inspirehep.net/record/1665020/files/CR2017_385.pdf?version=1), 2017. – Paper
- [Roha] ROHDE & SCHWARZ (Hrsg.): *R&S®HMF25xx Arbitrary Function Generator*. [https://scdn.rohde-schwarz.com/ur/pws/dl\\_downloads/dl\\_common\\_library/dl\\_brochures\\_and\\_datasheets/pdf\\_1/service\\_support\\_30/170728\\_HMF\\_Fact\\_Sheet.pdf](https://scdn.rohde-schwarz.com/ur/pws/dl_downloads/dl_common_library/dl_brochures_and_datasheets/pdf_1/service_support_30/170728_HMF_Fact_Sheet.pdf): Rohde & Schwarz. – [Online; Zugriff am 13.08.2019]
- [Rohb] ROHDE & SCHWARZ (Hrsg.): *R&S®HMO1024 4 Kanal Digital-Oszilloskop*. [https://cdn.rohde-schwarz.com/pws/dl\\_downloads/dl\\_common\\_library/dl\\_manuals/gb\\_1/h/hmo72x\\_202x/HM0compact\\_DigitalOscilloscope\\_UserManual\\_en\\_03.pdf](https://cdn.rohde-schwarz.com/pws/dl_downloads/dl_common_library/dl_manuals/gb_1/h/hmo72x_202x/HM0compact_DigitalOscilloscope_UserManual_en_03.pdf): Rohde & Schwarz. – [Online; Zugriff am 13.08.2019]
- [Rohc] ROHDE & SCHWARZ (Hrsg.): *R&S®HMP4030 Series Power Supply*. [https://cdn.rohde-schwarz.com/pws/dl\\_downloads/dl\\_common\\_library/dl\\_manuals/gb\\_1/h/hmp\\_serie/HMPSeries\\_UserManual\\_en\\_02.pdf](https://cdn.rohde-schwarz.com/pws/dl_downloads/dl_common_library/dl_manuals/gb_1/h/hmp_serie/HMPSeries_UserManual_en_02.pdf): Rohde & Schwarz. – [Online; Zugriff am 13.08.2019]
- [Win19] WINKLER, Florian: *Verification of the Shunt-Low-Dropout voltage regulator for the current based supply of the serially connected pixel detector modules of the ATLAS- and CMS-experiments at the High-Luminosity Large Hadron Collider*. [https://www.fh-dortmund.de/de/fb/3/personen/lehr/karagounis/medien/Masterthesis\\_Winkler.pdf](https://www.fh-dortmund.de/de/fb/3/personen/lehr/karagounis/medien/Masterthesis_Winkler.pdf), Fachhochschule Dortmund, Masterarbeit, 2019

# A Anhang

## A.1 CD