

Masterthesis

Entwurf einer Delay-Locked Loop für die Nutzung als Time-to-Digital Converter in einer Time-of-Flight Anwendung in 350nm CMOS Technologie

Markus Lippold

Juni 2018

Zur Erlangung des akademischen Grades
Master of Engineering

Gutachter:

Prof. Dr.-Ing. Michael Athanassios Karagounis

Betreuer:

Dr.-Ing Wolfram Budde

Fachhochschule Dortmund

Interessengemeinschaft für Mikroelektronik und Eingebettete Systeme

Fachbereich: Informations- und Elektrotechnik

In Kooperation mit:

Elmos Semiconductor AG

Kurzfassung

Im Rahmen dieser Masterthesis wird eine Delay-Locked Loop von einem idealen Aufbau über Verilog-A Modellen bis hin zur realen Umsetzung entworfen. Diese Delay-Locked Loop (DLL) wird für die Nutzung in einem Time-to-Digital Converter (TDC) mit Local-Passiv-Interpolation, entwickelt. Mit Hilfe des TDC soll eine Verzögerungszeit bei einer Time-of-Flight Anwendung ermittelt werden. Hauptbestandteil dieser Arbeit ist es, eine Charge Pump zu implementieren, welche eine geringe Auswirkung auf die Phasenverschiebung der Regelschleife aufgrund von parasitären Eigenschaften im Schaltmoment aufweist. Zudem wird für die Stromregelung innerhalb der Charge Pump ein präziser Transkonduktanzverstärker (OTA) mit einem hohen Eingangsspannungsbereich implementiert. Für die Entkopplung der Verzögerungskette als Last von der Filterspannung wird ein Low-Dropout Spannungsregler (LDO) entwickelt.

Im Verlauf der Arbeit hat sich gezeigt, dass eine Charge Pump, aufgebaut mit einem differentiellen Stromzweig, aufgrund des konstant fließenden Stroms die geringsten parasitären Einflüsse aufweist. Innerhalb dieser Charge Pump wird ein gefalteter Transkonduktanzverstärker als Spannungsfolger genutzt, um das Potential in den Zweigen der differentiellen Stufe aneinander anzugleichen und somit die Einflüsse im Schaltmoment zu verringern. Zusätzlich erfolgt über diesen Verstärker eine exakte Stromanpassung der UP- und DOWN-Ströme.

Für die Umsetzung der Verzögerungskette wird das Rauschverhalten verschiedener CMOS-Inverter bezüglich Phasenrauschen und Jitter simuliert. Aufgrund dieser Simulationen ist der differentielle Inverter mit NMOS-Kreuzkopplung für die Umsetzung der Delay-Line ausgewählt worden.

Die real aufgebaute Delay-Locked Loop wird nach der Spezifikation für Automobilanwendungen in einem Temperaturbereich von -50°C bis 120°C simuliert. Zusätzlich werden globale und lokale prozessbedingte Variation berücksichtigt. Bei dieser Simulation stellt sich eine maximale Phasenverschiebung zur Referenzperiodendauer von 218 ps ein. Dies entspricht bei einer Referenzfrequenz von 25 MHz einer Abweichung von ca. 0,5 % und führt zu einem Messfehler der Delay-Locked Loop von 3 cm. Somit könnte im schlechtesten Fall ein Objekt von der ToF-Kamera mit einem Fehler von 3 cm detektiert werden.

Abstract

Within this master's thesis, a delay-locked loop is designed from an ideal structure through VerilogA models to real implementation. This delay-locked loop is designed for use in a time-to-digital converter, in the form of the local-passive interpolation method. This method is used to evaluate the delay-locked loop to determine a measurable delay time for the time-of-flight application. The main component of this work is to implement a charge pump, which has a small effect on the phase shift of the control loop due to parasitic properties in the switching moment. In addition, a precise transconductance amplifier with a high input voltage range is implemented for the current regulation within the charge pump. For the decoupling of the delayline as a load from the filter voltage, a low-dropout voltage regulator is developed.

Within this work, it has been shown that a charge pump, constructed with a differential current branch, has the lowest parasitic influences due to a constantly flowing current. Within this charge pump, a folded transconductance amplifier is used as a voltage follower to equalize the potential of the differential stage and thus prevent the influences in the switching moment. In addition, an exact current adaptation of the UP and DOWN currents takes place via this amplifier.

For the implementation of the delayline, the noise behavior of various CMOS inverters with respect to phase noise and jitter is simulated. Based on these simulations, the differential inverter with NMOS crosstalk has been selected for the implementation of the delayline.

The real-time delay-locked loop is simulated over the specification of the automotive industry in a temperature range of $-50\text{ }^{\circ}\text{C}$ to $120\text{ }^{\circ}\text{C}$. In addition, the global and local variation of the CMOS transistors is taken into account by process-related variation. This simulation introduces a maximum phase shift to the reference period of 218 ps. This corresponds to a deviation of about 0.5% at a reference frequency of 25 MHz and leads to a measurement error of the Delay-Locked Loop of 3cm. Thus, in the worst case, an object could be detected by the ToF camera with a 3 cm error.

Inhaltsverzeichnis

1. Einleitung.....	1
1.1 Zielformulierung.....	4
2. Grundlagen.....	5
2.1 MOS-Transistor.....	5
2.1.1 Kaskodierter Stromspiegel.....	7
2.2 Charge Pump.....	11
2.2.1 Charge Sharing.....	12
2.2.2 Charge Injection / Clock Feedthrough.....	13
2.2.3 Fehlanpassung in Charge Pumps.....	17
2.3 Charge Pump Grundsaltungen.....	18
2.3.1 Tristate-Charge Pump (Stromspiegel).....	18
2.3.2 Current Steering-Charge Pump (Stromwaage).....	19
2.4 Verhalten eines Regelkreises.....	20
2.4.1 Stabilitätskriterium.....	20
2.5 Rauschen von MOS-Transistoren.....	23
2.5.1 Thermisches Rauschen.....	23
2.5.2 1/f-Rauschen.....	24
2.5.3 Phasenrauschen.....	24
2.5.4 Jitter.....	27
3. Delay-Locked Loop.....	30
3.1 Phasendetektor.....	31
3.2 Charge Pump.....	32
3.3 Loopfilter.....	32
3.4 Low-Dropout Spannungsregler.....	33
3.5 Delay-Line.....	33
3.5.1 CMOS-Inverter.....	35
3.5.2 Current-Starved Inverter.....	37
3.5.3 Differentieller Inverter mit NMOS-Kreuzkopplung.....	39
3.5.4 Maneatis-Inverter.....	41

3.5.5 Untersuchung der Inverter auf Phasenrauschen und Jitter.....	43
3.6 False-Lock Detektor.....	49
3.7 Übertragungsfunktion der DLL.....	52
3.8 Ideale Delay-Locked Loop.....	54
4. Entwicklung eines Transkonduktanzverstärkers.....	55
4.1 Differenzieller Verstärker.....	55
4.1.1 Differenzeingangsstufe.....	55
4.2 Transkonduktanzverstärker.....	58
4.3 Kaskodierter Transkonduktanzverstärker.....	59
4.3.1 Verhalten bei Temperatur- und Corner-Simulationen.....	62
4.4 Gefalteter Transkonduktanzverstärker.....	64
4.4.1 Verhalten bei Temperatur- und Corner-Simulationen.....	67
5. Entwicklung und Untersuchung verschiedener Charge Pumps.....	70
5.1 Ideale Charge Pump.....	70
5.2 Stromspiegel Charge Pump.....	72
5.2.1 Charge Pump 1.....	73
5.2.2 Charge Pump 2.....	75
5.3 Stromwaage Charge Pump.....	77
5.3.1 Charge Pump 3.....	78
5.3.2 Charge Pump 4.....	80
5.4 Verhalten der Charge Pumps bei Prozesssimulationen.....	82
5.4.1 Temperatur- und Corner Simulationen.....	82
5.4.2 Monte-Carlo Simulationen.....	85
6. Entwicklung eines Low-Dropout Spannungsreglers.....	88
6.1 Dimensionierung des Spannungsreglers.....	90
6.2 Verhalten des LDOs bei Prozesssimulationen.....	93
7. Simulation der realen Delay-Locked Loop.....	95
8. Zusammenfassung und Ausblick.....	101
9. Literaturverzeichnis.....	103
10. Anhang.....	104
10.1 Transistordimensionierungen.....	104
10.2 Verilog-A Modelle.....	108

Abbildungsverzeichnis

Abb. 1.1: a) Optische Distanzmessung nach dem Flugzeit Prinzip. b) Die durch den reflektierten Puls generierte Ladung teilt sich in Abhängigkeit von der Laufzeit in die Ladungspakete Q1 und Q2 auf. Q3 entspricht der aus dem Umgebungslicht entstandenen Ladung.....	1
Abb. 1.2: Time-To-Digital Converter basierend auf einer Delay-Locked Loop mit Single Delay-line Architektur.....	3
Abb. 2.1: Schaltbild eines NMOS-Stromspiegels.....	6
Abb. 2.2: Kaskodierung eines NMOS-Stromspiegels.....	8
Abb. 2.3: Kleinsignal-Ersatzschaltbild kaskodierter Stromspiegel.....	9
Abb. 2.4: Schaltbild Charge Pump.....	11
Abb. 2.5: Ausgangssignale, ideal (a) und mit Charge Sharing (b).....	12
Abb. 2.6: Charge Pump mit Spannungsfolger um Charge Sharing zu verhindern.....	13
Abb. 2.7: Charge injection eines NMOS-Transistors.....	14
Abb. 2.8: Clock Feedthrough.....	15
Abb. 2.9: Dummy Transistor Schaltung zur Reduzierung von Charge Injection und Clock Feedthrough.....	16
Abb. 2.10: Fehlanpassung in Charge Pump Schaltungen.....	17
Abb. 2.11: Grundschiung einer Tristate Charge Pump.....	19
Abb. 2.12: Grundschiung einer Current Steering Charge Pump.....	20
Abb. 2.13: Negative Rückkopplung eines Regelkreises.....	21
Abb. 2.14: Bode-Diagramm für a) instabil und b) stabil.....	22
Abb. 2.15: Leitsungsdichtespektrum 1 Hz Bandpass.....	25
Abb. 2.16: Leitsungsdichtespektrum des Phasenrauschmodells eines Oszillators.....	26
Abb. 2.17: Darstellung des Jitters im Zeitbereich anhand einer Periode.....	28
Abb. 3.1: Überblick Delay-Locked Loop.....	30
Abb. 3.2: PET-PD.....	32
Abb. 3.3: Delay-Elemente mit variabler a) Versorgungsspannung, b) Widerstandswert oder c) Kapazität.....	34
Abb. 3.4: CMOS-Inverter.....	35
Abb. 3.5: Verzögerungsverlauf des CMOS-Inverters.....	37
Abb. 3.6: Current-Starved Inverter.....	38
Abb. 3.7: Verzögerungsverlauf des Current-Starved-Inverters.....	39
Abb. 3.8: Differentieller Inverter mit NMOS-Kreuzkopplung.....	40
Abb. 3.9: Verzögerungsverlauf des differentiellen Inverters.....	40
Abb. 3.10: Maneatis-Inverter.....	41
Abb. 3.11: Verzögerungsverlauf des Maneatis-Inverters.....	43
Abb. 3.12: Simulationaufbau der Verzögerungsketten.....	45
Abb. 3.13: Phasenrauschen des differentiellen Inverters mit NMOs-Kreuzkopplung.....	45
Abb. 3.14: Jitter des differentiellen Inverters mit NMOS-Kreuzkopplung.....	46
Abb. 3.15: Simulationsaufbau in der idealen Delay-Locked Loop zur Jitter-Kalkulation.....	47
Abb. 3.16 Reset-Schaltung.....	49
Abb. 3.17: Force-UP Schaltung.....	50
Abb. 3.18: Phasendetektor mit RST-, FU, und EN-Eingängen.....	51
Abb. 3.19: Blockdiagramm einer Delay-Locked Loop.....	52
Abb. 4.1: Differentielle Eingangsstufe.....	55
Abb. 4.2: Kleinsignal-Ersatzschaltbild einer Differenzeingangsstufe.....	56
Abb. 4.3: Grundschiung Transkonduktanzverstärker.....	58
Abb. 4.4: Kaskodierter Transkonduktanzverstärker.....	60

Abb. 4.5: Bode-Diagramm des kaskadierten Transkonduktanzverstärkers.....	62
Abb. 4.6: Phasenreserve des OTAs über Corner bei einer Temperatur von 120° in Abhängigkeit von der Eingangsspannung.....	63
Abb. 4.7: Leerlaufverstärkung des OTAs über Corner bei einer Temperatur von 120° in Abhängigkeit von der Eingangsspannung.....	64
Abb. 4.8: Gefalteter Transkonduktanzverstärker.....	65
Abb. 4.9: Bode-Diagramm des gefalteten Transkonduktanzverstärkers.....	66
Abb. 4.10: Vergleich der Leerlaufverstärkung der Transkonduktanzverstärker.....	67
Abb. 4.11: Leerlaufverstärkung des gefalteten OTAs bei einer Temperatur von 120°C und Corner-Modellen.....	68
Abb. 4.12: Phasenreserve des gefalteten OTAs bei einer Temperatur von 120°C und Corner-Modellen.....	69
Abb. 5.1: Aufbau ideale Charge Pump.....	70
Abb. 5.2: Stromfehlanspassung.....	71
Abb. 5.3: Verzögerung des UP-Stroms um 1 ns.....	72
Abb. 5.4: Schaltbild Charge Pump 1.....	73
Abb. 5.5: Bode-Diagramm Charge Pump 1.....	74
Abb. 5.6: Schaltbild Charge Pump 2.....	75
Abb. 5.7: Bode-Diagramm Charge Pump 2.....	76
Abb. 5.8: Schaltbild Verzögerungsanpassung.....	77
Abb. 5.9: Schaltbild Charge Pump 3.....	78
Abb. 5.10: Schaltbild Charge Pump 4.....	80
Abb. 5.11: Bode-Diagramm Charge Pump 4.....	81
Abb. 5.12: Phasenverschiebung zum Referenztakt verursacht durch die Charge Pump 3....	83
Abb. 5.13: Spannungsänderung am Filter verursacht durch die Charge Pump 3.....	84
Abb. 5.14: Vergleich des Mittelwerts der Phasenverschiebung von CP3 und CP4.....	86
Abb. 5.15: Vergleich der Standardabweichung von CP3 und CP4.....	87
Abb. 6.1: Low-Dropout-Spannungsregler.....	88
Abb. 6.2: Dimensionierung des Low-Dropout Spannungsreglers.....	91
Abb. 6.3: Phasenreserve des Low-Dropout Spannungsreglers.....	93
Abb. 7.1: Aufbau der realen Delay-Locked Loop mit Dekodier Logik.....	95
Abb. 7.2: Aufbau der Master-Delay-Line mit dem differentiellen Inverter mit NMOS-Kreuzkopplung und dem Local Passive Interpolation TDC.....	96
Abb. 7.3: Darstellung des realen Verhalten der Versorgungsspannungsleiterbahn mit einer Stützkapazität.....	97
Abb. 7.4: Einschwingvorgang der Delay-Locked Loop bei einer Temperatur von 30°C und dem Corner-Modell C0.....	98
Abb. 7.5: Darstellung des Spannungsfalls auf der Steuerspannung im Schaltmoment der Delay-Line.....	100
Abb. 10.1: Verilog-A Modell D-FlipFlop high reset.....	108
Abb. 10.2: Verilog-A Modell Delay-Line.....	109
Abb. 10.3: Verilog-A Modell UND-Gatter.....	110
Abb. 10.4: Verilog-A Modell ODER-Gatter.....	110
Abb. 10.5: Verilog-A Modell Inverter.....	111

1. Einleitung

Diese Masterthesis ist Bestandteil eines Projektes zur Entwicklung einer schnellen, robusten, präzisen und leistungsfähigen vollintegrierten 3D Kamera basierend auf dem Time-of-Flight (ToF) Prinzip für die Anwendung im Automobil. Die ToF-Kamera soll die Möglichkeit bieten, zweidimensional aufgelöste Abstandsbilder aufzunehmen, um die Bewegung von Objekten in unmittelbarer Nähe und in weiterem Abstand zu detektieren.

Die ToF-Kamera eignet sich sowohl für die Anwendung inner- und außerhalb des Fahrzeugs und trägt dazu bei, Automobile intelligenter und sicher zu gestalten. Im Fahrzeuginnenraum kann die ToF-Kamera zur Gestensteuerung als innovative Bedientechnik verwendet werden. Außerdem kann Sie dabei helfen, Fahrzeuginsassen zuverlässig und schnell zu detektieren, um Sicherheitssysteme anzusteuern oder den Diebstahlschutz bei abgestelltem Fahrzeug verbessern. Externe ToF-Kameras können für das autonome Fahren oder zur Erhöhung der Sicherheit durch Fahrassistenzsysteme eingesetzt werden, indem zum Beispiel eine Fahrspur detektiert wird und das Fahrzeug dieser autonom folgt oder plötzlich auftauchende Gegenstände erkennt.

Das Funktionsprinzip des ToF-Sensors basiert auf der absoluten Lichtgeschwindigkeit, welche innerhalb des gleichen Mediums konstant ist.

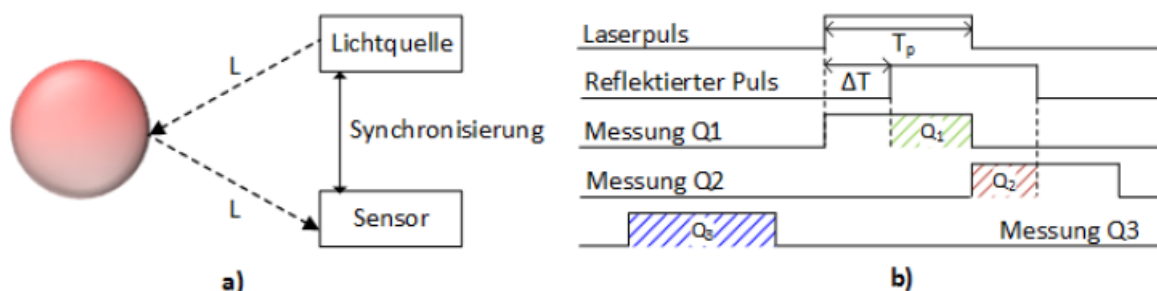


Abb. 1.1: a) Optische Distanzmessung nach dem Flugzeit Prinzip. b) Die durch den reflektierten Puls generierte Ladung teilt sich in Abhängigkeit von der Laufzeit in die Ladungspakete Q_1 und Q_2 auf. Q_3 entspricht der aus dem Umgebungslicht entstandenen Ladung

Wie in Abb. 1.1 a) dargestellt wird bei einer ToF-Messung Licht von einer Quelle ausgesendet, welches von einem Objekt mit dem Abstand L reflektiert und von einem Empfänger detektiert wird. Der Lichtstrahl legt innerhalb der Laufzeit ΔT einen Weg von $D=2L$ zurück, so dass der Abstand L des Objekts durch den Sensor anhand der folgenden Gleichung berechnet werden kann.

$$L = \frac{1}{2} c_0 \Delta T \quad (1.1)$$

Der Sensor der 3D Kamera besteht aus einer zweidimensionalen Struktur von lichtempfindlichen Pixelelementen, die das empfangene Licht in elektrische Signale umwandeln. Es wird eine Steuereinheit für die Synchronisation der Lichtquelle mit der Empfangseinheit genutzt, welche aus einer Pixelmatrix besteht. Für die Messung wird gepulstes Licht mit einer festgelegten Dauer T_p genutzt. Der reflektierte Lichtpuls fällt auf den Sensor und erzeugt dort elektrische Ladungen in den Pixeln der Matrix. Um den Abstand zum Objekt zu ermitteln, werden in jedem Pixel zwei Messungen durchgeführt, bei denen die generierten Ladungen über den Zeitraum T_p ausgelesen werden. Wie aus der Abbildung 1.1 zu entnehmen, findet die Messung der Ladung Q_1 zeitgleich zum Lichtpuls statt, während die zweite Ladung Q_2 nach dem Lichtpuls gemessen wird. Hierfür werden elektronische Shutter auf Pixelebene durch Steuersignale betätigt. Umso größer die Laufzeit ΔT im Verhältnis zur Lichtdauer T_p ausfällt, desto größer ist der Anteil der Gesamtladung, welcher während des zweiten Messintervalls ausgelesen wird.

$$\frac{\Delta T}{T_p} = \frac{Q_2}{Q_1 + Q_2} \quad (1.2)$$

Anhand der Laufzeit ΔT kann der Abstand L zum Objekt wie folgt ermittelt werden:

$$L = \frac{c_0}{2} \Delta T = \frac{c_0}{2} T_p \frac{Q_2}{Q_1 + Q_2} \quad (1.3)$$

Das Umgebungslicht erzeugt während der Messungen zusätzliche Ladungen in den Pixeln, was zu einer Verfälschung der Messwerte führt. Um die falschen Messwerte zu korregieren, wird eine dritte Messung über die Dauer T_p ohne aktive Beleuchtung durchgeführt. Anhand der dritten Messung kann die Ladung Q_3 von der Ladung Q_1 und Q_2 abgezogen werden.

$$L = \frac{c_0}{2} \Delta T = \frac{c_0}{2} T_p \frac{Q_2 - Q_3}{Q_1 + Q_2 - Q_3} \quad (1.4)$$

Bei diesem Messverfahren kommt es zu zeit- und temperaturabhängigen Einschaltverzögerungen der Lichtquelle. Durch diesen zusätzlichen Fehler geht die Synchronisation zwischen

Lichtquelle und Empfangsteil mit der Zeit verloren, wodurch die elektronischen Shutter zu früh oder zu spät betätigt werden, was sich als Messfehler in den Distanzmessungen bemerkbar macht. Die Einschaltverzögerung des Lasers muss detektiert werden und anschließend über einen Time-to-Digital Converter mit den Shutter Signalen verglichen und eine erkannte Phasenverschiebung durch Konfiguration der Verzögerungselemente des Shutters und des Lasertreibers kompensiert werden. Als TDC wird eine Delay-Locked Loop mit Dekodier Logik, wie sie in Abbildung 1.2 dargestellt ist, genutzt.

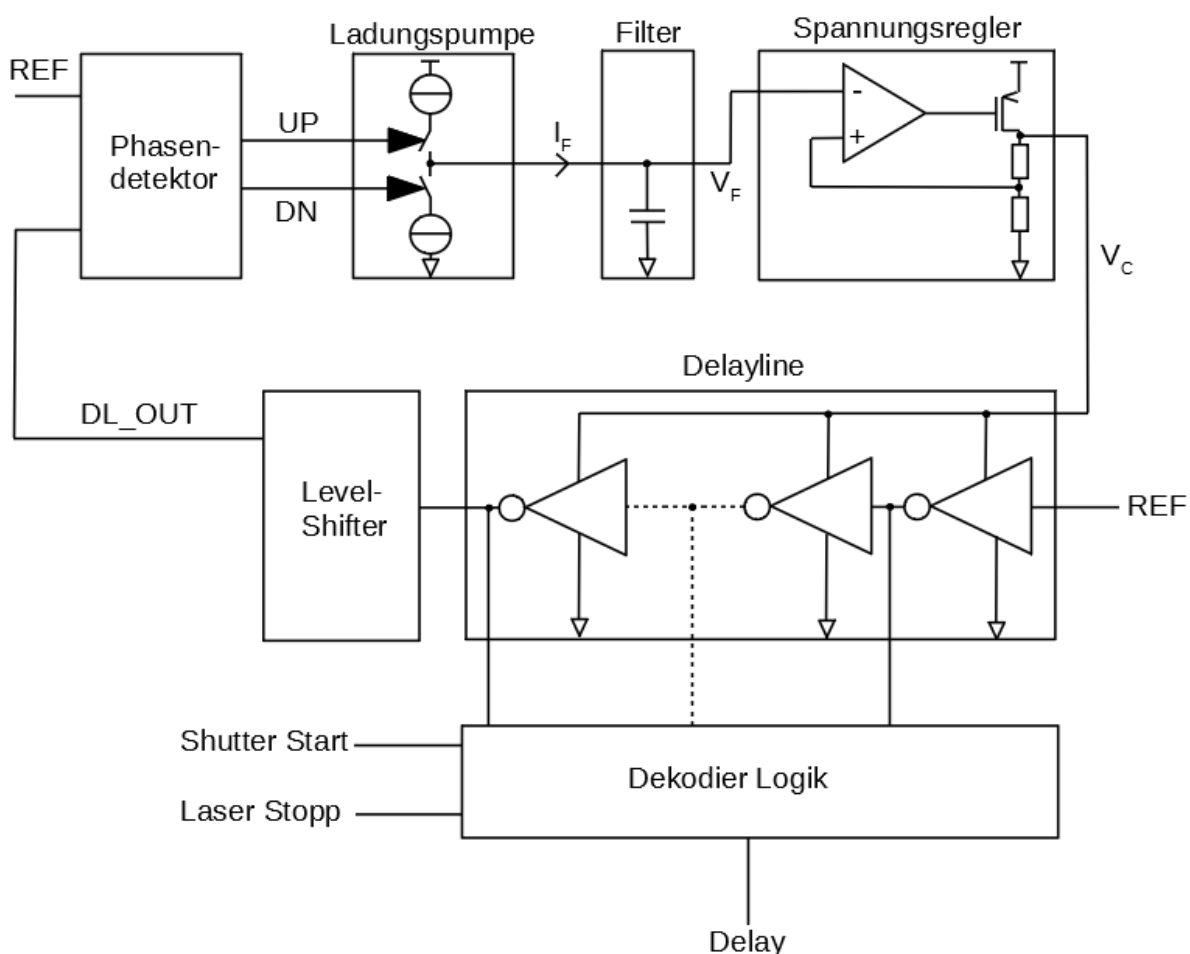


Abb. 1.2: Time-To-Digital Converter basierend auf einer Delay-Locked Loop mit Single Delayline Architektur

Die Dekodier Logik erfasst das Startsignal des Shutters und das Stoppsignal des Lasers, um die Verzögerungszeit zwischen diesen beiden Signalen an der Delayline zu dekodieren und in ein auswertbares digitales Signal überzuführen. Zusätzlich sorgt der TDC, aufgebaut mit der Local Passive Time Interpolation Struktur, für eine Verbesserung der zu detektierenden Auflösung. Durch die Nutzung von Interpolationstechniken kann die Auflösung der Delayline im TDC drastisch erhöht werden.

1.1 Zielformulierung

Im Rahmen dieser Masterthesis wird eine funktionsfähige Delay-Locked Loop für die Nutzung als Time-to-Digital Converter entwickelt. Der Kern dieser Arbeit liegt auf der Implementierung und Simulation der Einzelkomponenten bis hin zur vollständig real aufgebauten Regelschleife. Ziel ist es, verschiedene Ladungspumpen (Charge Pumps), einen Operationsverstärker für die Stromregelung innerhalb der Charge Pumps und einen Low-Dropout Spannungsregler für die Delay-Locked Loop zu entwickeln. Zusätzlich werden verschiedene Inverter-Strukturen auf ihre Eignung zur Nutzung in der Delay-Line untersucht. Die einzelnen Inverterketten werden in Bezug auf ihr Phasenrauschen und Jitter verglichen, um das Verhalten der Inverter im stationären Betriebszustand der DLL bewerten zu können.

Es soll untersucht werden, welche parasitären Einflüsse eine Charge Pump im Schaltmoment auf die Regelschleife haben kann. Durch stetige Weiterentwicklung und den Einsatz unterschiedlicher Charge-Pump-Strukturen sollen diese Einflüsse reduziert bzw. verhindert werden. Für die Umsetzung der Ladungspumpen wird der Aufbau einer Tristate- und Current-Steering Charge-Pump von der Grundschialtung auf weiterentwickelt, um parasitäre Eigenschaften durch Kompensationstechniken zu verhindern und eine Charge Pump bereitzustellen, die keine oder eine minimale Phasenverschiebung der DLL herbeiführt. Zur Kompensation dient ein Transkonduktanzverstärker, welcher die UP- und DOWN-Ströme aufeinander abstimmen soll. Um bei dieser Regelung eine hohe Genauigkeit erzielen zu können, muss ein OTA bereitgestellt werden, der unter allen Prozessvariationen und einem hohen Eingangsspannungsbereich zuverlässig seinen Arbeitspunkt hält.

Es wird ein Low-Dropout Spannungsregler entwickelt, der den Filterkondensator von der Last der Delay-Line entkoppelt. Somit kann ein stabiler und robuster Betrieb der Delay-Locked Loop ohne Spannungsschwankungen auf der Filterspannung gewährleistet werden.

Abschließend wird die reale Delay-Locked Loop im Temperaturbereich von -50°C bis 120°C und unter Variation der Transistorparameter simuliert, um den Einschwingvorgang und das Verhalten im stationären Betriebszustand zu bewerten. Hierbei gilt eventuelle Phasenverschiebungen, die durch die Delay-Locked Loop verursacht werden, zu bewerten und den maximalen Messfehler bezogen auf die Distanzmessung zu ermitteln.

2. Grundlagen

In diesem Kapitel werden die technischen Grundlagen des analogen Schaltungsentwurfs erläutert, welche für die Entwicklung und Umsetzung einer Delay-Locked Loop notwendig sind. Es wird auf die Eigenschaften und mögliche Verschaltungen von Transistoren sowie speziell auf die technischen Einflüsse einer Charge Pump eingegangen. Zusätzlich werden das Verhalten eines Regelkreises und die technischen Eigenschaften von Phasenrauschen und Jitter dargestellt.

2.1 MOS-Transistor

In der analogen Schaltungstechnik wird eine Stromquelle benötigt, die durch eine unabhängige Eingangsspannung einen Ausgangsstrom liefern kann. Ein Metall Oxid Semiconductor (MOS) der sich im Sättigungsbereich befindetet, funktioniert wie eine Stromquelle. Der Kanalstrom eines MOS-Transistors im Sättigungsbereich hängt unter Vernachlässigung der Kanallängenmodulation wie folgt von der Gate-Source Spannung U_{GS} ab:

$$I_{DS} = \frac{1}{2} \mu C_{OX} \frac{W}{L} (U_{GS} - U_T)^2 \quad \text{für } U_{DS} \geq U_{GS} - U_T \quad (2.1)$$

wobei μ die Ladungsträgerbeweglichkeit, C_{OX} die Gateoxid-Kapazität und W und L die Weite und die Länge der Gateelektrode des Transistors beschreiben. Der Transistor befindet sich im gesättigten Bereich, wenn die Drain-Source Spannung U_{DS} auf einem Wert größer als die anliegende Gate-Source Spannung U_{GS} Minus der Schwellenspannung U_T liegt. In diesem Arbeitsbereich verhält sich der Transistor wie eine über U_{GS} gesteuerte Stromquelle.

In der analogen Schaltungstechnik werden Stromspiegel genutzt, um einen Referenzstrom innerhalb der Schaltung auf einen anderen Strompfad zu spiegeln. Ein Stromspiegel besteht aus der Verschaltung zweier NMOS-Transistoren oder zweier PMOS-Transistoren.

Der Transistor M1 ist zwischen dem Gate und dem Drain kurzgeschlossen. Diese Verbindung wird Diodenverschaltung genannt. Durch diese Verschaltung ist die Spannung U_{GS} gleich der Spannung U_{DS} . Wenn diese Bedingung erfüllt wird, befindet sich der Transistor

gemäß Gleichung 2.1 immer im gesättigten Arbeitsbereich. Bei einem vorgegeben Eingangsstrom sind somit U_{GS} und U_{DS} des Transistors M1 genau definiert. Wird die Gleichung 2.1 nach den Spannungen U_{GS} und U_{DS} umgestellt, resultiert folgende Gleichung für die Spannung U_{GS} und U_{DS} des Transistors:

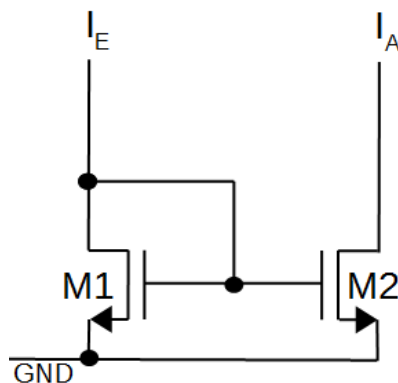


Abb. 2.1: Schaltbild eines NMOS-Stromspiegels [1]

$$U_{GS} = U_{DS} = \sqrt{\frac{2I_{DS}}{\mu C_{OX} \frac{W}{L}}} + U_T \quad (2.2)$$

Da die beiden Transistoren am Gate miteinander verbunden sind, liegt an beiden die gleiche Spannung U_{GS} an. Wird nun an M2 eine Spannung U_{DS} angelegt, als die Sättigungsspannung ist, befindet sich M2 auch im Sättigungsbereich. In diesem Fall gilt die Gleichung 2.1 sowohl für den Eingangsstrom I_E an M1, als auch für den Ausgangsstrom I_A durch M2. Durch Einsetzen der Gleichung 2.2 in Gleichung 2.1 kann Gleichung 2.3 ermittelt werden.

$$I_A = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \cdot I_E \quad (2.3)$$

Der Ausgangsstrom I_A des Stromspiegels ist abhängig von dem Weiten- zu Längen-Verhältnis der Transistoren M1 und M2. Werden diese gleich groß dimensioniert, fließt durch M2 der gleiche Strom wie durch M1. Wird M2 kleiner oder größer dimensioniert als M1, wird I_A um diesen Faktor kleiner oder größer sein. Anhand eines oder mehrerer Stromspiegel kann

der Eingangsstrom I_E beliebig vergrößert oder verkleinert und auf andere Strompfade innerhalb der Schaltung gespiegelt werden.

2.1.1 Kaskodierter Stromspiegel

Für den einfachen Stromspiegel aus Kapitel 2.1 wurde bei der Gleichung 2.1 die Kanallängenmodulation des Transistors vernachlässigt. Die Kanallängenmodulation bewirkt, dass bei einer ansteigenden Spannung U_{DS} auch der Ausgangsstrom I_A des Transistors steigt, was dazu führt, dass sich der Transistor M2 nicht mehr wie eine ideale Stromquelle verhält. Liegt am Ausgangstransistor M2 des einfachen Stromspiegels eine höhere Spannung U_{DS} als am Transistor M1 an, weicht der gespiegelte Strom von dem Eingangsstrom des Stromspiegels ab. Die Gleichung 2.4 beschreibt den Transistorstrom im Sättigungsbereich unter Berücksichtigung der Kanallängenmodulation.

$$I_{DS} = \frac{1}{2} \mu C_{OX} \frac{W}{L} (U_{GS} - U_T)^2 (1 + \lambda U_{DS}) \quad (2.4)$$

Der Parameter λ steht für die Kanallängenmodulation des Transistors. Um den Eingangsstrom des Stromspiegels exakt an den Ausgang spiegeln zu können, müssen folgende Bedingungen erfüllt sein:

$$U_{GS1} = U_{GS2} \wedge U_{DS1} = U_{DS2} \quad (2.5)$$

Die folgenden Gleichungen beschreiben den Zusammenhang zwischen dem Kanalstrom I_{DS} , der Spannung U_{DS} mit der Kanallängenmodulation λ und dem Ausgangswiderstand r_{DS} für den Fall, dass sich der Transistor im Sättigungsbereich befindet.

Die Gleichung 2.4 wird nach der Spannung U_{DS} abgeleitet, um den Ausgangsleitwert g_{DS} zu ermitteln.

$$g_{DS} = \frac{\partial I_{DS}}{\partial U_{DS}} = \frac{1}{2} \mu C_{OX} \frac{W}{L} (U_{GS} - U_T)^2 (1 + \lambda U_{DS}) \frac{\partial}{\partial U_{DS}} = I_{DS} \lambda \quad (2.6)$$

Aus dem Kehrwert des Ausgangsleitwerts g_{DS} resultiert der Ausgangswiderstand.

$$r_{DS} = \frac{1}{g_{DS}} = \frac{1}{I_{DS} \lambda} \quad (2.7)$$

Der Gleichung 2.7 ist zu entnehmen, dass sich der Ausgangswiderstand r_{DS} vergrößert, wenn der Parameter λ der Kanallängenmodulation geringer ist. Für den Parameter λ gilt:

$$\lambda = \frac{V_e}{L} \quad (2.8)$$

Mit V_e als empirischen Proportionalitätsfaktor. Demnach erhöht sich der Ausgangswiderstand bei Verlängerung der Transistorkanallänge.

Ein alternativer Ansatz für die Erhöhung des Ausgangswiderstandes eines Stromspiegels ist die Nutzung einer Reihenschaltung zweier Stromspiegel (Kaskodierung).

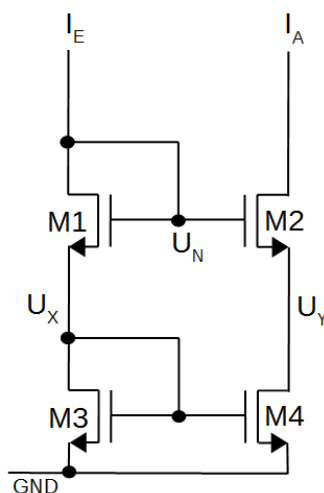


Abb. 2.2: Kaskodierung eines NMOS-Stromspiegels [2]

Durch die Kaskodierung des Stromspiegels aus Abbildung 2.2 stellen sich die Spannungsverhältnisse in der Schaltung so ein, dass die Bedingung $U_X = U_Y$ erfüllt ist. Damit diese Bedingung erfüllt werden kann, muss die Spannung U_N definiert werden. Diese Spannung setzt sich aus der Spannung U_{GS1} und der Spannung U_X zusammen.

$$U_N = U_{GS1} + U_X \quad (2.9)$$

Wird der Transistor M2 gleich dem Transistor M1 dimensioniert, resultiert an beiden Transistoren dieselbe Spannung U_{GS} , dass gilt $U_{GS1} = U_{GS2}$. Daraus lässt sich folgende Gleichung 2.10 ermitteln:

$$U_{GS1} + U_x = U_{GS2} + U_y \quad (2.10)$$

Somit resultiert aus der Bedingung von Gleichung 2.10 bei einer gleichen Dimensionierung der Transistoren M1 und M2 sowie der Transistoren M3 und M4 die nachfolgende Gleichung 2.11 für die Dimensionierung der Transistoren des kaskadierten Stromspiegels.

$$\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} = \frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_3} \Rightarrow U_{GS2} = U_{GS1} \Rightarrow U_x = U_y \quad (2.11)$$

Der Ausgangswiderstand R_{OUT} des kaskodierten Stromspiegels berechnet sich über den Ausgangsstrom I_{OUT} und die Ausgangsspannung U_{OUT} .

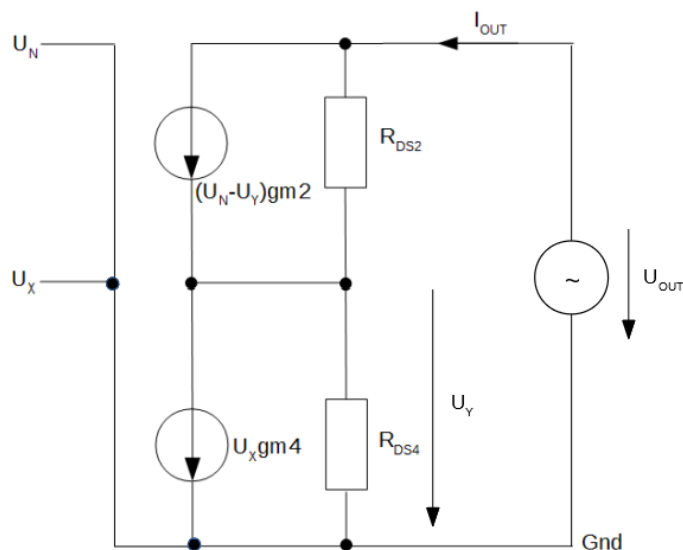


Abb. 2.3: Kleinsignal-Ersatzschaltbild kaskodierter Stromspiegel

Mit Hilfe des Kleinsignal-Ersatzschaltbildes aus der Abbildung 2.3 kann der Ausgangswiderstand R_{OUT} rechnerisch ermittelt werden.

$$R_{OUT} = \frac{U_{OUT}}{I_{OUT}} \quad (2.12)$$

Anhand des ersten Kirchhoffschen Gesetzes lassen sich folgende Gleichungen aufstellen:

$$gm_4 \cdot U_X + \frac{U_Y}{R_{DS4}} = gm_2 \cdot (U_N - U_Y) + \frac{U_{OUT} - U_Y}{R_{DS2}} \quad (2.13)$$

$$I_{OUT} = gm_2 \cdot (U_N - U_Y) + \frac{U_{OUT} - U_Y}{R_{DS2}} \quad (2.14)$$

Die Spannungen U_X und U_N können für die weitere Berechnung als konstant angenommen und somit im Kleinsignalersatzschaltbild gleich Null gesetzt werden. Gleichung 2.13 wird nach U_Y ausgeklammert, wodurch die Gleichung 2.15 resultiert.

$$U_Y = \frac{U_{OUT}}{1 + gm_2 \cdot R_{DS2} + \frac{R_{DS2}}{R_{DS4}}} \quad (2.15)$$

Durch Einsetzen der Gleichung 2.15 in Gleichung 2.13 kann der Ausgangswiderstand R_{OUT} ermittelt werden.

$$R_{OUT} = \frac{U_{OUT}}{I_{OUT}} = R_{DS2} + R_{DS4} + (gm_2 \cdot R_{DS2}) \cdot R_{DS4} \quad (2.16)$$

Unter der Näherung, dass $gm_2 \cdot R_{DS2} \gg R_{DS2}, R_{DS4}$ ist, ergibt sich folgender Zusammenhang für den Ausgangswiderstand R_{OUT} .

$$R_{OUT} = \frac{U_{OUT}}{I_{OUT}} = gm_2 \cdot R_{DS2} \cdot R_{DS4} \quad (2.17)$$

Der Ausgangswiderstand des Stromspiegels verstärkt sich um die intrinsische Verstärkung des Kaskodetransistors R_{DS2} .

2.2 Charge Pump

In der Abbildung 2.4 ist das Schaltbild einer idealen Charge Pump abgebildet. Die Ladungspumpe besteht aus zwei Stromquellen I_{UP} und I_{DN} sowie den beiden Schaltern S_{M1} und S_{M2} . Die beiden Schalter und die Stromquellen werden in einer CMOS-Schaltung durch PMOS-Transistoren für S_{M1} und I_{UP} sowie NMOS-Transistoren für S_{M2} und I_{DN} ersetzt. Die Gateelektrode dieser beiden Transistoren wird durch den Phasendetektor anhand der Signale UP und DN angesteuert. Zusätzlich zu den Schalteigenschaften von UP und DN kann die Charge Pump in den Zustand $HOLD$ geschaltet werden, wenn beide Schalter ausgeschaltet sind. Während dieses Zustandes fließt kein Strom in Richtung des Filters und die Filterspannung V_C bleibt konstant. Im Idealfall sollten beide Schalter nicht zeitgleich geschlossen sein, da sich dann I_{UP} und I_{DN} nur aufheben würden und keine Auswirkung auf den Filterkondensator haben würden. Im realen Betrieb der Regelschleife kommt es allerdings dazu, dass die beiden Signale UP und DN zeitgleich anliegen. Die Kapazitäten C_X und C_Y resultieren aus den parasitären Kapazitäten der Transistoren und zeigen, dass eine in CMOS implementierte Ladungspumpe nicht ideal betrachtet werden kann. Bei Berücksichtigung der realen Verhältnisse haben die parasitären Kapazitäten einen Einfluss auf die Spannungsknoten X und Y aus Abbildung 2.4, welche zu einer ungewollten Spannungsänderung im Schaltmoment der Transistoren auf die Filterspannung V_C und in Folge zu einer Phasenverschiebung zwischen Referenz- und Ausgangssignal der Delay-Locked Loop führt.

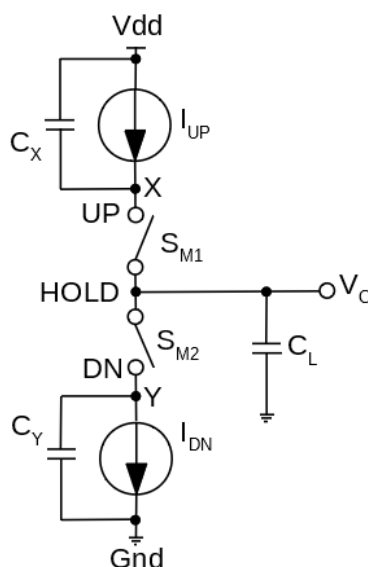


Abb. 2.4: Schaltbild Charge Pump [3]

2.2.1 Charge Sharing

Der parasitäre Effekt des Charge Sharing wirkt aufgrund der Position der Schalttransistoren innerhalb der Charge Pump direkt auf die Filterspannung. Für den Fall, dass beide Schalter S_{M1} und S_{M2} bzw. Transistoren geöffnet sind, ist die Filterspannung V_C von der Spannungsversorgung V_{dd} und dem Nullpotential Gnd abgekoppelt. Wenn beide Schalter gleichzeitig geöffnet sind, wird sich die Spannung am Knoten X am Kondensator C_X in Richtung der Versorgungsspannung V_{dd} erhöhen und die Spannung am Knoten Y am Kondensator C_Y in Richtung des Massepotentials Gnd absinken. Bei realem Schaltverhalten kann es dazu kommen, dass die Signale UP und DN zeitgleich gesetzt und die damit angesteuerten Transistoren zeitgleich geschlossen werden. Wenn beide Transistoren zur selben Zeit leitfähig sind, kommt es zu einem Ladungsaustausch zwischen den Ladungen der parasitären Kondensatoren C_X , C_Y und dem Filterkondensator C_L . Der Spannungsknoten X sinkt ab, während der Knoten Y angehoben wird, wodurch eine Spannungsschwankung auf der Filterspannung entsteht.

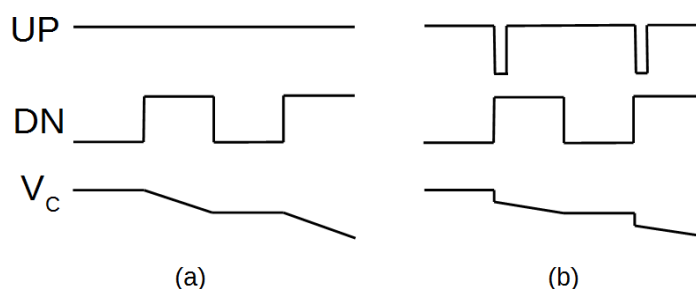


Abb. 2.5: Ausgangssignale, ideal (a) und mit Charge Sharing (b) [3]

Zur Verdeutlichung der Auswirkung des Ladungsaustausches zwischen den Kondensatoren dient die Abbildung 2.5. In (a) sind die Signale UP und DN und der Spannungsverlauf über die Filterspannung dargestellt. UP gilt bei logisch LOW als schaltend, da ein PMOS-Transistor zum Durchschalten verwendet wird. DN schaltet bei logisch HIGH einen NMOS-Transistor. In Abbildung 2.5 (a) ist UP durchgehend auf logisch LOW und DN periodisch dargestellt, wodurch im eingeschalteten Zustand von DN die Spannung V_C am Filter sinkt. Abbildung 2.5 (b) beschreibt den Einfluss des Ladungsaustausches auf die Filterspannung V_C . Sind die Signale UP und DN zeitgleich aktiv, kommt es, wie oben erwähnt, zu einem Ladungsaustausch, welcher sich durch eine abrupte Spannungsänderung am Filter zeigt.

Um das Charge Sharing zu verhindern gibt es zwei mögliche Lösungen. Die Schalttransistoren von UP und DN dürfen nicht direkt am Ausgang der Schaltung positioniert werden, sondern an einer anderen Position innerhalb der Charge Pump. Dadurch lässt sich der parasitäre Effekt auf die Ausgangsspannung verhindern. Für die zweite Lösung, wie in Abbildung 2.6 dargestellt, wird ein weiterer Strompfad mit den Schaltern S_{M3} und S_{M4} , welche mit dem invertierten Signal angesteuert werden, hinzugefügt. Zusätzlich wird ein Spannungsfolger zwischen den beiden Strompfaden geschaltet, der dafür sorgt, dass in beiden Pfaden dasselbe Spannungsniveau anliegt. Dadurch wird erreicht, dass die parasitären Kapazitäten der Schalttransistoren im Schaltmoment alle auf dem selben Spannungsniveau geladen sind und dadurch kein Ladungsaustausch zwischen den Kondensatoren stattfinden kann. Die Filterspannung erfährt somit im Schaltmoment der Transistoren keine Spannungsänderung mehr.

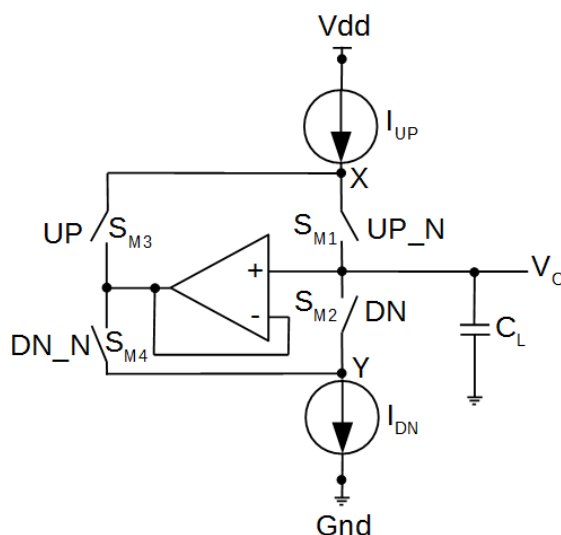


Abb. 2.6: Charge Pump mit Spannungsfolger um Charge Sharing zu verhindern [3]

2.2.2 Charge Injection / Clock Feedthrough

In der Abbildung 2.7 wird verdeutlicht, welchen Effekt Charge Injection auf die Filterspannung der Delay-Locked Loop haben kann. Wird an dem MOS-Transistor eine Spannung an die Gateelektrode angelegt, sammelt sich sowohl an der Gate-Elektrode als auch im Transistor-kanal unter dem Gateoxid eine zueinander inverse Ladung Q_K bzw. $-Q_K$ an. Diese Kanalladung wird beim Ausschalten über den Drain und Source-Anschluss des Transistors wieder abgegeben. Ist der Schalttransistor, wie in Abbildung 2.4 dargestellt, direkt an den Aus-

gang der Charge Pump platziert, hat die Kanalladung Q_K einen direkten Einfluss auf die Spannung am Filterkondensator C_L .

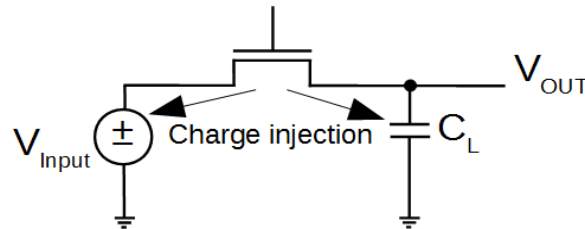


Abb. 2.7: Charge injection eines NMOS-Transistors [4]

Die Kanalladung Q_K wird über den Source- und Drainanschluss des Transistors abgegeben. Die genaue Ladungsaufteilung wird dabei von den Impedanzen beeinflusst, die an Source und Drain angeschlossen sind. Näherungsweise kann davon ausgegangen werden, dass sich die Ladung hälftig aufteilt. Somit würde eine Hälfte der Ladung auf die Eingangsspannungsquelle V_{Input} und die andere Hälfte auf den Kondensator C_L aus Abbildung 2.7 einwirken. Die Gleichung 2.18 beschreibt allgemein die Ladungsdichte im Kanal eines Transistors.

$$\dot{Q}_K = C'_{OX} \cdot (V_{GS} - V_T) \quad (2.18)$$

Die Gesamtladung im Kanal erhält man durch Multiplikation der Ladungsdichte mit der Fläche des Kanals.

$$Q_K = C'_{OX} \cdot W \cdot L \cdot (V_{GS} - V_T) \quad (2.19)$$

Nun kann die Spannungsänderung ΔV_{CL} am Filterkondensator C_L durch den Zusammenhang $Q = C \cdot U$ in die Gleichung 2.19 eingesetzt werden.

$$\Delta V_{CL} = \frac{-C'_{OX} \cdot W \cdot L \cdot (V_{GS} - U_T)}{2C_L} \quad (2.20)$$

Die Gleichung 2.20 wird auf die Abbildung 2.7 bezogen, in der das Gatepotential des NMOS-Transistors auf der Versorgungsspannung V_{dd} und das Sourcepotential auf der Eingangsspannung V_{Input} liegt, wodurch sich der folgende Ausdruck ergibt.

$$\Delta V_{CL} = \frac{-C'_{OX} \cdot W \cdot L \cdot (V_{dd} - V_{Input} - U_T)}{2C_L} \quad (2.21)$$

Die Spannungsveränderung ΔV_{CL} , die auf den Filterkondensator C_L wirkt, ist abhängig von der Eingangsspannung am Gate des Transistors, die sich zwischen der Versorgungsspannung und Masse periodisch bewegt, sowie von der Schwellenspannung U_T des Transistors. Um keine Einwirkung des Charge Injection auf die Filterspannung zu haben, sollten die Schalttransistoren nicht am Ausgang der Charge Pump angeschlossen sein.

Neben den parasitären Effekten Charge-Sharing und Charge Injection gibt es auch das kapazitive Feedthrough. Abbildung 2.8 verdeutlicht diesen Effekt anhand eines MOS-Transistors und dessen Gate-Source bzw. Gate-Drain-Kapazität. Wird der Transistor im Arbeitsbereich der schwachen Inversion betrieben und schaltet das Eingangssignal von logisch LOW auf logisch HIGH, kann das Taktsignal über die Kapazitäten C_{GD} und C_{GS} direkt auf V_{Input} und C_L einwirken. Der Kondensator C_{GD} bildet mit dem Filterkondensator C_L einen kapazitiven Spannungsteiler, welcher bei Spannungspulsen an der Gate-Elektrode zu Spannungsänderung an V_{OUT} führt. Ist der Transistor allerdings geschaltet, wird der Filterkondensator auf das Spannungsniveau der Eingangsspannungsquelle aufgeladen und das Clock Feedthrough hat keine Wirkung.

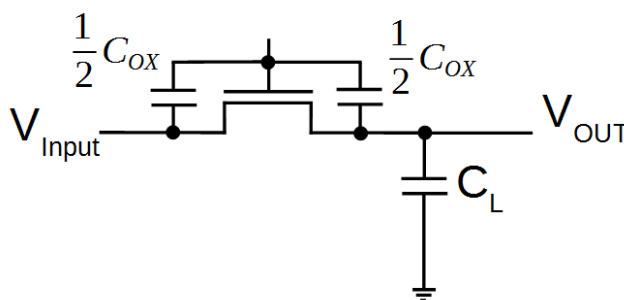


Abb. 2.8: Clock Feedthrough [5]

Die Gleichung 2.22 resultiert aus dem kapazitiven Spannungsteiler mit der Filterkapazität C_L , über den ein Teil des Eingangstaktes auf die Filterspannung wirkt,

$$\Delta V_{CL} = \frac{C_o}{C_o + C_L} \cdot V_{dd} \quad (2.22)$$

wobei C_0 die Kapazität darstellt, welche das Gate des Transistors mit C_L verbindet

$$C_0 = C'_{ox} \cdot W \cdot LD \quad (2.23)$$

und LD die Länge des Überlappbereiches zwischen Gate und Drain darstellt.

Einer der am häufigsten genutzten Lösungen zur Reduzierung von Charge Injection und Clock Feedthrough ist in Abbildung 2.9 abgebildet und beschreibt das Einsetzen eines Dummy Transistors, welcher über seinen Drain- und Sourceanschluss kurzgeschlossen und in Serie zu dem zu schaltenden Transistor platziert ist.

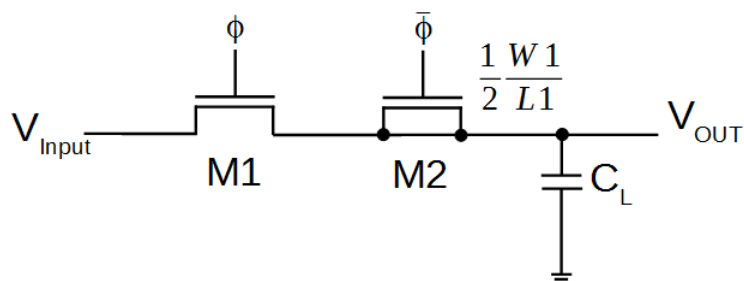


Abb. 2.9: Dummy Transistor Schaltung zur Reduzierung von Charge Injection und Clock Feedthrough [5]

Durch das Kurzschließen der Anschlüsse arbeitet der Transistor M2 wie ein Kondensator. Wie bereits erklärt, wird jeweils die Hälfte der Kanalladung von M1 im Ausschaltmoment zu V_{Input} und M2 umgeladen. Während die Ladung vorher auf C_L einwirken konnte, wird diese nun von dem mit dem inversen Taktsignal angesteuerten Transistor M2 aufgefangen, da dieser im Ausschaltmoment von M1 leitfähig wird. Da nur die Hälfte der Kanalladung von M1 in Richtung von M2 abgegeben wird, kann M2 halb so groß dimensioniert werden wie M1. Der Effekt der Charge Injection von M2 im Ausschaltmoment wird aufgehoben, da in diesem Moment M1 leitfähig ist und C_L über V_{Input} geladen wird und die abgegebene Kanalladung von M2 keine Auswirkung auf C_L hat.

2.2.3 Fehlanpassung in Charge Pumps

Ein weiterer Aspekt, der beim Design einer Charge Pump neben denen der parasitären Einwirkungen auf den Ausgang berücksichtigt werden muss, sind Fehlanpassungen innerhalb der Schaltung, welche durch nicht exakt identische Ströme I_{UP} und I_{DN} sowie einer Verzögerung zwischen den Signalen UP und DN hervorgerufen werden. Diese Fehlanpassungen führen zu einer nicht gewollten Verzögerungszeit im eingeschwungenen Zustand der Delay-Line. Dadurch stellt sich die Delay-Line nicht auf den anliegenden Referenztakt ein, sondern auf den Referenztakt plus oder minus der Verzögerungszeit, welche durch die Fehlanpassungen innerhalb der Charge Pump hervorgerufen wird. Der Grund für das Entstehen der nicht gewollten Verzögerung kann dadurch erklärt werden, dass die Filterspannung der Delay-Locked Loop im eingeschwungenen Zustand nicht konstant gehalten wird. Die Ladezeit muss exakt mit der Entladezeit am Kondensator übereinstimmen, um keine Schwankung am Filter zu haben. Dieser Zusammenhang wird in Gleichung 2.24 beschrieben,

$$Q_{Laden} = I_{UP} \cdot t_{UP} = Q_{Entladen} = I_{DN} \cdot t_{DN} \tag{2.24}$$

wobei t_{UP} und t_{DN} für die Lade- und Entladezeiten während des UP- und DN-Signals stehen. Sind die Ströme I_{UP} und I_{DN} nicht gleich groß, werden nach Gleichung 2.24 die Lade- bzw. Entladezeit angepasst, um die gleiche Menge an Ladung beizubehalten. Diese unterschiedlichen Zeiten resultieren allerdings in einer Phasenverschiebung, die am Phasendetektor der Delay-Locked Loop sichtbar wird. In Abbildung 2.10 ist der zeitliche Verlauf bei unterschiedlichen Strömen dargestellt.

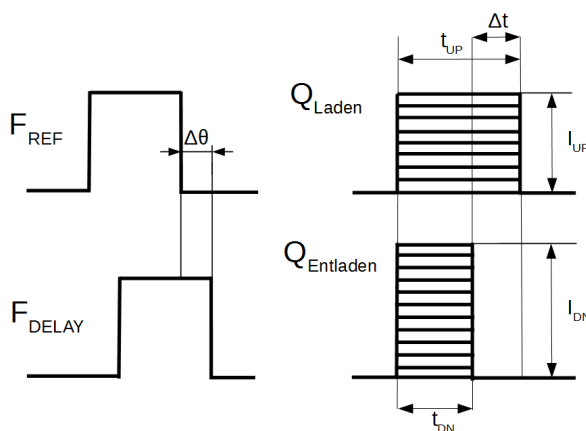


Abb. 2.10: Fehlanpassung in Charge Pump Schaltungen [3]

In der Abbildung 2.10 ist eine Verzögerung zwischen den beiden Taktfrequenzen F_{REF} und F_{DELAY} aufgrund von nicht exakt gleichen Strömen dargestellt. Der Entladestrom I_{DN} weist einen höheren Wert als der Ladestrom I_{UP} auf, weshalb F_{DELAY} dem Referenztakt nachhinkt. Durch den Phasenvergleich am Eingang des Phasendetektors versucht dieser die Phasendifferenz durch einen längeren Ladestrom I_{UP} nach der Gleichung 2.24 auszugleichen. Dieser Verlauf stellt sich im eingeschwungenen Zustand der DLL ein und kann deshalb nicht vom Phasendetektor ausgeglichen werden, wodurch eine ständige Beeinflussung der Filterspannung entsteht. Basierend auf den Erkenntnissen der parasitären Einwirkungen und der Fehlanpassungen können folgende Designkriterien zusammengefasst werden:

- Charge Sharing muss verhindert werden.
- Der Einfluss von Charge Injection und Clock Feedthrough muss beschränkt werden.
- Die Ströme I_{UP} und I_{DN} , sowie die Verzögerungszeit zwischen den Signalen UP und DN müssen aufeinander angepasst werden.

2.3 Charge Pump Grundschaltungen

Im Kapitel 2.2 wurde auf die grundsätzliche Funktionsweise einer Charge Pump innerhalb einer Delay-Locked Loop und deren negative Einflüsse aufgrund von parasitären Effekten und Fehlanpassungen des Stroms eingegangen. In diesem Kapitel werden zwei in der Praxis umsetzbare Grundschaltungen von Charge Pumps besprochen. Der erste Charge Pump-Typ wird als Tristate-Charge Pump bezeichnet und basiert auf dem Stromspiegel-Prinzip. Der zweite Typ nennt sich Current Steering-Charge Pump, auch Stromwaage genannt, welcher aus einem differentiellen Strompfad besteht.

2.3.1 Tristate-Charge Pump (Stromspiegel)

Die Tristate-Charge Pump basiert auf der Abbildung 2.4 aus dem Kapitel 2.2. Die Transistoren, welche zuerst als Schalter S_{M1} und S_{M2} gekennzeichnet waren, werden nun durch die Schalttransistoren M5 und M6 ersetzt. Da M5 ein PMOS-Transistor ist, wird dieser mit dem invertierten Signal zu UP , also UP_N , angesteuert. Um den Strompfad für den Entladestrom zu schließen, wird der Transistor M6 mit dem DN-Signal des Phasendetektors angesteuert. Die Stromquellen aus Abbildung 2.4 werden durch die Transistoren M4 und M7 ersetzt. Die Stromstärke von I_{UP} und I_{DN} wird über die Stromspiegelschaltung bestehend aus Transistor M1, M2 und M3 vorgegeben.

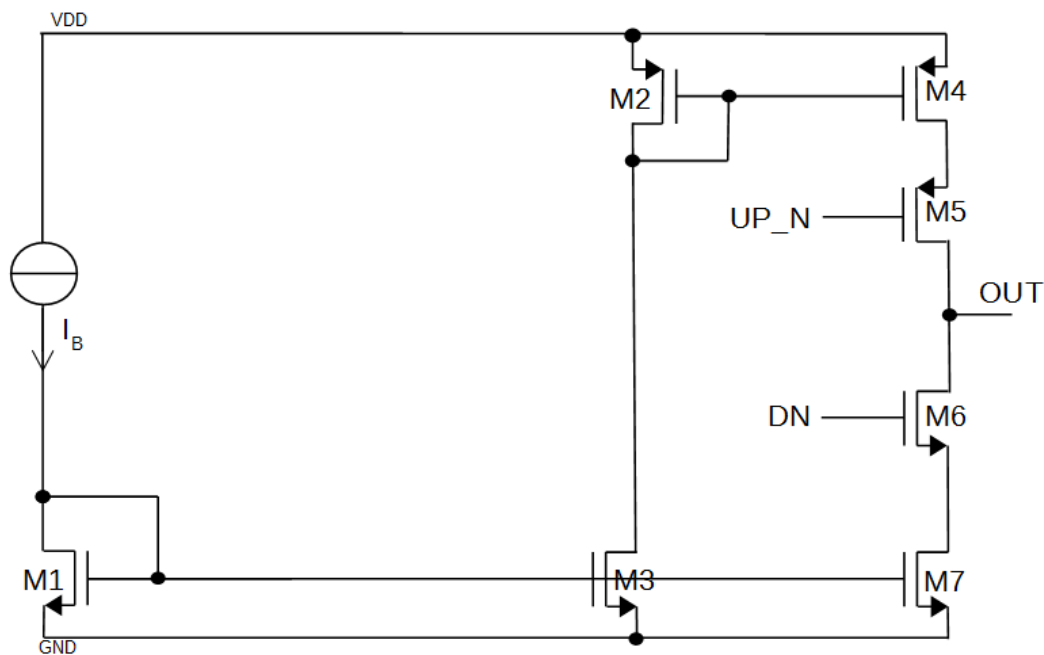


Abb. 2.11: Grundschtaltung einer Tristate Charge Pump

2.3.2 Current Steering-Charge Pump (Stromwaage)

Eine Charge Pump kann auch, wie nachfolgend in Abbildung 2.12 abgebildet, durch einen differentiellen Strompfad realisiert werden. Ähnlich zu der Tristate-Charge Pump wird auch der Betriebsstrom I_B über die Stromspiegelschaltung von M1, M2 und M3 an die Transistoren M4 und M9 gespiegelt. Für die Umsetzung der Current Steering (Stromwaage) Charge Pump müssen die Schaltsignale UP und DN auch mit ihren invertierten Signalen UP_N und DN_N vorliegen. Im rechten Strompfad wird der Transistor M7 mit dem invertierten Signal UP_N angesteuert, um über den PMOS-Transistor den Loopfilter mit dem Strom I_{UP} zu versorgen. Mit Hilfe des DN-Signals am Transistor M8 lässt sich durch den Strom I_{DN} Ladung vom Loopfilter entfernen. Dieser Charge Pump Aufbau verfügt über einen dauerhaften Stromfluss im differentiellen Ausgangspfad und kann dadurch eine schnellere Schaltgeschwindigkeit erreichen als eine Tristate-Charge Pump. Wenn die parasitären Effekte der Charge-Injection und Clock Feedthrough auf die Filterspannung bei dieser Charge Pump kompensiert werden, ist eine wesentlich geringere Phasenverschiebung im eingeschwungenen Betrieb der Delay-Locked Loop als bei einer Tristate-Charge Pump zu erwarten.

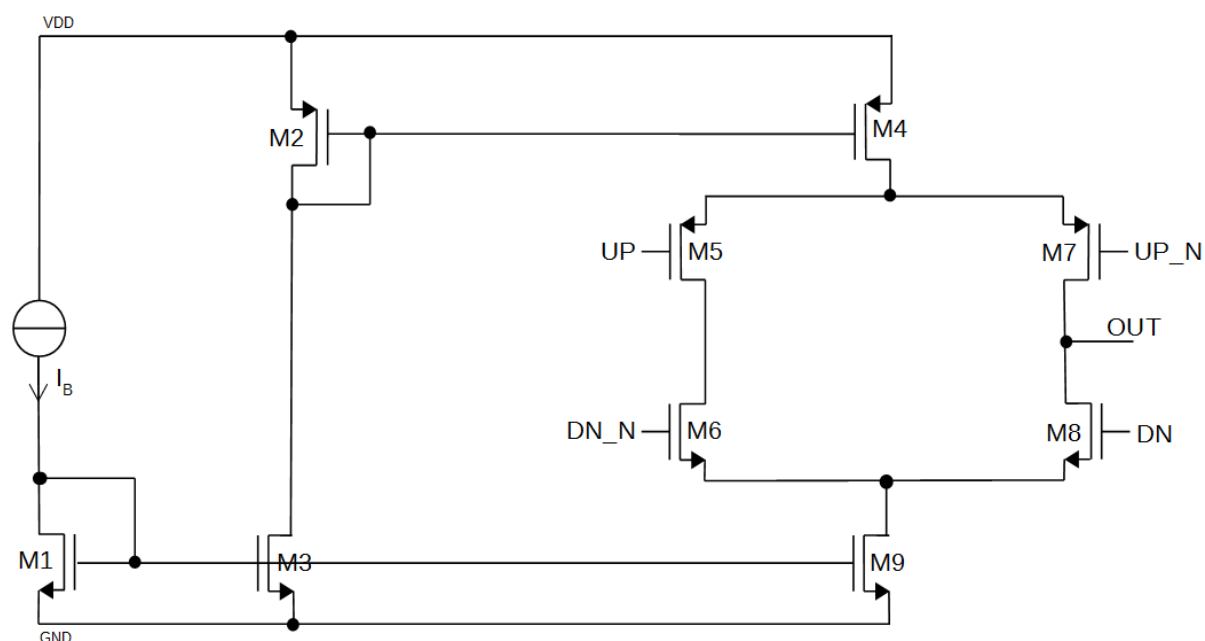


Abb. 2.12: Grundschtung einer Current Steering Charge Pump

Beide Charge Pump Grundschtungen können nach dem beschriebenen Aufbau realisiert werden. Allerdings müssen zusätzlich noch einige Modifikationen vorgenommen werden, um die Stromspiegelgenauigkeit zu erhöhen und die parasitären Effekte auf die Filterspannung, die Stromstärke und die Verzögerungen zwischen den Schaltsignalen zu beseitigen.

2.4 Verhalten eines Regelkreises

In der analogen Schaltungstechnik finden Schaltungen mit einem Regelkreis ein häufiges Anwendungsgebiet. Die Verwendung eines Regelkreises erlaubt einen präzisen Arbeitsbereich trotz äußerer Einflüsse. Grundsätzlich beschreibt ein Regelkreis eine negative Rückführung. Je nach Implementierung der zu regelnden Schaltung können mehrere Polstellen auf das Verhalten des Reglers einwirken und diesen instabil machen. In dem nachfolgenden Kapitel wird auf die negative Rückführung eines Regelkreises und das Stabilitätskriterium eingegangen. Es wird erläutert, wie die Phasenreserve eines Reglers ermittelt werden kann.

2.4.1 Stabilitätskriterium

In Abbildung 2.13 ist eine negative Rückkopplung eines Regelkreises dargestellt. Das Ausgangssignal $Y(s)$ wird über β und dem Summationsglied auf das Eingangssignal $X(s)$ rückgeführt. Das Summationsglied vergleicht das Ausgangssignal mit dem Eingangssignal und leitet die Signaldifferenz an die Regelstrecke $H(s)$ weiter.

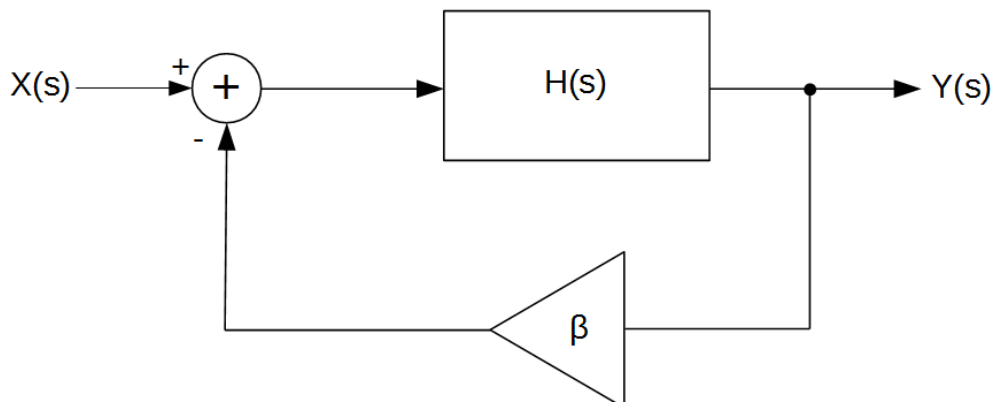


Abb. 2.13: Negative Rückkopplung eines Regelkreises [6]

Aus der Abbildung 2.13 kann die Übertragungsfunktion für den geschlossenen Regelkreis ermittelt werden.

$$\frac{Y(s)}{X(s)} = \frac{H(s)}{1 + \beta H(s)} \quad (2.25)$$

Dabei gilt für die Übertragungsfunktion des offenen Regelkreises:

$$F_0(s) = \beta \cdot H(s) \quad (2.26)$$

Wenn die Übertragungsfunktion des offenen Regelkreises $F_0(s)$ den Wert -1 annimmt, wird der Nenner der Übertragungsfunktion des geschlossenen Regelkreises 0 und die Verstärkung steigt ins Unendliche. In diesem Fall würde der Regler oszillieren und ein instabiles Verhalten aufweisen. Die Stelle, an der der offene Regelkreis $F_0(s)$ den Wert -1 erhält, wird zur Darstellung im Bode-Diagramm mit Betrag in der Einheit Dezibel und der Phasendrehung in Grad dargestellt.

$$|\beta H(j\omega_1)| = 1 \quad (2.27)$$

$$|\beta H(j\omega_1)_{20dB}| = 20 \text{ dB} \log(1) = 0 \text{ dB} \quad (2.28)$$

Aus den Gleichungen 2.27 und 2.28 kann ermittelt werden, dass der Punkt $-1 + j \cdot 0$ aus der komplexen Ebene im Bode-Diagramm auf die 0dB-Linie bei einer Phasendrehung von -180° entspricht.

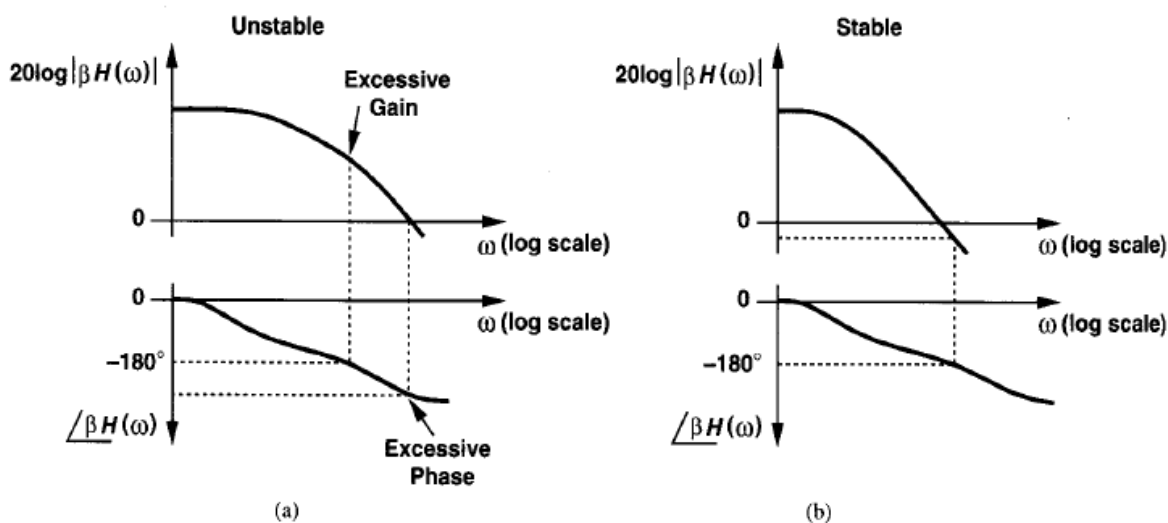


Abb. 2.14: Bode-Diagramm für a) instabil und b) stabil [6]

In Abbildung 2.14 ist ein Bode-Diagramm für ein instabiles (a) und ein stabiles System (b) dargestellt. Der Amplituden- und Phasengang des Reglers wird logarithmisch über die Frequenz ω aufgetragen. Ein Regler ist stabil, wenn der Amplitudengang seinen 0dB Durchgang durchlaufen hat, bevor eine Phasendrehung von -180° erreicht wurde. Die Phasendifferenz zwischen dem Punkt, bei dem der Amplitudengang die 0dB-Linie durchläuft und der Phasendrehung von -180° wird Phasenreserve genannt. Da ein Regler in den meisten Fällen ein mehrpoliges System ist, können die Pole dafür sorgen, dass die Phasendrehung von -180° vor dem Durchlauf der 0dB-Linie erreicht wird. Jeder Pol einer Schaltung bewirkt eine Phasendrehung von -90° . Schon bei Vorhandensein von zwei Polen in einer Schaltung, die bei ähnlichen Frequenzen liegen, kann der Regler instabil werden. Ein Regler mit nur einem Pol kann als strukturstabil beschrieben werden, da dieser keine Phasendrehung von -180° erreichen kann. Durch das gezielte Einsetzen von Kapazitäten innerhalb der Schaltung kann die Frequenz, welche auf den Pol im Nenner der Übertragungsfunktion wirkt, zu einer tieferen Frequenz verschoben werden, um eine höhere Phasenreserve des Reglers zu erreichen. Reicht eine sogenannte Miller-Kompensation mit einer Kapazität nicht aus, kann dem Regler eine Nullstelle beigefügt werden. Eine Nullstelle wird mit einem ohmschen Widerstand in Reihe zu der Kapazität eingesetzt und bewirkt eine positive Phasendrehung um 90° . Durch geschickte Wahl der Kapazität und des Widerstands kann ein Pol durch eine Nullstelle kompensiert und der Regler stabilisiert werden.

2.5 Rauschen von MOS-Transistoren

In diesem Kapitel wird auf die Rauscheigenschaften eines MOS-Transistors eingegangen. Nachfolgend wird das thermische Rauschen (White Noise) und das 1/f-Rauschen (Flicker Noise) erklärt, um das Verhalten eines Inverters im Frequenzbereich und im Zeitbereich anhand von Phasenrauschen und Jitter bewerten zu können. Da die Inverterkette innerhalb der Delay-Locked Loop ähnlich wie bei einer Phase-Locked Loop als Ringoszillator beschrieben wird, kann die Oszillatorfrequenz innerhalb der Kette durch Rauschquellen variieren. Als Rauschquellen dienen die Transistoren innerhalb der Inverter Struktur.

2.5.1 Thermisches Rauschen

Thermisches Rauschen entsteht durch die thermische Bewegung von Elektronen in einem elektrischen Leiter. Die Elektronen befinden sich nur am absoluten Nullpunkt bei einer Temperatur von 0° Kelvin in einer Ruhelage. Oberhalb des absoluten Nullpunkts befinden sich die Atomteilchen allerdings in einer stetigen unregelmäßigen Bewegung, die mit ansteigender Temperatur zunimmt. Dadurch entstehen im Werkstoff statisch verteilt Ladungsverschiebungen, welche an den Anschlüssen eines ohmschen Widerstandes als thermische Rauschspannung messbar sind. Daraus kann das Leistungsdichtespektrum der Rauschspannung eines Widerstands ermittelt werden,

$$S_{UR}(f) = 4 k_B \cdot T \cdot R \cdot \Delta f \quad (2.29)$$

wobei k_B die Boltzmannkonstante, T die absolute Temperatur in Kelvin und R den Widerstandswert darstellt. Das Leistungsdichtespektrum $S_{UR}(f)$ ist über die Frequenz konstant, wenn die Frequenz eindeutig kleiner ist als die Energie aus Multiplikation der Boltzmannkonstante k_B und der Temperatur T . Bei einem MOS-Transistor stellt der leitende Kanal die Rauschquelle für das thermische Rauschen da. In starker Inversion und Sättigung gilt für die spektrale Rauschleistungsdichte S_i des Transistorstromes S_{thi} die nachfolgende Gleichung. [7]

$$S_{thi} = \frac{8}{3} \cdot k_B \cdot T \cdot gm \quad (2.30)$$

Bezogen auf die Gate-Spannung gilt für die spektrale Rauschleistungsdichte des thermischen Rauschens.

2.5.2 1/f-Rauschen

Das 1/f-Rauschen wird auch als Flickerrauschen (eng. flicker noise) bezeichnet und definiert sich über einen 1/f-Verlauf im Leistungsdichtespektrum. Diese Art von Rauschen dominiert bei kleinen Frequenzen bis zu 10 kHz. Im Amplituden-Frequenzspektrum verdeutlicht sich das 1/f-Rauschen durch eine Reduktion der Leistungsdichte von 3 dB pro Oktave oder 30 dB pro Dekade. Das Flickerrauschen setzt einen Stromfluss im Transistor voraus und ist die dominante Rauschquelle bei Oszillatoren. Die Entstehung dieser Art von Rauschen kann bis heute nicht vollständig erklärt werden. Jedoch gibt es einzelne Theorien, welche die Schwankungen in der Zahl der freien Ladungsträger im Leitungsband von Halbleitern dafür verantwortlich machen. Bei MOS-Transistoren existieren sogenannte Haftstellen und Kristallgitterstörungen zwischen dem SiO₂-Isolator und dem Si-Kanal, wodurch das Verhalten beschrieben werden kann. In diesem Fall sollen Ladungsträger kurzzeitig anhaften und wieder freigegeben werden. Das Leistungsdichtespektrum $S_{fi}(f)$ des Transistorstromes verhält sich somit antiproportional zur Frequenz f und kann wie folgt beschrieben werden:

$$S_{fi}(f) = \frac{K_F \cdot I_{DS}}{(C_{OX} \cdot L^2 \cdot f)} \quad (2.31)$$

Für die spektrale Flicker Rauschleistungsdichte bezogen auf das Gate des Transistors gilt:

$$S_{fu}(f) = \frac{K_F}{(2 \cdot \mu \cdot C_{OX}^2 \cdot W \cdot L \cdot f)} \quad (2.32)$$

Im realen Betrieb äußert sich der Einfluss eines durch 1/f-Rauschen beeinflusstes Signal in einem unregelmäßig zitternden Verlauf der Flanke um die eigentliche Position. Daher stammt die Bezeichnung Flickerrauschen bzw. Funkelrauschen. [8]

2.5.3 Phasenrauschen

Das Phasenrauschen beschreibt die Abweichung zwischen der theoretischen und der realen Phasenlage bzw. dem Nulldurchgang einer harmonischen Schwingung im Frequenzbereich, um die Rauschleistungsdichte eines Oszillators bewerten zu können. Ein Oszillator kann neben einer anliegenden Referenzfrequenz auch unerwünschte Spektralanteile aufweisen, welche sich auf dem periodischen Signal als Phasenrauschen ausdrücken. Nachfolgend wird

eine Gleichung aufgestellt, um die Schwingung eines idealen Oszillator ohne Störung mit fester Amplitude zu beschreiben,

$$V(t) = A \cdot \cos[\omega_0 \cdot t + \phi_0] \quad (2.33)$$

wobei der Faktor A die Amplitude der Schwingung und ϕ_0 die Phasenverschiebung darstellt. Ein rauschender Oszillator verfügt über eine zeitlich veränderbare Amplitude und Phasenlage und kann wie folgt definiert werden:

$$V(t) = A(t) \cdot \cos[\omega_0 \cdot t + \phi(t)] \quad (2.34)$$

Durch das Phasenrauschen wird die harmonische Frequenz spektral aufgeweitet, wodurch sich die Phasenlage zufällig ändern kann und somit eine Differenz zwischen der idealen und der realen Oszillation entsteht. Das Phasenrauschen wird in Form eines Leistungsdichtespektrums dargestellt. Dieses Spektrum wird über eine logarithmische Darstellung bezogen auf die Leistung der Trägerwelle f_{OSC} in dBc/Hz (dBCarrier/Hz) angegeben. Die Rauschleistung nimmt aufgrund von zufälligen Variationen der harmonischen Schwingung Frequenzwerte im Spektrum an, die höher oder niedriger als die Carrierfrequenz f_{OSC} liegen können.

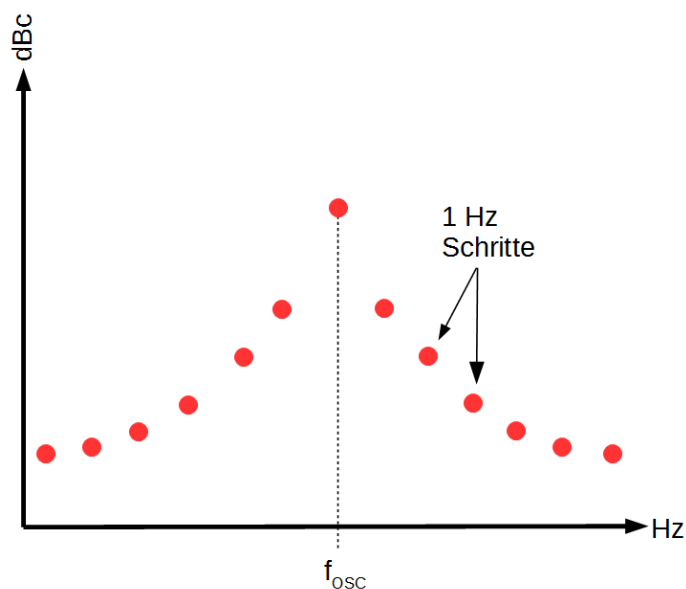


Abb. 2.15: Leistungsdichtespektrum 1 Hz Bandpass [9]

In der Abbildung 2.15 sind die Variationen der Phasenlage grafisch durch die roten Punkte dargestellt. Diese werden durch einen Bandpassfilter mit einer Bandbreite von 1 Hz von der

Carrierfrequenz abweichend detektiert. Spektrale Anteile, die die bei Frequenzen oberhalb f_{osc} liegen, beschreiben das obere Seitenband und spektrale Anteile, die unterhalb der Oszillationsfrequenz liegen das untere Seitenband. Um das Phasenrauschen eines Oszillators zu bewerten, wird beispielhaft das obere Seitenband abgetastet, welches im realen Fall einen $1/f$ -Verlauf oder einen horizontalen Verlauf annehmen kann, immer abhängig davon welche Art von Rauschquelle dominant ist. Das Phasenrauschen $L(f)$ im oberen Seitenband beschreibt das Verhältnis der Rauschleistung zur Signalleistung bei der Trägerfrequenz mit 1 Hz Bandbreite und einem Offset von $\omega = 2\pi f$, welches wie folgt beschrieben werden kann:

$$L(f) = \left(\frac{V_{sb}}{A}\right)^2 = \frac{\theta_p^2}{4} = \frac{\theta_{rms}^2}{2} \quad \text{mit} \quad \theta_p = \Delta\omega/\omega \quad (2.35)$$

während V_{sb} die Ausgangsspannung des Oszillators, A die Verstärkung und θ_p die Spitzenphasenabweichung darstellt. Nachfolgend ist in Abbildung 2.16 das Leistungsdichtespektrum eines Oszillators mit geschlossener Rückkopplung dargestellt. Der Verlauf des Spektrums beginnt mit einem Abfall von $-30 \text{ dB/dec}(f^{-3})$, welcher durch das Flickerrauschen ($1/f$ -Rauschen) verursacht wird. Ein weiterer Abfall wird ab der Frequenz f_1 mit $-20 \text{ dB/dec}(f^{-2})$ verzeichnet, wo weißes Rauschen (thermisches Rauschen) und ein Zufallsrauschen der Phase vorliegt.

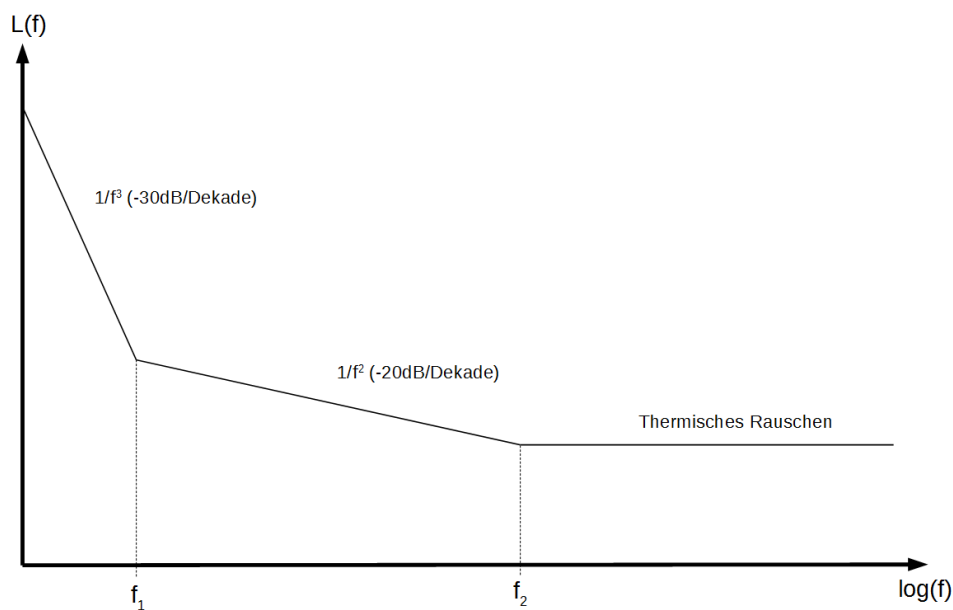


Abb. 2.16: Leistungsdichtespektrum des Phasenrauschmodells eines Oszillators [10]

Ab der Frequenz f_2 dominiert das thermische Rauschen. Für die Auswertung des Phasenrauschens werden die Bereiche aus der Abbildung 2.16 durch Abtastung in 1 Hz Schritten in Koeffizienten aufgeteilt und logarithmisch ausgewertet.

$$L(f) = 10 \cdot \log \left\{ \frac{a_3}{f^3} + \frac{a_2}{f^2} + \frac{a_1}{f} + a_0 \right\} \quad (2.36)$$

Um die Rauschleistung eines Oszillators über den Verlauf des Phasenrauschens bezogen auf die Bandbreite ermitteln zu können, beschreibt die folgende Gleichung das thermische Verhalten der Ladungsträger in einem Leiter oder Halbleiter.

$$P_{osc} = k \cdot T \cdot \Delta f \quad (2.37)$$

Dabei beschreibt $k = 1,38 \cdot 10^{-23} \text{ J/K}$ die Boltzmann-Konstante, T die Temperatur in Kelvin und Δf die Rauschbandbreite. Die Temperatur kann für Raumtemperatur als 300 K angenommen werden. Da die Rauschleistung mit einer Bandbreite Δf von 1 Hz über einen logarithmischen Verlauf abgetastet wird, kann die Rauschleistung bei Raumtemperatur und einer angenommenen Ausgangsleistung des Oszillators P_{osc} von zum Beispiel 1 mW wie folgt umgerechnet werden:

$$10 \cdot \log \left(\frac{1,38 \cdot 10^{-23} \text{ J/K} \cdot 300 \text{ K} \cdot 1 \text{ Hz}}{1 \text{ mW}} \right) \text{ dBm} \approx -174 \text{ dBm} \quad (2.38)$$

Somit hätte ein Oszillator mit einer Ausgangsleistung von 1 mW eine Rauschleistung von -174 dBm. Durch die Gleichung 2.38 lassen sich zudem die Simulationsergebnisse der Inverterstrukturen besser interpretieren sowie die Rauschleistung in die Ausgangsleistung des Oszillators umrechnen. Dadurch kann die Ausgangsleistung über den Frequenzbereich des Phasenrauschens ermittelt werden. [11]

2.5.4 Jitter

Das Jitter beschreibt die zeitliche Änderung der Periodendauer im Zeitbereich des Oszillatorsignals und ist direkt mit dem Phasenrauschen verknüpft. Die Phasenvariationen im Frequenzbereich durch das Phasenrauschen verursachen Instabilitäten im Zeitbereich, welche als Jitter bezeichnet werden. Jitter ist eine Methode zur Beschreibung der Stabilität eines Oszillators im Zeitbereich und zeigt die Wirkung einer Rauschquelle in Bezug auf die Zeitachse.

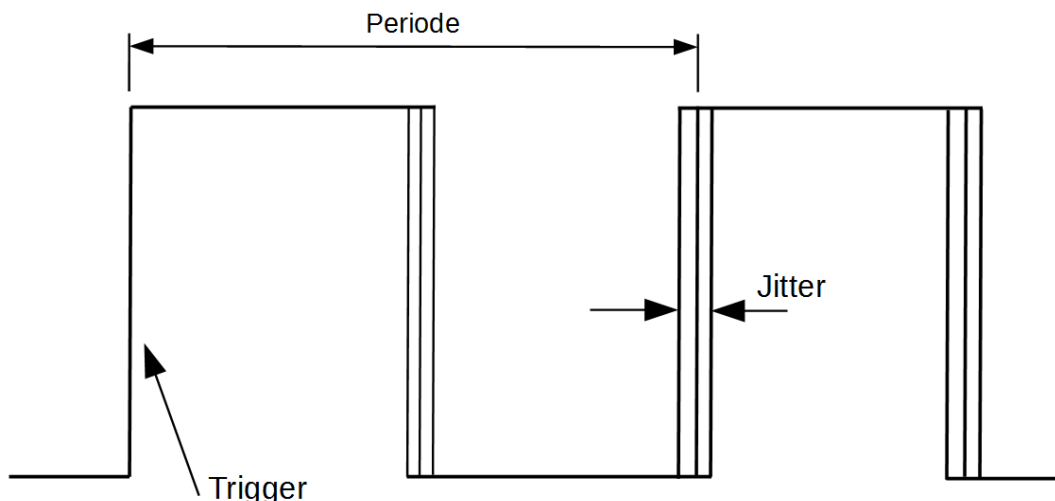


Abb. 2.17: Darstellung des Jitters im Zeitbereich anhand einer Periode [12]

Die Abbildung 2.17 verdeutlicht die Fluktuationen der Phase aus dem Frequenzbereich im Zeitbereich als Jitter. Es ist zu sehen, dass die Periode des Oszillatorsignals aufgrund von Phasenrauschen eine zeitliche Änderung erfährt. Somit kann der reale zeitliche Verlauf kleiner oder größer als der ideale Verlauf ausfallen.

Aus dem Phasenoise-Verlauf des Oszillators kann das Jitter ermittelt werden. Das zeitliche Jitter beschreibt die Standardabweichung des zeitlichen Signals. Das Jitter ist die Quadratwurzel von der Variation (Standardabweichung) zwischen zwei Taktflanken innerhalb eines Intervalls mit $\tau = N \cdot T_0$, wobei T_0 die ideale Periodendauer und N die Abweichung beschreibt. Es kann wie folgt anhand der Variation der Phase im Leistungsspektrum der Zeitintervall Fehler σ_{TIE} beschrieben werden:

$$\sigma_{TIE}^2(\tau) = \frac{2}{\omega_0^2} [R_\phi(0) - R_\phi(\tau)] \tag{2.39}$$

Die Taktflanke $R_\phi(\tau)$ beschreibt den zeitlichen Versatz zur idealen Periodendauer und kann nachfolgend als doppelseitiges Leistungsspektrum der Phasenvariation $S_\phi(\omega)$ oder durch eine Fourier-Transformation als $L(f)$ für das einseitige Phasenrauschen definiert werden.

$$R_\phi(\tau) = \frac{1}{2\pi} \int_{-\infty}^{\infty} S_\phi(\omega) e^{j\omega\tau} d\omega = 2 \int_0^{\infty} L(f) \cos(2\pi f \tau) df \tag{2.40}$$

Für $\tau = 0$ gilt folgender Zusammenhang:

$$R_{\phi}(0) \equiv 2 \int_0^{\infty} L(f) df \quad (2.41)$$

Durch einsetzen der Gleichung 2.40 und Gleichung 2.41 in die Gleichung 2.39 kann nachfolgend die Beschreibung des zeitlichen Jitters zwischen zwei Signalfanken ermittelt werden.

$$\sigma_{TE}(\tau) = \frac{2}{\omega_0} \sqrt{2 \int_0^{\infty} L(f) \sin^2(\pi f \tau) df} \quad (2.42)$$

Aus der Definition von Gleichung 2.42 kann das zeitliche Jitter durch den Simulator ermittelt werden, wobei die Frequenzgrenzen der Integration durch das Phasenrauschen festgelegt sind.

3. Delay-Locked Loop

Eine Delay-Locked Loop besteht aus einem Regelkreis, der die Phasenlage zwischen dem angelegten Referenzsignal und dem verzögerten Ausgangssignal vergleicht und dafür sorgt, dass im eingeschwungenen Zustand keine Phasenverschiebung mehr zwischen diesen beiden Signalen vorliegt. Um dies zu erreichen, wird eine einstellbare Verzögerungskette über Systemparameter angepasst, so dass die Verzögerungszeit einer Periodendauer des Referenztakts entspricht. Die Delay-Locked Loop sorgt aufgrund des Regelkreises dafür, dass auch bei Temperaturschwankungen oder prozessbedingten Abweichungen die Verzögerungszeit der Delay-Line immer der angelegten Referenzperiode entspricht.

Nachfolgend wird ein Überblick über die Delay-Locked Loop und deren einzelnen Komponenten basierend auf der Abbildung 3.1 gegeben und theoretisch beschrieben:

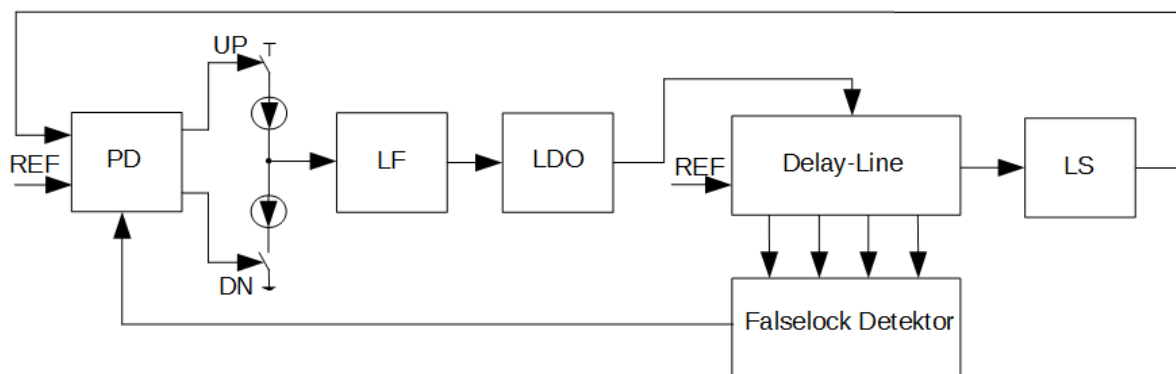


Abb. 3.1: Überblick Delay-Locked Loop [13]

Das Referenzsignal REF ist ein periodisches Rechtecksignal mit einem Duty-Cycle (Taktgrad) von 50 Prozent. Dieses Signal wird auf den Phasendetektor gegeben und mit dem Ausgang der Regelschleife auf Phasenlage verglichen. Ist das Referenzsignal dem Ausgangssignal voreilend, bedeutet dies, dass die Verzögerungszeit der Delay-Line zu groß ist. Folglich muss die Delay-Line schneller durchlaufen werden, um eine geringere Verzögerungszeit zu erreichen. Der Phasendetektor erkennt die Phasenverschiebung beider zueinander verschobenen Eingangssignale und setzt das Signal *UP* auf logisch HIGH. Daraufhin gibt die Charge Pump einen definierten Ladestrom auf den Loopfilter (LF). Da der Loopfilter aus einem Kondensator besteht, wird die Spannung über den Kondensator bei konstantem Strom linear steigen. Der Spannungsregler erzeugt eine last- und versorgungsunabhängige belastbare Spannungsquelle, die der Kondensatorspannung entspricht. Diese Spannung kann auf zwei Arten die Verzögerungszeit der Inverterkette beeinflussen: Entweder

dient die Spannung als Versorgungsspannung oder als Steuerspannung auf einer Gateelektrode eines MOS-Transistors, welches den Strom und damit die Verzögerungszeit eines Delay-Elements einstellt. Eine hohe Spannung sorgt für eine schnellere Laufzeit durch die Delayline, wodurch die Phasenverschiebung zwischen den beiden Eingangssignalen geringer wird. Wenn das Referenzsignal dem Ausgangssignal nacheilt, bedeutet dies, dass die Verzögerungszeit der Delay-Line zu gering ist. Der Phasendetektor erkennt das Nacheilen des Referenztakts und setzt DN auf logisch HIGH. Folglich wird die Charge Pump einen konstanten Entladestrom einstellen und Ladungen vom Kondensator entnehmen. Die Spannung am LF wird linear abnehmen und der Spannungsregler wird der abnehmenden Kondensatorspannung folgen. Die Delay-Line wird bei geringerer Versorgungs- bzw. Gatespannung am MOS-Transistor eine langsamere Durchlaufzeit erreichen und somit die Phasenlage der beiden Eingangssignale des Phasendetektors ausgleichen.

Je nach Umsetzung der Delay-Line kann die Ausgangsspannung der jeweiligen Delay-Elemente sehr niedrige Spannungswerte annehmen, welche allerdings auch für die weitere Signalverarbeitung benötigt werden. Damit die Ausgangssignale der Delay-Line in ihrer Spannungshöhe auch sicher erkannt werden können, wird am Ausgang ein Levelshifter, auch als Pegelwandler bezeichnet, nachgeschaltet. Dieser soll den Pegel des Ausgangssignals der Delay-Line auf die Versorgungsspannung anheben und für eine sicher erkennbare Signalflanke sorgen.

Der Falselock-Detektor wird mit zeitlich definierten Abgängen der Delay-Line versorgt. Durch diese Abgriffe kann der Detektor bei einem falschen Einschwingvorgang direkt auf den Phasendetektor einwirken und ein UP-Signal erzwingen, um die vorgegebene Referenzperiode am Ausgang der Delay-Line abbilden zu können.

3.1 Phasendetektor

Ein einfacher Phasendetektor besteht aus zwei D-Flipflops und einem AND-Gatter mit zwei Eingängen. Dieser Aufbau wird auch Positive-Edge-Triggered Phasendetektor genannt. Dies bedeutet, dass der Phasendetektor auf die positive Flanke der Eingangstakte reagiert. Der Phasendetektor hat die Aufgabe, beim Voreilen der Referenz ein UP-Signal und beim Nacheilen ein DN-Signal zu generieren. Eilt der Referenztakt REF dem Signal DL_OUT vor, wie in Abbildung 3.2 a) zu sehen ist, wird DFF1 und somit UP bei der steigenden Flanke von REF gesetzt. Sobald die steigende Flanke von DL_OUT das D-Flipflop DFF2 setzt,

wird auch der Ausgang *DN* umgeschaltet. Da *UP* und *DN* über ein AND-Gatter mit dem Reset der Flipflops verbunden sind, werden diese zurückgesetzt.

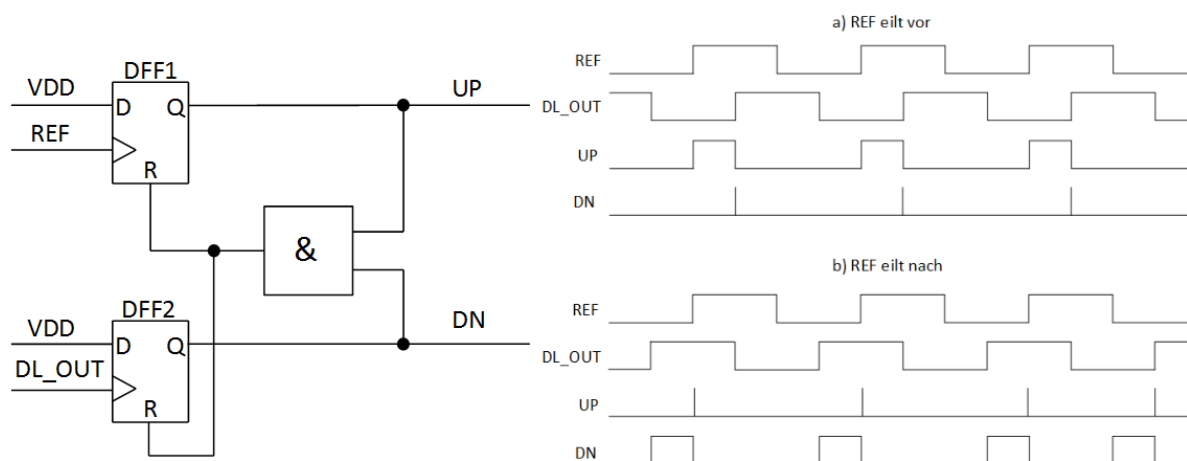


Abb. 3.2: PET-PD [13]

In Abbildung 3.2 b) ist *REF* dem Signal *DL_OUT* nacheilend. Die steigende Flanke von *DL_OUT* erscheint vor dem Referenztakt und setzt den Ausgang *DN* so lange auf logisch HIGH, bis die steigende Flanke der Referenz das DFF1 setzt und somit *UP* anliegt und die Schaltung zurückgesetzt wird.

3.2 Charge Pump

Da unter anderem die Entwicklung und der Entwurf verschiedener Charge Pumps im Vordergrund dieser Masterthesis steht, wird der Einfluss und die theoretische Beschreibung innerhalb einer Delay-Locked Loop im Kapitel 2.2 näher dargestellt.

3.3 Loopfilter

Der Loopfilter besteht aus einem Kondensator mit seiner Equivalent-Series-Resistance (ESR-Widerstand). Dieser Kondensator wird durch die Charge Pump mit einem definierten Strom geladen oder entladen.

Für die auf einem Kondensator gespeicherte Ladung gilt:

$$Q = \int i \cdot dt \quad (3.1)$$

Aus der gespeicherten Ladung berechnet sich nachfolgend die Spannung:

$$U = \frac{1}{C} \cdot \int i \cdot dt \quad (3.2)$$

Bei einem konstanten Ladestrom steigt die Ladung im Kondensator mit der Zeit an. Proportional zur Ladung im Kondensator wird auch die Spannung steigen. Der Kondensator ist ein Integrator und somit zuständig für den I-Anteil in der Regelung. Die Übertragungsfunktion des Kondensators ergibt sich zu:

$$G(s) = \frac{1}{sC} \quad (3.3)$$

Der Kondensator trägt demnach einen Pol zur Übertragungsfunktion der DLL bei.

3.4 Low-Dropout Spannungsregler

Ein Hauptbestandteil dieser Thesis ist es, einen Low-Dropout Spannungsregler für den Einsatz in der Delay-Locked Loop zu implementieren. Die theoretischen Grundlagen sowie die Entwicklung und Simulation des Spannungsreglers sind im Kapitel 6 beschrieben.

3.5 Delay-Line

Die Delay-Line ist eine Verzögerungskette, deren Verzögerungszeit in Abhängigkeit einer Spannung einstellbar ist. In der Delay-Locked Loop hat die Delay-Line die Aufgabe, die Periodendauer des Referenztakts über die Verzögerungszeit der gesamten Kette abzubilden. Die Verzögerungszeit jedes einzelnen Elements der Kette ist proportional zu ihrer RC-Zeitkonstante, wobei der effektive Widerstands- bzw. Kapazitätswert durch äußere Beschaltung beeinflusst werden kann. Eine einstellbare Versorgungsspannung ist eine weitere Möglichkeit, die Durchlaufzeit eines Kettenglieds zu variieren. Eine Änderung des effektiven Widerstandes kann durch eine einstellbare Versorgungsspannung oder einer variablen Gate-Spannung erreicht werden.

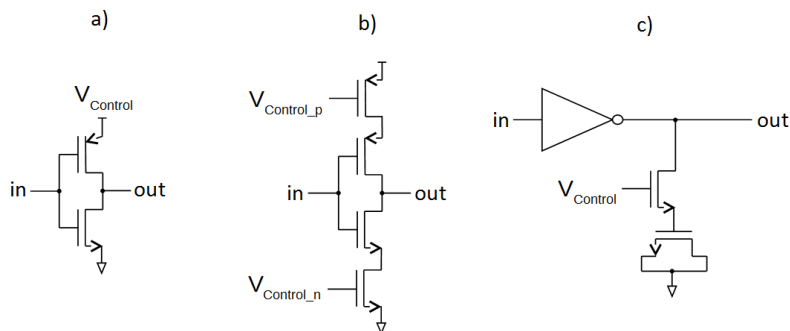


Abb. 3.3: Delay-Elemente mit variabler a) Versorgungsspannung, b) Widerstandswert oder c) Kapazität [13]

Die Verzögerungszeit eines CMOS-Inverters, bestehend aus zwei MOS-Transistoren aus Abbildung 3.3 a), kann durch die Versorgungsspannung eingestellt werden. Bei geringer Versorgungsspannung sieht der PMOS des Inverters eine kleinere Gate-Source-Spannung. Diese hat direkten Einfluss auf die Leitfähigkeit des Transistors. Bei kleinem U_{GS} stellt sich ein geringer Stromfluss ein und die Gate-Kapazität des nächsten Kettenglieds wird langsamer umgeladen. Je größer U_{GS} wird, desto schneller findet der Umladevorgang statt. Der in Abbildung 3.3 b) gezeigte Inverter wird auch Current-Starved Inverter genannt. Hier kann mithilfe eines variablen Stromes und Stromspiegeln eine Spannung U_{GS} für den NMOS und PMOS eingestellt werden. Je nach Betrag des gespiegelten Stromes wird sich U_{GS} ändern und einen ebenso großen Stromfluss im Inverter hervorrufen. Dieser sorgt für unterschiedlich schnelle Umladezeiten der Gate-Kapazitäten der Folgeglieder. Aufgrund der symmetrischen Stromspiegel wird der Ladestrom identisch zu dem Entladestrom sein.

Eine andere Möglichkeit, um die Verzögerungszeit anzupassen, ist über eine variable Kapazität am Ausgang des Inverters, wie es in Abbildung 3.3 c) zu sehen ist. Dazu kann z.B. die Gate-Kapazität eines MOS-Transistors genutzt werden. Als Inverter wird ein einfacher Inverter, bestehend aus zwei Transistoren, verwendet. Am Ausgang ist über einen NMOS das Gate eines weiteren Transistors angeschlossen. Ist nun die Steuerspannung klein, wird der Drain-Source-Kanal einen hohen Widerstand haben und der Ausgang des Inverters sieht nur die Gate-Kapazität des Folgeglieds. Wird die Steuerspannung größer, so wird der Kanalwiderstand immer geringer und der Inverter sieht zusätzlich zur Gate-Kapazität des nächsten Inverters eine immer größere Kapazität am Ausgang. Umso größer die effektive Kapazität wird, desto länger wird der Umladevorgang dauern.

Nachfolgend werden verschiedene Inverter Strukturen für die Zusammenschaltung zu einer Delay-Line vorgestellt. Dabei wird der schematische Aufbau und der Einfluss auf die

Verzögerungszeit des Inverters beschrieben. Es werden zwei Strukturen mit nur einem Strompfad und zwei mit einem differentiellen Aufbau und zwei Strompfaden erläutert. Zusätzlich wird noch zwischen einer variablen und einer festen Spannungsversorgung unterschieden. Alle Inverter werden über Temperatur und Corner-Modelle simuliert, um die Anzahl der erforderlichen Elemente für die Auslegung der Delay-Line zu ermitteln.

3.5.1 CMOS-Inverter

Wie in Abbildung 3.4 dargestellt, besteht ein CMOS-Inverter aus einem PMOS- und einem NMOS-Transistor. Liegt am Eingang IN eine hohe Spannung an, sperrt M1 und M2 leitet. Durch M2 wird sich aufgrund der Gate-Source-Spannung ein Stromfluss nach Masse einstellen. In Folge werden Ladungen von der Gate-Kapazität des Folgeelements in der Delay-Line entnommen und die Spannung sinkt. Ist die Eingangsspannung IN niedrig, ist M1 leitend und M2 sperrend. M1 ermöglicht nun einen Stromfluss, welcher die nachfolgende Gate-Kapazität auflädt. Die Ausgangsspannung OUT steigt in Richtung von $V_{Control}$ an. Die Spannungsversorgung $V_{Control}$ wird von einem Spannungsregler bereitgestellt. Die Spannungsversorgung des Inverters hat einen direkten Einfluss auf die Gate-Source-Spannung und somit auch auf den Stromfluss durch den Inverter. Bei einer hohen Gate-Source-Spannung wird der Stromfluss größer, wodurch das Gate des Folgeglieds schneller aufgeladen werden kann. Bei einer niedrigen Versorgungsspannung wird der Stromfluss kleiner und die Verzögerungszeit des CMOS-Inverters steigt an.

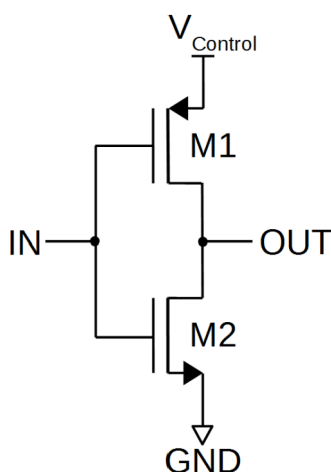


Abb. 3.4: CMOS-Inverter

Um das Verhalten des CMOS-Inverters bei Temperaturveränderungen und prozessbedingten Abweichungen zu ermitteln, können Temperatur- und Corner-Simulationen durchgeführt wer-

den. Darunter wird eine Variation von Betriebsparametern verstanden, wie zum Beispiel das Betrachten des Arbeitspunktes bei verschiedenen Temperaturen (-50°C , 30°C , 120°C) sowie herstellungsbedingte Abweichungen der Transistoren. Diese Variationen können zu einem Transistorverhalten führen, welches schneller oder langsamer ist als der ideal gefertigte Transistor.

C0	Typische PMOS und NMOS Modelle
C1	NMOS und PMOS schnell
C2	NMOS schnell / PMOS langsam
C3	PMOS schnell / NMOS langsam
C4	PMOS und NMOS langsam
C5	Ähnlich zu C2 und C3, nur möglichst
C6	ideales Verhalten der Bauteile abgebildet

Tab. 3.1: Beschreibung Corner-Modelle

Nachfolgend wird die Verzögerungszeit des CMOS-Inverters in Abhängigkeit von der Versorgungsspannung, der Temperatur und Prozessabweichungen dargestellt. In der Abbildung 3.5 sind die Verzögerungsverläufe für typische, schnelle und langsame Transistormodelle bei Temperaturen von -50°C , 30°C und 120°C aufgezeichnet. Somit zeigen die Verzögerungskurven das nominale Verhalten sowie die beiden Grenzverläufe für den schnellsten und langsamsten Zustand. Die Verläufe für andere Temperaturen und Corner-Modelle, welche nicht aufgezeigt sind, verlaufen zwischen der roten und gelben Kurve. Anhand des zeitlichen Verlaufs kann die Auslegung der Delay-Line erfolgen. Als Spezifikation gilt, dass die Delay-Line bei der langsamsten Corner und bei der höchsten Temperatur (C4 120°C) mindestens eine Verzögerungszeit von 40 ns aufweisen muss. In der Abbildung 3.5 ist zu erkennen, dass der CMOS-Inverter erst ab einer Versorgungsspannung von ca. 1 V je nach vorliegender Corner funktioniert. Dies liegt daran, dass der Inverter erst ab einer Versorgungsspannung den Transistor M1 durchschalten kann, welche wesentlich höher als die Schwellenspannung des Transistors ist.

Bei einer maximal möglichen Versorgungsspannung von 3,3 V weist der CMOS-Inverter bei der Corner C1 und einer Temperatur von -50°C die niedrigste Verzögerungszeit von 78 ps auf. Die Werte für typische und langsame Corner-Modelle liegen bei der selben Spannung bei 110 ps und 166 ps. Um die Spezifikation zu erfüllen wird die Anzahl der Elemente, welche die Delay-Line bildet, anhand der langsamsten Verzögerungszeit ermittelt. Somit wird die Delay-Line durch 236 Elementen des CMOS-Inverters aufgebaut, welche bei der langsamsten

Corner und höchsten Temperatur (C4 120°C) eine Durchlaufzeit von 39,2 ns erreicht und die geforderten 40 ns abfahren kann.

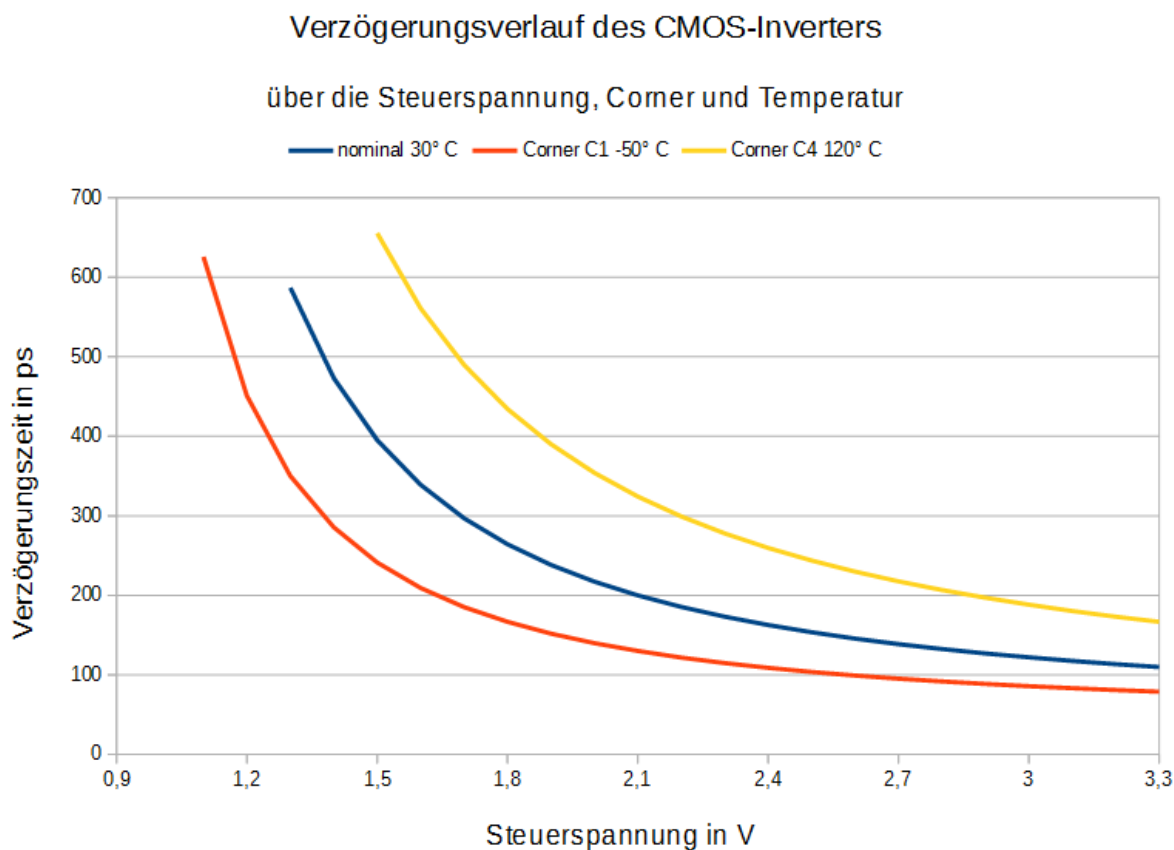


Abb. 3.5: Verzögerungsverlauf des CMOS-Inverters

3.5.2 Current-Starved Inverter

Der in Abbildung 3.6 dargestellte Stromverarmungsinverter (Current-Starved Inverter) wird aufgrund des Einsatzes in einem Time-to-Digital Converter als Buffer aufgebaut. Durch den Aufbau als Buffer liegt kein invertierendes Signal am Ausgang vor, sondern ein um die Verzögerungszeit verzögertes Eingangssignal. Der Current-Starved Inverter wird durch eine Ansteuerungsschaltung, bestehend aus den Transistoren M1 bis M3, angesteuert. Die Steuerspannung $V_{Control}$ stellt über den Transistor M2 die Gate-Source-Spannungen von den Gate-Drain verbundenen Transistoren M1 und M3 ein. Somit wird der Stromfluss aus dem Ansteuerungspfad über die PMOS- und NMOS-Stromspiegel in den Inverter gespiegelt. Dadurch wird die Verzögerungszeit des Inverters an den Transistoren M4 und M8 eingestellt, wodurch die Folgeinverter schneller oder langsamer umgeladen werden können.

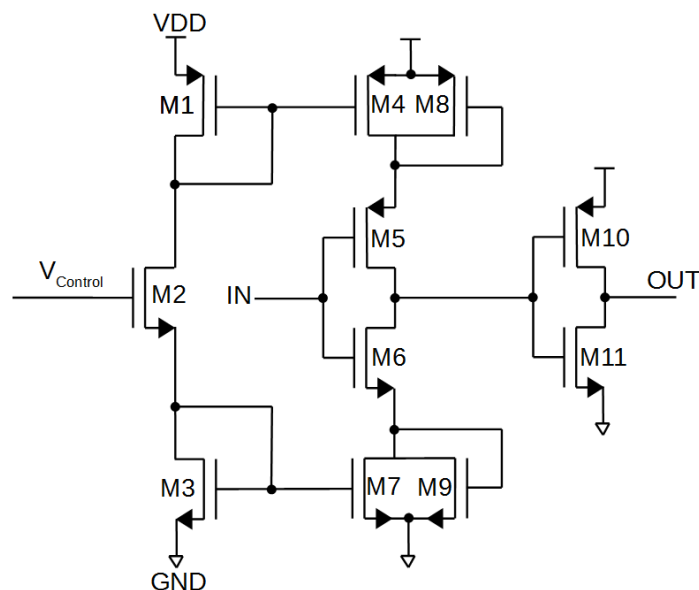


Abb. 3.6: Current-Starved Inverter [14]

Der innere Inverter, bestehend aus M5 und M6, ermöglicht je nach HIGH- oder LOW-Pegel des Eingangssignals IN einen Stromfluss über M5 oder M6 zum Ausgangsinverter. Die Transistoren M8 und M9 werden parallel zu den stromeinstellenden Transistoren M4 und M7 mit einer Gate-Drain-Verbindung geschaltet. Diese Verschaltung ermöglicht einen Stromfluss des Inverters bei einer kleinen oder nicht anliegenden Steuerspannung $V_{Control}$, um auch in diesem Spannungsbereich eine vorhandene Verzögerungszeit zu generieren.

In der Abbildung 3.7 ist der Verzögerungsverlauf über die Variation der Steuerspannung $V_{Control}$ für einen Current-Starved Inverter abgebildet. Es ist zu erkennen, dass durch den Stromfluss über die Transistoren M8 und M9 auch ein Arbeitspunkt bei einer Steuerspannung von 0 V vorhanden ist. Dieser Inverter wird u.a. über die Corner-Modelle und die verschiedenen Temperaturen (C0 30°C, C1 -50°C, C4 120°C) der Spezifikation simuliert, um die Anzahl der Elemente für die Delay-Line zu ermitteln. Da der Current-Starved Inverter eine Bufferstruktur aufweist, verfügt dieser über eine größere Verzögerungszeit als der einfache CMOS-Inverter. Die kürzeste Umladezeit des Inverters liegt bei 163 ps (C1 -50°C). Bei der langsamsten Corner C4 und einer Temperatur von 120 °C verzögert der Inverter das Eingangssignal um 315 ps. Anhand dieser Verzögerungszeit wird die Delay-Line mit 125 Current-Starved Invertern aufgebaut, um im schlechtesten Fall (C4 120°C) eine Durchlaufzeit von 39,37 ns abbilden zu können.

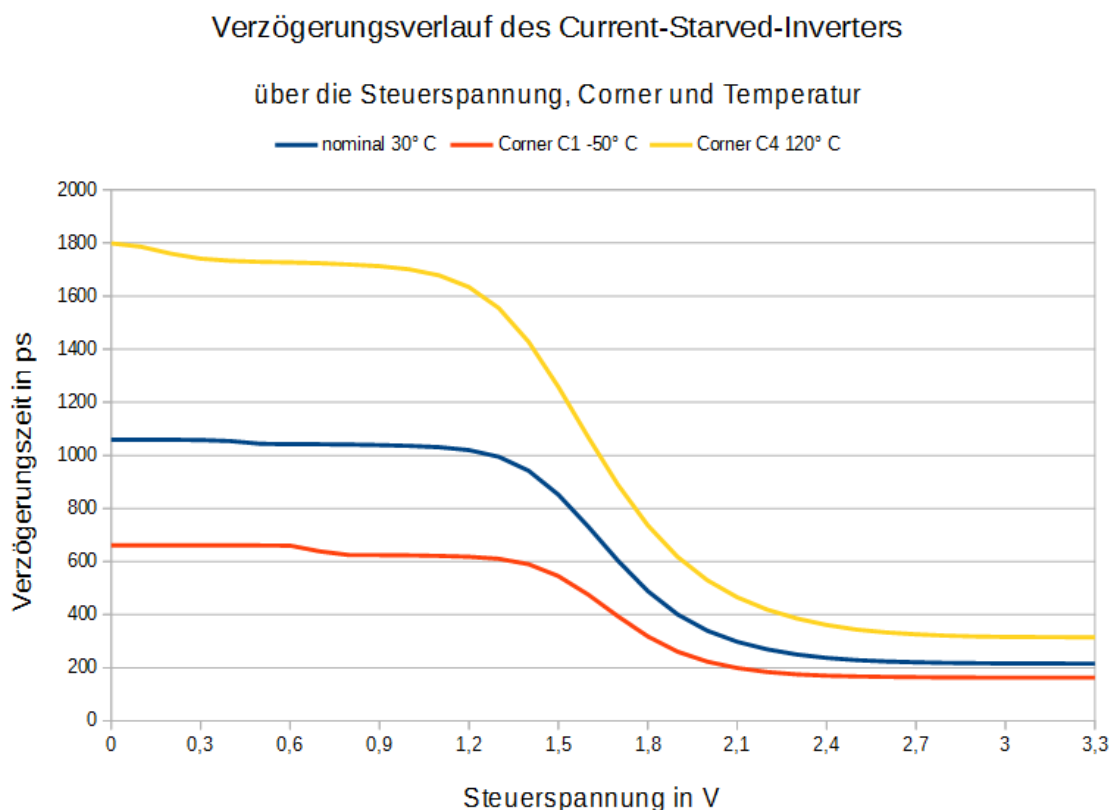


Abb. 3.7: Verzögerungsverlauf des Current-Starved-Inverters

3.5.3 Differentieller Inverter mit NMOS-Kreuzkopplung

Der in Abbildung 3.8 dargestellte differentielle Inverter ist aus zwei einfachen CMOS-Inverters und einer NMOS-Kreuzkopplung aufgebaut. Die beiden Inverter, bestehend aus den Transistoren M1/M2 und M5/M6, schalten aufgrund der Kreuzkopplung über M3 und M4 stets invers zueinander. Die beiden Eingangsinverter der differentiellen Struktur werden mit dem Eingangssignal IN und dem dazu inversen Signal IN_N angesteuert. Daraus resultiert das Ausgangssignal OUT und das dazu invertierte Signal OUT_N . Die Verzögerungszeit dieses Inverters wird ähnlich wie bei dem einfachen Inverter über die Steuerspannung am Ausgang des Spannungsreglers gesteuert. Ist IN auf HIGH, so wird M1 und M6 sperrend und M2 und M5 leitend. Infolgedessen werden OUT auf LOW und OUT_N auf HIGH umschalten. Dadurch wird M3 zusätzlich zu M2 leitend und M4 zusätzlich zu M6 sperrend. Durch den parallelen Transistor der NMOS-Kreuzkopplung wird zwar die Umladekapazität größer, jedoch überwiegt der Vorteil einer differentiellen Struktur, so dass die Flanken im Umschaltmoment für die Pegeländerungen von LOW auf HIGH und umgekehrt gleich schnell ablaufen. Auch für diesen Inverter werden nachfolgend die Verzögerungsverläufe dargestellt.

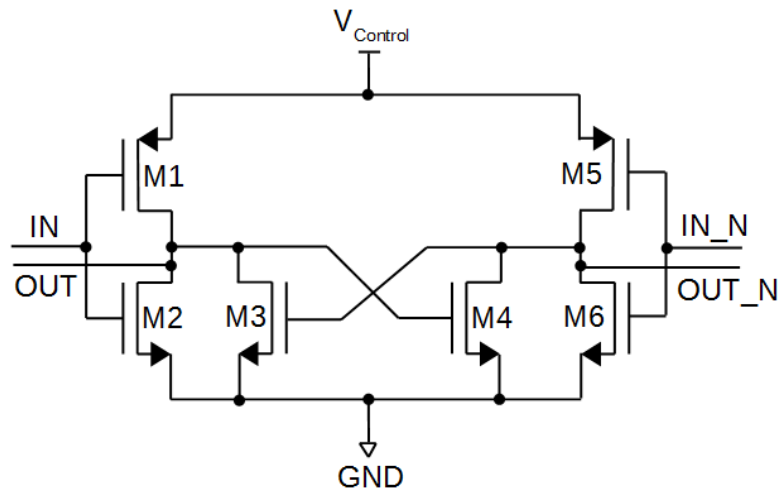


Abb. 3.8: Differentieller Inverter mit NMOS-Kreuzkopplung

Wie zu erwarten weist der differentielle Inverter einen ähnlichen Verlauf wie der des einfachen CMOS-Inverters auf. Der Inverter kann erst ab ca. einer Steuerspannung von 1 V eine Verzögerungszeit abbilden, da die anliegende Spannung größer als eine Schwellenspannung plus einer Sättigungsspannung sein muss, damit der Inverter ein Ausgangssignal generieren kann. Der differentielle Aufbau ermöglicht eine minimale Verzögerungszeit pro Element bei der schnellen Corner C1 und einer Temperatur von -50°C von 75 ps.

Verzögerungsverlauf des differentiellen Inverters mit NMOS-Kreuzkopplung
über die Steuerspannung, Corner und Temperatur

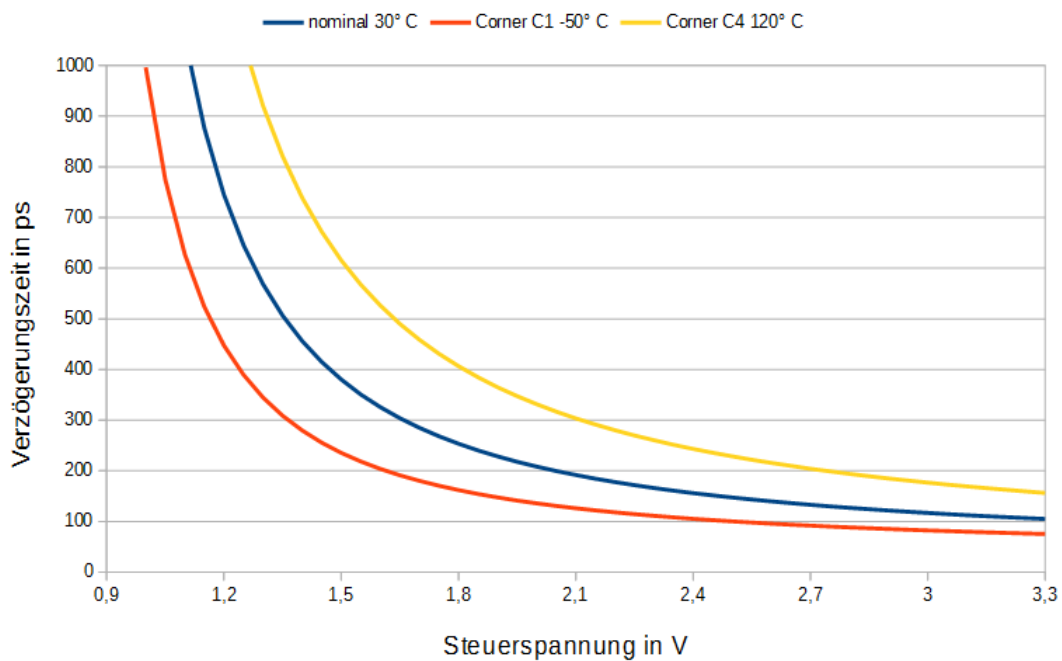


Abb. 3.9: Verzögerungsverlauf des differentiellen Inverters

Werden alle Transistoren mit der Corner C4 und bei einer Temperatur von 120 °C simuliert, weist der Inverter pro Element eine Verzögerungszeit von 156 ps auf. Um eine Delay-Line aus dieser Inverter Struktur aufzubauen, welche bei der Corner C4 und einer Temperatur von 120°C sicher eine Frequenz von 25 MHz bzw. eine Zeit von 40 ns abfahren kann, muss die Delay-Line aus 250 differentiellen Elementen aufgebaut werden. Somit würde die Delay-Line im schlechtesten Fall eine Verzögerungszeit von 39,1 ns abbilden können.

3.5.4 Maneatis-Inverter

Der in Abbildung 3.10 dargestellte differentielle Inverter, welcher für den Einsatz in der Delay-Locked Loop ebenfalls untersucht wird, wird als Maneatis-Zelle bezeichnet. Dieses Element besteht aus einer Ansteuerungsstruktur, gebildet aus den Transistoren M1 bis M4, dem eigentlichen differentiellen Aufbau, bestehend aus den Transistoren M7 bis M13, sowie einer Stromspiegel-Struktur über M5, M6, M14 und M15, um einen einzelnen Ausgangstakt (eng. Single-Ended-Conversion) für die Auswertung in der Delay-Locked Loop zu erzeugen. Die Steuerspannung vom Spannungsregler stellt an M4 eine Gate-Source-Spannung ein, welche für einen definierten Stromfluss über diesen Transistor sorgt. Dieser Strom fließt auch durch die Transistoren M1, M2 und M3.

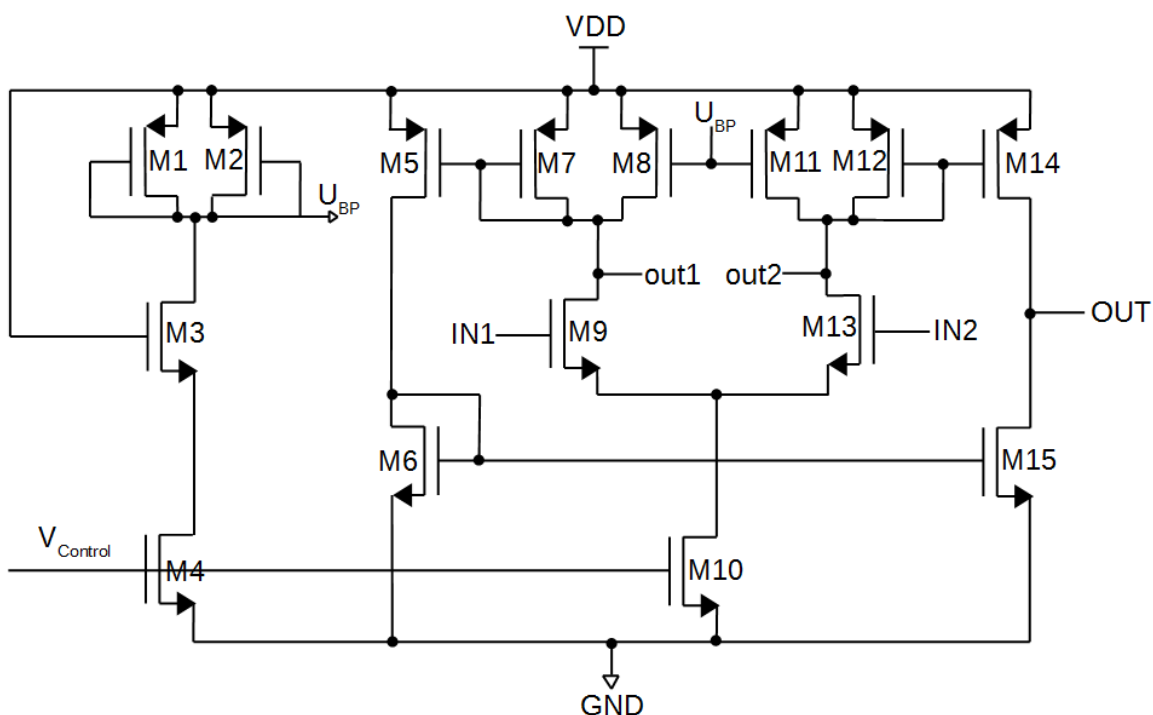


Abb. 3.10: Maneatis-Inverter [15]

M1 und M2 sind über ihre Gate- und Drain-Anschlüsse kurzgeschlossen und arbeiten somit immer im gesättigten Bereich, um einen über die Steuerspannung variablen Arbeitspunktspannung U_{BP} zu erzeugen und an die Transistoren M8 und M11 zu spiegeln. Somit fließt in der differentiellen Stufe derselbe Arbeitsstrom wie in der Eingangsstufe definiert wurde. Der NMOS-Transistor M3 dient in der Ansteuerungsschaltung dazu, denselben Spannungsabfall über Drain und Source zu generieren, wie er in der differentiellen Stufe über die Transistoren M9 und M13 abfällt. Dafür ist der Gate-Anschluss von M3 mit der Versorgungsspannung verbunden, um immer leitfähig zu sein. Der Transistor M10 dient als spannungsgesteuerte Stromquelle zur Stromversorgung der Differenzstufe. Liegt am Eingangssignal IN1 die Versorgungsspannung an, schaltet M9 durch und OUT1 wird in Richtung GND absinken. Es erfolgt ein Stromfluss über die Stromspiegel M5/M7 sowie über M6/M15 und es werden Ladungen vom Folglied entnommen. Demzufolge stellt sich bei einem HIGH an IN2 ein Stromfluss über den Stromspiegel M12/M14 von VDD zu OUT ein. Über die Steuerspannung $V_{Control}$ und dem damit verbundenen Arbeitspunkt U_{BP} kann die Verzögerungszeit des Elements beeinflusst werden. Ist $V_{Control}$ groß, wird die Spannung am Punkt U_{BP} klein, wodurch die PMOS-Transistoren M8 und M11 leitfähiger werden und einen höheren Stromfluss einstellen. Dadurch fließt ein zusätzlicher Strom in der Differenzstufe, der das Element schneller werden lässt. Gegenätzlich führt eine große Spannung an U_{BP} zu einem Abschnüren von M8 und M11, wodurch die differentielle Struktur weniger schnell den Ausgang umladen kann.

In der Abbildung 3.11 ist die zeitliche Verzögerung des Maneatis-Inverters über die anliegende Steuerspannung abgebildet. Es ist zu erkennen, dass der Inverter einen schmalen Bereich aufweist, in dem die Verzögerung variieren kann. Ab einer Spannung von ca. 1.8 V stellt sich eine Sättigung der Verzögerungszeit ein. Somit verfügt diese Art von Inverter über eine hohe zeitliche Variation bei einer kleinen Veränderung der Steuerspannung im unteren Spannungsbereich. Der Maneatis-Inverter weist über Prozess und Temperaturänderungen (C1 -50°C = 96 ps, C0 30° C = 133 ps, C4 120° C = 206 ps), ähnlich wie die zuvor behandelten Inverter, verschiedene Verzögerungszeiten auf. Für die aufzustellende Delay-Line werden 190 Maneatis-Elemente benötigt, um im schlechtesten Fall eine zeitliche Verzögerung von 39,14 ps abbilden zu können. Durch den Delay-Verlauf aus Abbildung 3.11 wird ersichtlich, dass sich eine geringere Steuerspannung im Einsatz innerhalb der Delay-Locked Loop bei Verwendung dieses Inverters einstellen wird.

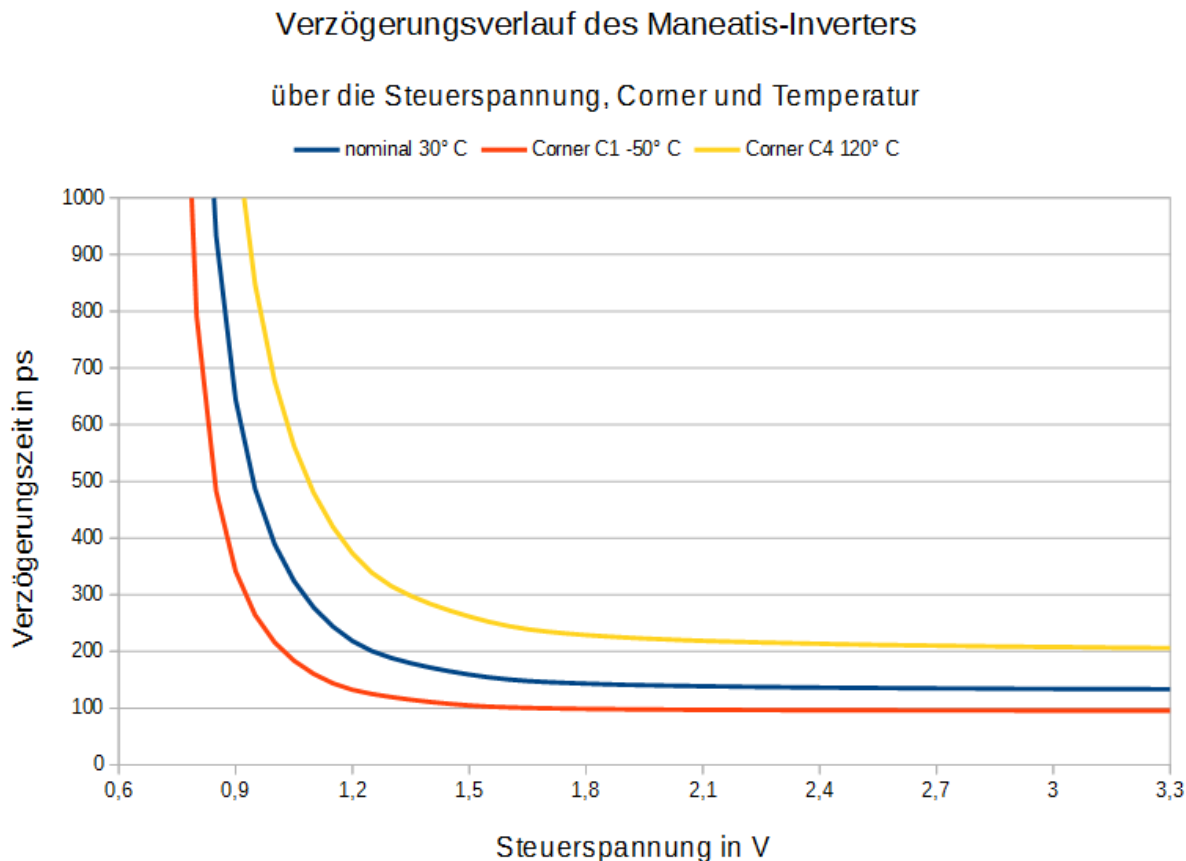


Abb. 3.11: Verzögerungsverlauf des Maneatis-Inverters

3.5.5 Untersuchung der Inverter auf Phasenrauschen und Jitter

In diesem Teilkapitel wird das Oszillationsverhalten der vier erläuterten Inverters Strukturen anhand von Phasenraschen und Jitter simuliert und bewertet. Bevor die Inverter simuliert werden, müssen die einzelnen Verzögerungszeiten der jeweiligen Strukturen miteinander verglichen werden, um eine gleiche Ausgangssituation für alle Inverter schaffen zu können. In der nachfolgenden Tabelle 3.2 sind die Verzögerungszeiten der zu untersuchenden Inverter-Typen bei den bereits bekannten Randbedingungen und bei einer anliegenden Steuerspannung von 3,3 V aufgeführt.

	Inverter	Differentieller Inverter	Current-Starved Inverter	Maneatis Inverter
Corner C1 -50° C	79 ps	75 ps	163 ps	96 ps
Corner C0 30° C	110 ps	105 ps	216 ps	133 ps
Corner C4 120° C	167 ps	156 ps	315 ps	206 ps

Tabelle 3.2: Vergleich der Verzögerungszeiten der Inverter Strukturen

Wie der Tabelle 3.2 zu entnehmen ist, weisen die unterschiedlichen Inverter auch unterschiedliche zeitliche Verzögerungen auf. Um allerdings eine Aussage über das Oszillationsverhalten der verschiedenen Typen treffen zu können, müssen diese allerdings die gleiche Verzögerungszeit besitzen. Die Steuerspannung $U_{Control}$ wurde hierfür jeweils so gewählt, dass die Verzögerungszeit aller Inverterstrukturen identisch ist. Für die Simulation wird aus jedem Inverter eine Verzögerungskette mit einer Anzahl von 30 Inverter-Elementen gebildet. Da der Current-Starved Inverter durch seinen Aufbau aus dem Kapitel 3.5.2 bereits aus zwei invertierenden Stufen und somit als ein Buffer aufgebaut ist, wird die Delay-Line nur aus 15 Elementen bestehen. Die Anzahl der Elemente pro Delay-Line wurde bewusst klein gewählt, um lange Simulationszeiten zu vermeiden. In der Tabelle 3.3 sind die Steuerspannungen $U_{Control}$ für die einzelnen Inverter-Typen aufgeführt, damit sich die Verzögerungsketten zeitlich aneinander angleichen. Als zeitliche Referenz dient der Maneatis-Inverter, wodurch sich bei einer anliegenden Steuerspannung von 3,3 V eine Durchlaufzeit von 4 ns ergibt. Bei den folgenden Steuerspannungen weisen alle Inverterketten eine zeitliche Verzögerung von 4 ns auf.

	Inverter	Differentieller Inverter	Current-Starved Inverter	Maneatis Inverter
$U_{Control}$	2,95 V	2,47 V	2,34 V	3,3 V

Tabelle 3.3: Steuerspannungen zur Anpassung der Inverter für Phasenrauschen und Jitter

Um bei der Simulation ein möglichst reales Verhalten nachbilden zu können, wird in der Verzögerungskette ein zusätzlicher Inverter des gleiches Typs wie in der Delay-Line verwendet nachgeschaltet, um die richtige kapazitive Last eines Folgliedes darzustellen. Während der Simulation wird der Ausgangstakt `DL_OUT` der Delay-Line mit dem Eingangsreferenzsignal `CLK_REF` verglichen. Dabei dient `DL_OUT` als Oszillatorpunkt, um das Phasenrauschen, gebildet durch die Transistoren innerhalb der Delay-Line, festzustellen. Die Simulation fügt den Transistoren Rauschquellen hinzu, die sich anhand von Oszillatorsignalen äußern und dem Ausgangstakt `DL_OUT` hinzugefügt werden. Dadurch kann sich der Ausgangstakt vom Referenztakt unterscheiden.

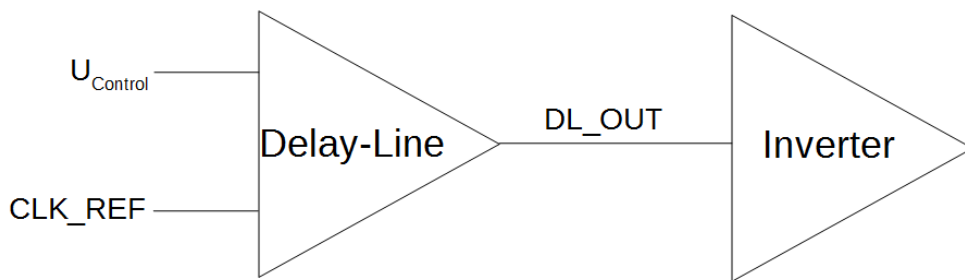


Abb. 3.12: Simulationaufbau der Verzögerungsketten

Um das Einwirken des Phasenrauschens auf den Ausgangstakt darstellen zu können, wird eine Referenzfrequenz von 25 MHz bzw. eine Referenzperiode von 40 ns eingestellt. Diese Frequenz liegt auch als Referenz für die Delay-Locked Loop vor. Das Phasenrauschen wird über einen Frequenzbereich von 1 Hz bis 10 GHz simuliert, um die Referenzfrequenz und mögliche Oberwellen als Vielfache darstellen zu können. In der Abbildung 3.13 ist beispielhaft das Simulationsergebnis des differentiellen Inverters mit NMOS-Kreuzkopplung dargestellt. Auf der Y-Achse ist die Rauschleistungsdichte und auf der X-Achse die Frequenz im Abstand zur Referenzfrequenz aufgeführt. Es ist zu erkennen, dass die Rauschleistungsdichte mit zunehmendem Abstand zur Referenz in der Doppel-logarithmischen Darstellung linear abnimmt und ab ca. einer Frequenz von 1 MHz einen horizontalen Verlauf annimmt.

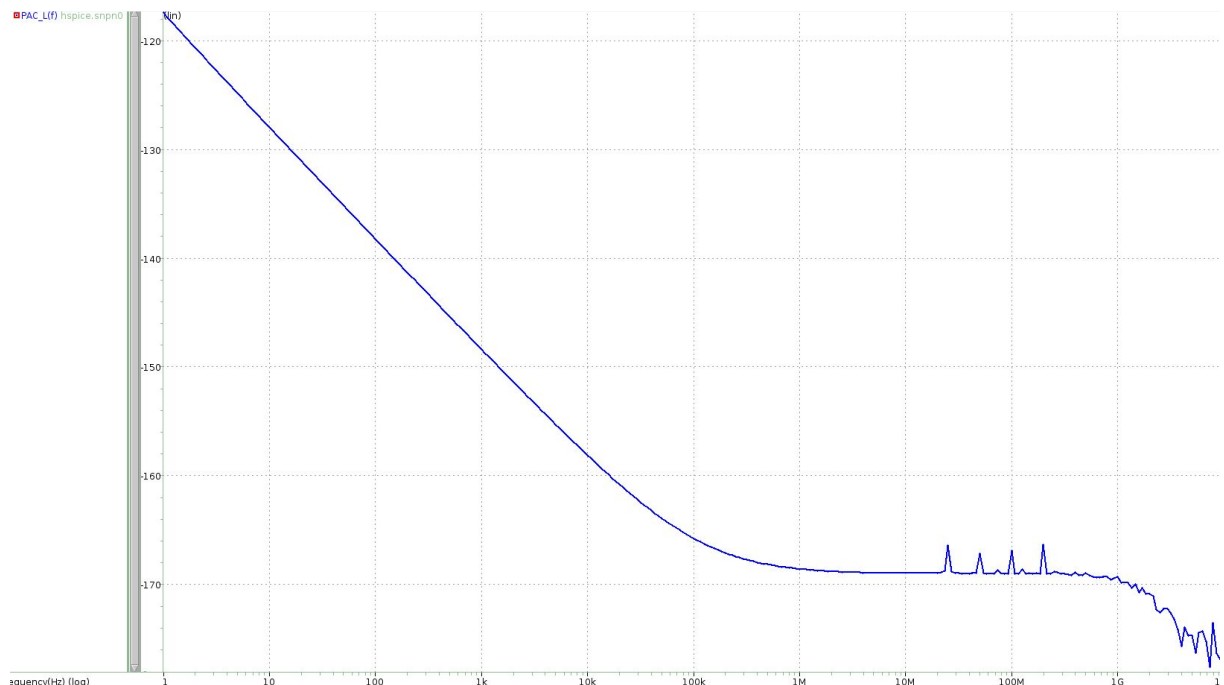


Abb. 3.13: Phasenrauschen des differentiellen Inverters mit NMOS-Kreuzkopplung

Der Bereich, in dem die Rauschleistungsdichte linear abfällt, beschreibt das Funkelrauschen (eng. Flicker Noise) und der Bereich ab einer Frequenz von 1 MHz nimmt einen recht kon-

stanten horizontalen Verlauf an, welcher das thermische Rauschverhalten beschreibt. Bei den Vielfachen der Referenzfrequenz wie z.B. bei 25 MHz, 50 MHz und 100 MHz sind kleine Rauschleistungsspitzen zu erfassen, welche von den Oberwellen der Frequenz ausgehen. Der Verlauf des Phasenrauschens kann zur Bewertung eines Oszillators genutzt werden, um zum Beispiel seine Rauschleistung bezogen auf die Referenzfrequenz anzugeben. Der Simulator kann aufgrund des Phasenrausch-Verlaufs den zeitlichen Versatz zur Referenzperiode (eng. Jitter) ermitteln. Dafür oszilliert der Oszillator über eine definierte Anzahl von harmonischen Schwingungen ausgehend von der Eingangsreferenzperiode und detektiert in Form eines Zeit über Zeit Diagramms den zeitlichen Versatz. In der Abbildung 3.14 ist das Jitter in einer Zeit über Zeit-Achse aufgeführt. Auf der Y-Achse befindet sich das Jitter in ps und auf der X-Achse der zeitliche Simulationsintervall in Microsekunden. Es ist zu erkennen, dass sich das Jitter um einen zeitlichem Mittelwert von ca. 2,84 ps bei dem differentiellen Inverter mit NMOS-Kreuzkopplung bewegt. Wie erwartet nimmt der zeitliche Verlauf aufgrund der Ansteuerung der Delay-Line einen Mittelwert an und erfährt kein aufschwingendes Verhalten. Somit ist der Rauschanteil pro Durchlaufzeit der Inverterkette recht konstant. Bei einer Rückführung des Ausgangstaktes auf den Eingang der Kette würde sich das Rauschen pro Durchlauf aufaddieren und zu einem aufschwingenden Verhalten führen. Dieses Verhalten würde man innerhalb einer Phase-Locked Loop erwarten.

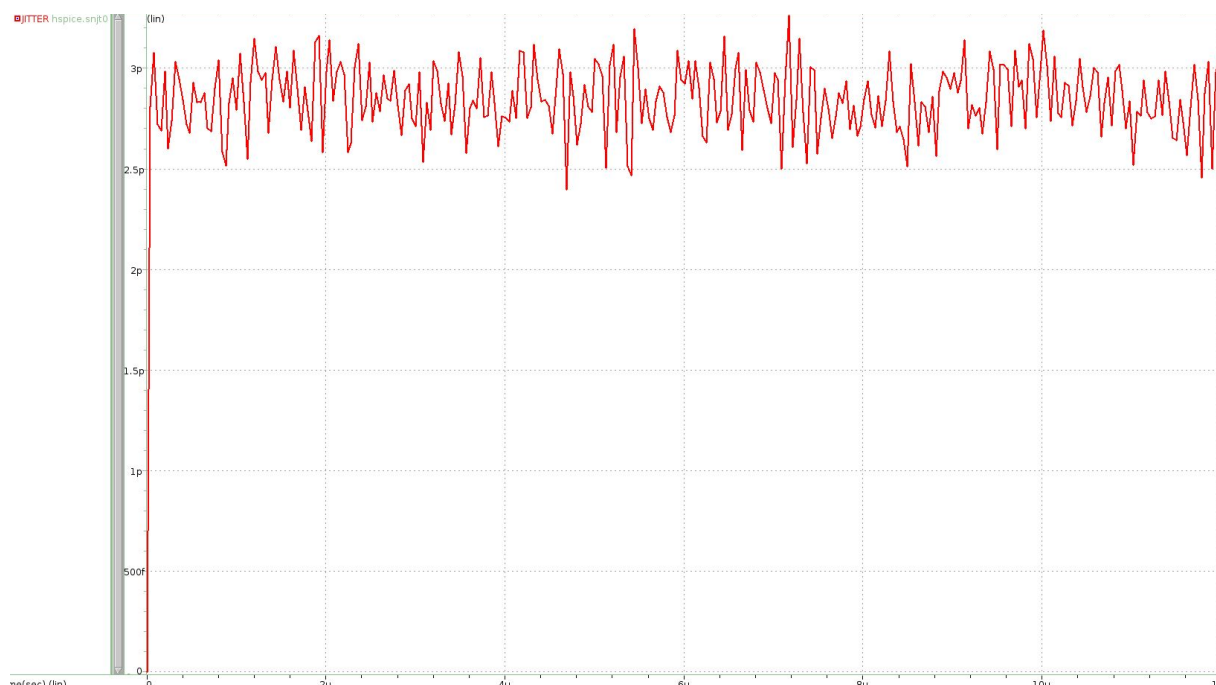


Abb. 3.14: Jitter des differentiellen Inverters mit NMOS-Kreuzkopplung

Für einen Vergleich zwischen den Inverter Strukturen sind in der Tabelle 3.4 die Jitter-Simulationsergebnisse für alle Inverter-Typen aufgeführt.

	Inverter	Differentieller Inverter	Current-Starved Inverter	Maneatis Inverter
Jitter	5,72 ps	2,84 ps	7,82 ps	10,4 ps

Tabelle 3.4: Vergleich der Jitter-Simulationsergebnisse nach Inverter-Typen

Aus den Simulationsergebnissen geht hervor, dass alle vier Inverter Strukturen rauschbehaftet einen anderen Einfluss auf den zeitlichen Versatz am Ausgang der Verzögerungskette haben. Der differentielle Inverter weist im Mittel mit 2,84 ps den geringsten Einfluss und der Maneatis Inverter mit 10,4 ps den größten Einfluss auf. Die prozentuale Abweichung von der Referenzperiode mit 40 ns beträgt somit 0,026 % bis 0,0071 % und ist vernachlässigbar gering. Für weitere Untersuchungen wird das Jitter ausgehend von den Invertern in einer ideal aufgebauten Delay-Locked Loop simuliert. Dies bedeutet, dass alle Teilkomponenten bis auf die Delay-Line innerhalb der DLL durch idealisierte VerilogA-Modelle ersetzt werden, um nur den Einfluss der Inverterketten darstellen zu können. Es wird die Anzahl von Elementen pro Verzögerungskette untersucht, welche in den vorherigen Teilkapiteln für den Einsatz in einer realen Delay-Locked Loop ermittelt wurden. Der zu untersuchenden Hauptverzögerungskette (Main-Delayline) wird jeweils eine kleinere Verzögerungskette, bestehend aus fünf Invertern, vor- und nachgeschaltet (Pre- und Post-Delayline). Es hat sich gezeigt, dass die Delay-Line aufgrund von verschiedenen Treiberstärken in der Verzögerungszeit pro Element variieren kann. Würde die Main-Delayline direkt mit der Eingangsperiode CLK_REF angesteuert werden, erführen die ersten Elemente der Delay-Line eine Variation in der zeitlichen Verzögerung, wodurch es zu falschen Messergebnissen in der DLL kommen kann.

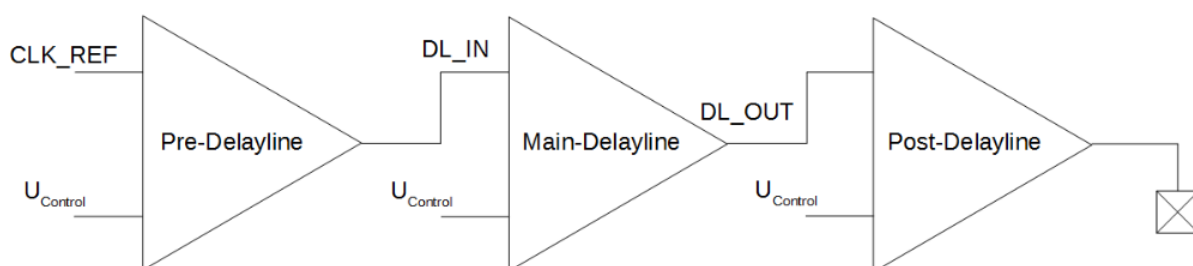


Abb. 3.15: Simulationsaufbau in der idealen Delay-Locked Loop zur Jitter-Kalkulation

Aus diesem Grund werden die beiden kleinen Delay-Lines als Dummyketten vor- und nach der Main-Delayline geschaltet, um eine gleichbleibende Verzögerung aller Elemente zu gewährleisten. Das Signal DL_IN wird als Referenzsignal für die Main-Delayline genommen und mit dem Ausgangssignal DL_OUT auf Jitter verglichen. Die Jitter-Kalkulation muss im eingeschwungenen Zustand der DLL erfolgen, weshalb diese über einen zeitlichen Verlauf

von 100 μs simuliert wird. Im Zeitbereich zwischen 90 μs und 100 μs wird die Simulation .trannoise gestartet, um den Transistoren ein rauschendes Verhalten zuzufügen. Somit wird für einen zeitlichen Verlauf von 10 μs das Jitter aus dem Phasenrauschverlauf kalkuliert.

	Inverter	Differentieller Inverter	Current-Starved Inverter	Maneatis Inverter
Jitter	609 fs	194 fs	523 fs	744 fs

Tabelle 3.5: Vergleich der Jitter-Simulationen in einer idealen DLL durch trannoise-Simulation

Die Simulationsergebnisse aus der Tabelle 3.5 sind nicht mit den Ergebnissen aus der Tabelle 3.4 vergleichbar, da die trannoise-Simulation der idealen Delay-Locked Loop aus zeitlichen Simulationsgründen nur über einen Zeitbereich von 10 μs erfolgt. Innerhalb dieses Zeitraums kann nur bis zu einer Frequenz von 100 kHz das Jitter aus dem Phasenrausch kalkuliert werden, weshalb die Simulationsergebnisse einen wesentlich kleineren Wert aufweisen und den Bereich des thermischen Rauschens abbilden. Um auch eine Aussage bis zu einer Frequenz von 1 Hz zu bekommen, müsste der Simulator eine Simulationszeit von einer Sekunde abfahren. Diese Simulationszeit ist aufgrund der Größe der Schaltung und Anzahl der Signale nicht tragbar. Da diese Simulation jedoch für alle vier Inverter-Strukturen gleich durchgeführt wurde, kann eine Bewertung bzw. ein Vergleich stattfinden. Auch bei dieser Simulationsbetrachtung bilden der differentielle Inverter und der Maneatis-Inverter die untere und obere Grenze. Somit weist der differentielle Inverter mit NMOS-Kreuzkopplung die besten Rauscheigenschaften unter den untersuchten Inverter-Strukturen auf und verursacht den kleinsten zeitlichen Phasenversatz bei allen Simulationen. Da sich der Einfluss der simulierten Inverter auf die Periodendauer des Signals allerdings im sehr kleinen prozentualen Bereich bewegt, kann jeder der vier Inverter für den Einsatz in der Delay-Locked Loop empfohlen werden. Dieser sehr geringe Einfluss des Rauschens kann durch den Aufbau der DLL erklärt werden. Da die Delay-Line stets aus einer geraden Anzahl an Elementen besteht und nicht rückgekoppelt wird, kann das Referenzsignal nur verzögert am Ausgang wieder ausgegeben werden. Würde es eine Rückkopplung, wie zum Beispiel in einer Phase-Locked Loop geben, würde sich das Rauschsignal innerhalb jedes Durchlaufs durch die Kette aufaddieren und somit größer werden. Dieses Verhalten gilt allerdings nicht für eine Delay-Locked Loop, weshalb das Jitter gleichbleibend verläuft.

3.6 False-Lock Detektor

Der Phasendetektor aus Kapitel 3.1 vergleicht das Referenzeingangssignal mit dem Ausgang der Delay-Line (Verzögerungstakt) auf Phasengleichheit. Im eingeschwungenen Zustand der DLL soll die Phasenverschiebung zwischen den beiden Eingängen des Phasendetektors idealerweise Null Grad sein. Allerdings kann sich die DLL auch auf ein zeitliches Vielfaches der vorgegeben Referenz einschwingen und somit eine falsche Periodendauer annehmen. Hierbei wird zwischen einem False-Lock und einem Harmonic-Lock unterschieden. Bei einem False-Lock versucht die Regelung eine Verzögerungszeit von Null Sekunden zu erreichen, um eine minimale Phasenverschiebung zu erhalten. Dies ist in einem realen System nicht möglich. Stattdessen regelt sich die Regelschleife auf die kleinste minimale Durchlaufzeit ein. Bei einem Harmonic-Lock kann die Durchlaufzeit fälschlicherweise auf ein Vielfaches der Referenzperiodendauer eingestellt werden. Um die beiden ungewünschten Zustände ausschließen zu können, muss ein False-Lock Detektor implementiert werden. Für diese Funktion wird die Schaltung aus Abbildung 3.16 benutzt.

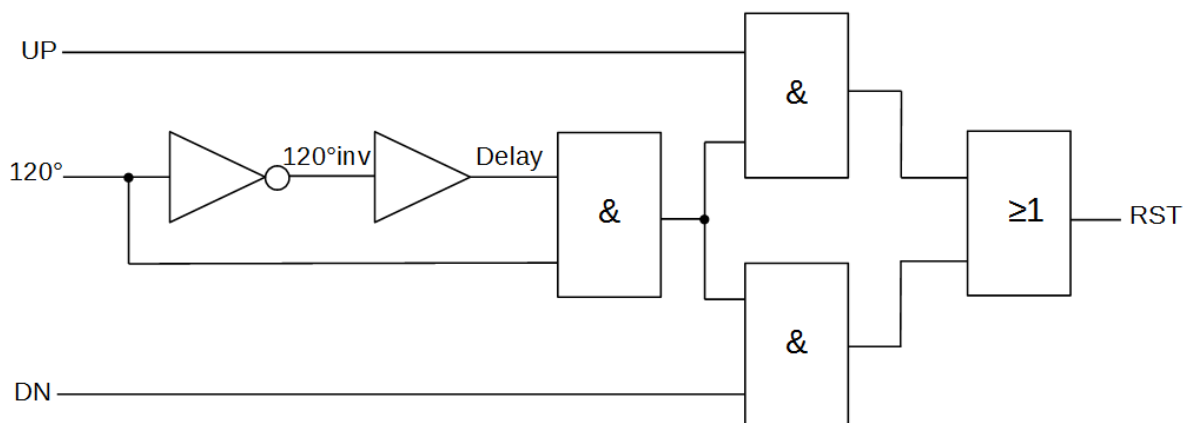


Abb. 3.16 Reset-Schaltung [16]

Mit der Schaltung aus Abbildung 3.16 wird ein kurzer RESET-Puls ausgelöst, nachdem ein Drittel der Delayline (120°) durchlaufen ist und gleichzeitig *UP* und *DN* anliegen. Durch die Reset-Schaltung ist sichergestellt, dass sich die Delay-Locked Loop immer in einem normalen Zustand einschwingt (normal lock), solange sich die Verzögerungszeit bei Werten kleiner als die 1,5-fache Referenzperiodendauer befindet. Oberhalb dieses Wertes werden falsche DN-Signale auftreten, welche wiederum für einen falschen Betriebszustand sorgen. Um die falschen DN-Pulse zu vermeiden, muss eine Schaltung implementiert werden, welche UP-Signale in diesem Fehlerfall erzwingt. Diese Schaltung wird Force-UP Schaltung genannt

und ist in Abbildung 3.17 abgebildet. Die Force-UP Schaltung weist als Eingänge den Referenztakt und hier als Beispiel drei Abgänge von der Delay-Line bei 90 Grad, 180 Grad und 270 Grad auf. In der umgesetzten Regelschleife weist die Force-UP Schaltung Abgriffe in 30 Grad Abständen auf, um eine höhere Genauigkeit zu erzielen. Der Ausgang FU soll als Eingang des Phasendetektors dienen. Bei einer logischen Null von FU werden UP-Signale erzwungen, während bei einer logischen Eins der normale Betrieb des Phasendetektors stattfindet. Durch die Rückführung an DFF0 über Q_N und D fungiert dieses Flipflop als Frequenzteiler. Die halbierte Frequenz liegt an den Dateneingängen der Flipflops DFF1, DFF2 und DFF3 an. Diese werden durch die Abgriffe der Delay-Line bei 90°, 180° und 270° geschaltet. Da der Ausgang der Flipflops DFF2 und DFF3 als Takteingang für die Flipflops DFF4 und DFF5 dient, ist sichergestellt, dass der Ausgang FU nur bei einer exakt eingehaltenen Schaltreihenfolge der Flipflops schalten kann.

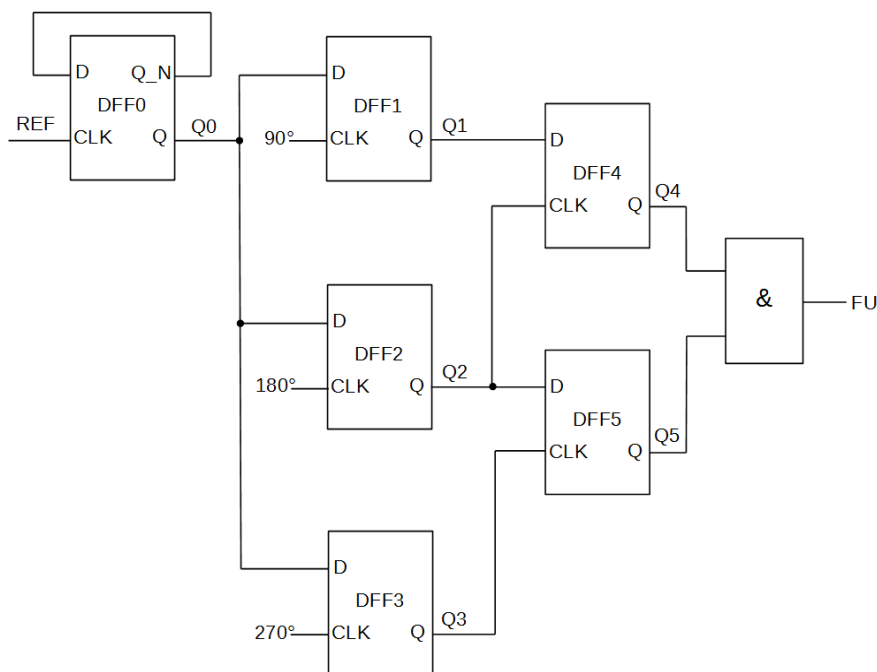


Abb. 3.17: Force-UP Schaltung [16]

Durch die Schaltreihenfolge der Flipflops innerhalb der Force-UP Schaltung wird der zeitliche Verlauf der Abgriffe überwacht und somit kann der Harmonic-Lock Fehler vermieden werden. Da die beiden Schaltungen auf den Phasendetektor einwirken, muss dieser so modifiziert werden, dass er auf die zusätzlichen Signale RST und FU reagiert. Hierfür wird der Phasendetektor um die betreffenden Eingangssignale erweitert. Ursprünglich wird das Reset-Signal der Flipflops DFF1 und DFF2, welches ursprünglich nur dann gesetzt wird, wenn beide Ausgänge UP und DN auf logisch HIGH sind. Wird zusätzlich das neue RST -

Eingangssignal mit einem ODER-Baustein verknüpft, kann ein externer Reset stattfinden. Das Low-Active Signal FU wird ebenfalls über ein ODER-Glied mit dem Ausgangssignal UP des DFF1 FlipFlops verknüpft. Bei einer logischen Null von FU wird das UP-Signal immer auf HIGH gesetzt sein und dadurch UP-Signale erzwingen. Im DN-Pfad wird der Ausgang von DFF2 und FU mit einem UND-Glied verknüpft. Ist FU auf logisch LOW, so wird das UND-Glied immer eine logische Null am Ausgang haben, so dass während der erzwungenen UP-Signale zeitgleich keine DN-Signale anliegen können. Liegt andererseits FU auf HIGH, findet der reguläre Betrieb des Phasendetektors statt und die regulären UP- und DN-Signale des Phasendetektors werden an die Ladungspumpe durchgeschliffen. Zusätzlich wird der Phasendetektor am Ausgang von UP um ein logisches UND-Gatter und am DN-Ausgang um ein logisches ODER-Gatter erweitert. Dies hat den Vorteil, dass beide Ausgänge mit den gleichen logischen Gattern versehen sind und somit auch mit gleicher Geschwindigkeit schalten können. Somit ist eine Phasenverschiebung, verursacht durch den Phasendetektor, ausgeschlossen. Die Ausgangsgatter werden um ein Enable-Signal EN erweitert, um den Phasendetektor und damit die gesamte Regelschleife der Delay-Locked Loop ein- und auszuschalten.

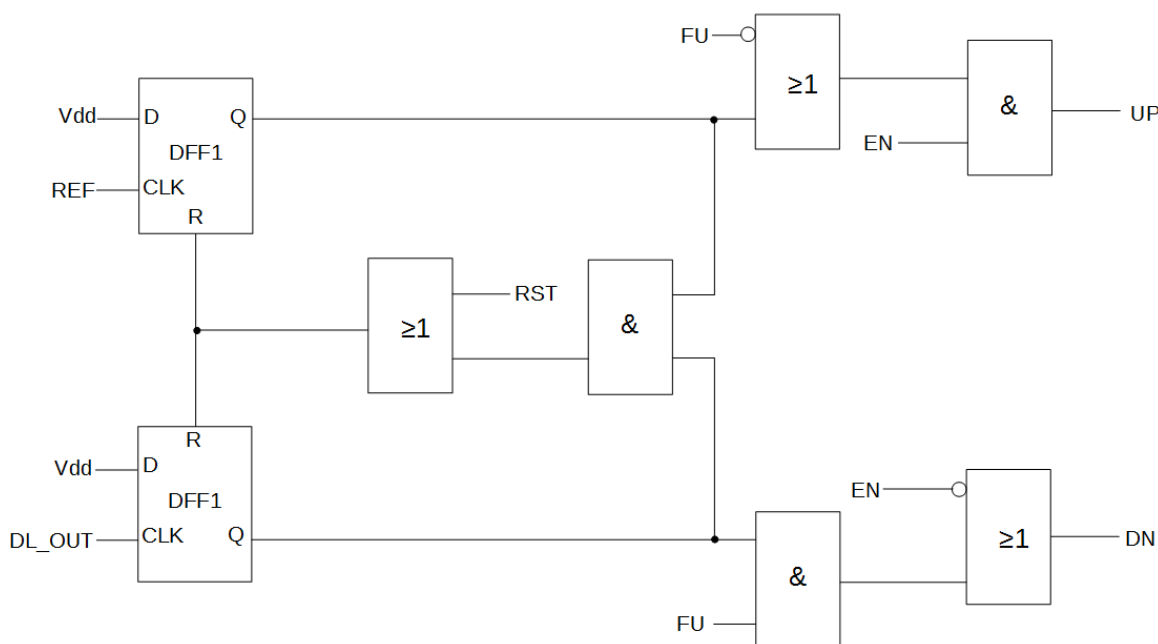


Abb. 3.18: Phasendetektor mit RST-, FU, und EN-Eingängen [16]

Ist das Signal EN auf HIGH geschaltet, kann der Phasendetektor seinen regulären Betrieb in Abhängigkeit vom Signal FU durchführen und UP-Signale können bis zum Ausgang durchgeschliffen werden. Wechselt das Signal EN von HIGH auf LOW, soll die gesamte Regelung ausgeschaltet werden und in einen sicheren Betrieb gelangen. Durch das invertier-

te Signal EN am DN-Ausgang wird bei einer logischen Null ein durchgehendes DN-Signal generiert, welches den Filterkondensator entlädt und die Filterspannung in Richtung Masse abgesenkt, um einen definierten Arbeitspunkt für den nächsten Einschaltvorgang zu gewährleisten.

3.7 Übertragungsfunktion der DLL

Um die möglichen Einflüsse innerhalb einer Delay-Locked Loop auf den Regelkreis darstellen zu können, muss die Übertragungsfunktion beschrieben werden. Diese Funktion beschreibt den Zusammenhang zwischen der Eingangsperiodendauer $T_{in}(s)$ und dem verzögerten Ausgangstakt $T_{OUT}(s)$ am Ausgang der Delay-Line. Im idealen stationären Fall sollte die Phasendifferenz zwischen $T_{in}(s)$ und $T_{OUT}(s)$ Null sein. Basierend auf der Abbildung 3.19 wird die Übertragungsfunktion, bestehend aus dem Phasendetektor als Vergleichler, der Charge Pump CP , dem Loopfilter LF und der Delay-Line beschrieben.

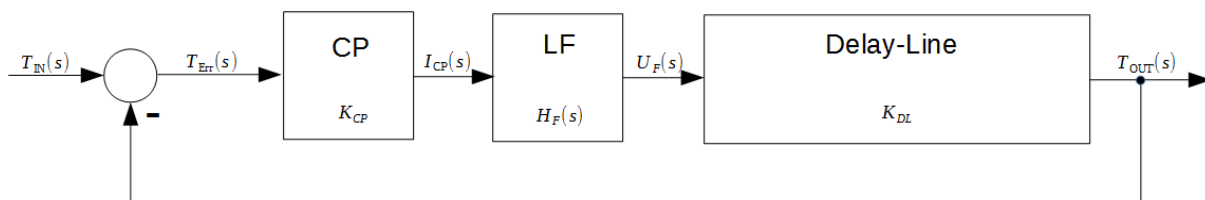


Abb. 3.19: Blockdiagramm einer Delay-Locked Loop [17]

Eine Delay-Locked Loop beschreibt im eingeschwungenen Zustand ein einpoliges System und gilt deshalb als strukturstabil. Der Phasendetektor vergleicht die Eingangsperiode $T_{IN}(s)$ mit der Ausgangsperiode $T_{OUT}(s)$, wodurch sich ein Differenzfehler $T_{Err}(s)$ ergibt.

$$T_{Err}(s) = T_{IN}(s) - T_{OUT}(s) \quad (3.4)$$

Der Verlauf des Ausgangsstroms $I_{CP}(s)$ wird anhand des Produktes von dem Proportionalitätsfaktor K_{CP} und dem Differenzfehler $T_{Err}(s)$ gebildet.

$$I_{CP}(s) = K_{CP} \cdot (T_{IN}(s) - T_{OUT}(s)) \quad (3.5)$$

Der Proportionalitätsfaktor K_{CP} beschreibt das Verhältnis des eingestellten Lade- bzw. Entladestrom der Charge Pump zur Periodendauer des Eingangssignals T_{CLOCK} .

$$K_{CP} = \frac{I_{CP}}{T_{CLOCK}} \quad (3.6)$$

Die Filterspannung $U_F(s)$ resultiert aus dem Ausgangsstrom $I_{CP}(s)$ und dem Filterkondensator $H_F(s)$, welcher als Integrator wirkt und mit $1/sC$ beschrieben wird.

$$U_F(s) = \frac{I_{CP}(s)}{sC} = \frac{K_{CP}}{sC} \cdot (T_{IN}(s) - T_{OUT}(s)) \quad (3.7)$$

Nachfolgend wird die Übertragungsfunktion für die Verzögerungskette über die Ausgangsperiode $T_{OUT}(s)$ und der Filterspannung $U_F(s)$ definiert und in Gleichung 3.7 eingesetzt.

$$T_{OUT}(s) = K_{DL} \cdot U_F(s) = \frac{K_{DL} \cdot K_{CP}}{sC} \cdot (T_{IN}(s) - T_{OUT}(s)) \quad (3.8)$$

Nach Umformung der Gleichung 3.8 in die allgemeine Übertragungsfunktion eines einpoligen Systems ergibt sich für die Delay-Locked folgender Zusammenhalt:

$$G_{DLL}(s) = \frac{T_{OUT}(s)}{T_{IN}(s)} = \frac{1}{1 + s \frac{C}{K_{DL} \cdot K_{CP}}} \quad (3.9)$$

Durch Einsetzen der Gleichung 3.6 in Gleichung 3.9 wird die Übertragungsfunktion der DLL wie folgt dargestellt.

$$G_{DLL}(s) = \frac{T_{OUT}(s)}{T_{IN}(s)} = \frac{1}{1 + s \frac{C \cdot T_{CLOCK}}{K_{DL} \cdot I_{CP}}} \quad (3.10)$$

Die Übertragungsfunktion eines einpoligen Systems wird allgemein durch den Zusammenhang aus Gleichung 3.11 definiert.

$$G(s) = \frac{T_{OUT}(s)}{T_{IN}(s)} = \frac{1}{1+s\tau} \quad (3.11)$$

Anhand der allgemeinen Gleichung für die Anstiegszeit eines einpoligen Systems $T_r = 2,2\tau$, kann die Gleichung für die Einschwingzeit ermittelt werden.

$$T_r = \frac{2,2 \cdot C \cdot T_{CLOCK}}{K_{DL} \cdot I_{CP}} = \text{Anzahl der Perioden} \cdot T_{CLOCK} \quad (3.12)$$

Die Gleichung 3.12 verdeutlicht den Einfluss des Loopfilters, des eingestellten Stromes I_{pump} der Charge Pump und der Verzögerungszeit des Delay-Elements auf die Einschwingzeit. Durch diese Gleichung können qualitative Aussagen über die Dimensionierung des Kondensators und des Stroms der Charge Pump für den Einfluss auf die Filterspannung getroffen werden. Ist das Verhältnis klein gewählt, kann sich die Delay-Locked Loop innerhalb weniger Perioden einschwingen, allerdings erfährt die Filterspannung dabei eine größere Spannungsänderung im Schaltmoment der Charge Pump. Wird das Verhältnis groß gewählt, kann sich die Regelschleife erst nach einer höheren Anzahl von Perioden einschwingen, wodurch der Einfluss des Ripples auf der Filterspannung erheblich kleiner ist und die Verzögerungszeit der Delay-Line weniger stark beeinträchtigt wird.

3.8 Ideale Delay-Locked Loop

Zu Beginn dieser Thesis wurde die Delay-Locked Loop zunächst durch ideale Teilkomponenten aufgebaut und auf ihre Funktion geprüft. Dies hat den Vorteil, dass die Wirkung der Transistorschaltung von Einzelkomponenten wie die Charge Pump oder der Low-Dropout Spannungsregler isoliert in einem ansonsten idealen Regelkreis simuliert werden können. Somit lassen sich Simulationsergebnisse erzielen, die nicht durch andere Schaltungskomponenten im Regelkreis verfälscht werden. Der Phasendetektor und die Delay-Line wurden in Verilog-A modelliert. Hierbei wurden Modelle für ein D-Flip-Flop, ein UND-Gatter, ein ODER-Gatter und einen Inverter angefertigt, um aus diesen Modellen den Phasendetektor und die Force-UP Schaltung zusammenzusetzen. Die Charge Pump wird, wie in Kapitel 5.1 beschrieben, durch zwei spannungsgesteuerte Stromquellen ideal nachgebildet. Der Spannungsregler kann durch eine spannungsgesteuerte Spannungsquelle mit einer Verstärkungsfaktor von zwei nachgebildet werden. Die Verilog-A Modelle der einzelnen Bauteile sind im Anhang aufgelistet.

4. Entwicklung eines Transkonduktanzverstärkers

Ein Transkonduktanzverstärker ist eine Verstärkerschaltung, welche die Differenzspannung von zwei an den Eingängen angelegten Spannungen in einen proportionalen Ausgangsstrom umwandelt. Ein OTA besitzt im Gegensatz zu einem normalen Operationsverstärker einen hochohmigen Stromausgang anstatt eines niederohmigen Spannungsausgangs. Da für die Implementierung verschiedener Charge Pumps ein Operationsverstärker für die Regelung der Ausgangsströme nötig ist, wird in diesem Kapitel ein Transkonduktanzverstärker von der Grundschaltung aus für den Einsatz weiterentwickelt.

4.1 Differenzieller Verstärker

Differenzielle Verstärker finden in der heutigen Zeit ein breites Anwendungsgebiet in der analogen Schaltungstechnik. Aufgrund des differentiellen Aufbaus zeigt diese Art von Verstärker ein robustes Verhalten gegenüber Gleichtaktstörungen. Somit können Versorgungsspannungsvariationen oder Signalverzerrungen besser kompensiert werden als bei einem nicht differentiellen Verstärker. Da die Gleichtaktstörungen auf beide Signalpfade innerhalb der differentiellen Struktur gleichermaßen einwirken, aber die Schaltung nur auf differentielle Signale reagiert, werden Störeinflüsse kompensiert.

4.1.1 Differenzeingangsstufe

Eine differenzielle Eingangsstufe verstärkt die Spannungsdifferenz an den anliegenden Eingangssignalen U_{in1} und U_{in2} und gibt diese über die Ausgänge U_{out1} und U_{out2} aus. Eine solche Differenzeingangsstufe ist in der nachfolgenden Abbildung 4.1 dargestellt:

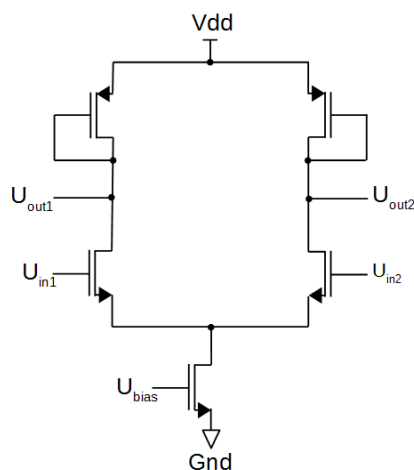


Abb. 4.1: Differenzielle Eingangsstufe [18]

Die Eingänge dieser Eingangsstufe bilden die Gates der beiden NMOS-Transistoren, die Ausgänge befinden sich zwischen den Drain-Anschlüssen der Transistoren. Die Stufe wird durch den unteren NMOS mit einem konstanten Strom versorgt. An dem Gate dieses Transistors liegt die Spannung U_{bias} an, die gewöhnlich von einer Stromspiegelschaltung bereitgestellt wird. Wenn die diodenverschalteten PMOS-Transistoren gleich dimensioniert werden und somit auch die Ausgangswiderstände R_{DS1} und R_{DS2} der Transistoren den gleichen Wert aufweisen, und $U_{in1} = U_{in2}$ gilt, teilt sich der Strom I_D in beiden Strompfaden exakt auf $I_D/2$ auf. Nachfolgend kann der Zusammenhang für die Differenzspannung ΔU_{in} wie folgt beschrieben werden:

$$\Delta U_{in} = U_{in1} - U_{in2} = U_{GS1} - U_{GS2} \tag{4.1}$$

Für die Ausgangsspannung U_{out} gilt:

$$U_{out} = VDD - \left(\sqrt{\frac{2 \cdot I_D \cdot L}{\mu \cdot C_{OX} \cdot W}} + U_{TH} \right) \tag{4.2}$$

Demnach ergibt sich für die Ausgangsspannungsdifferenz:

$$\Delta U_{out} = U_{OUT1} - U_{out2} = \sqrt{\frac{2L}{\mu \cdot C_{OX} \cdot W}} \cdot (\sqrt{I_{D2}} - \sqrt{I_{D1}}) \tag{4.3}$$

Um die Ausgangsverstärkung der Differenzstufe ermitteln zu können, muss das Kleinsignal-Ersatzschaltbild erstellt werden:

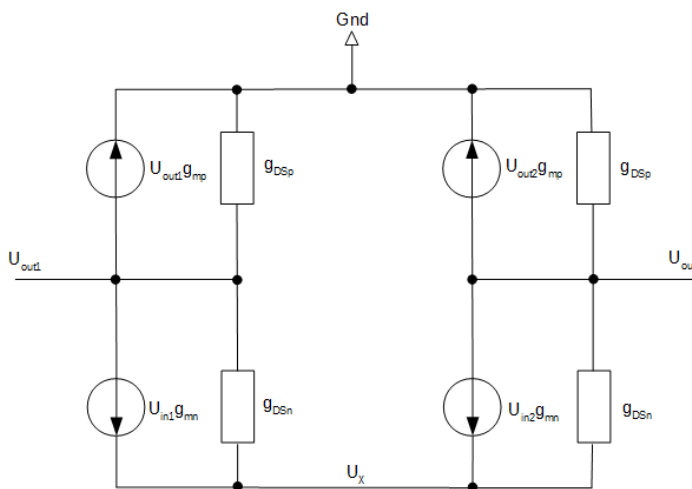


Abb. 4.2: Kleinsignal-Ersatzschaltbild einer Differenzeingangsstufe

Die Transistoren werden für das Ersatzschaltbild als spannungsgesteuerte Stromquelle und einem parallelen Ausgangsleitwert mit den Indexen n und p für die Unterscheidung von NMOS zu PMOS dargestellt. Um die Verstärkung für die Ausgangsspannungen U_{out1} und U_{out2} zu ermitteln, kann das erste Kirchhoffsche Gesetz angewendet werden. Hierdurch lässt sich die Summe aller Ströme am Ausgangsknoten miteinander verknüpfen.

$$U_{out1} \cdot g_{mp} + U_{out1} \cdot g_{DSp} + (U_{in1} - U_X) \cdot g_{mn} + (U_{out1} - U_X) \cdot g_{DSn} = 0 \quad (4.4)$$

$$U_{out2} \cdot g_{mp} + U_{out2} \cdot g_{DSp} + (U_{in2} - U_X) \cdot g_{mn} + (U_{out2} - U_X) \cdot g_{DSn} = 0 \quad (4.5)$$

Nachfolgend wird die Gleichung 4.4 nach U_{out1} und Gleichung 4.5 nach U_{out2} umgeformt:

$$U_{out1} = \frac{-U_{in1} g_{mn} + U_X (g_{mn} + g_{DSn})}{(g_{mp} + g_{DSp} + g_{DSn})} \quad (4.6)$$

$$U_{out2} = \frac{-U_{in2} g_{mn} + U_X (g_{mn} + g_{DSn})}{(g_{mp} + g_{DSp} + g_{DSn})} \quad (4.7)$$

Unter Verwendung der Annahme aus Gleichung 4.3 können die Gleichungen 4.6 und 4.7 zusammengefasst und vereinfacht werden.

$$\Delta U_{out} = U_{out2} - U_{out1} = \frac{-g_{mn}}{g_{mp} + g_{DSp} + g_{DSn}} \cdot \Delta U_{in} \quad (4.8)$$

Nachfolgend resultiert die Verstärkung der Differenzstufe.

$$\frac{\Delta U_{out}}{\Delta U_{in}} = A = \frac{-g_{mn}}{g_{mp} + g_{DSp} + g_{DSn}} \quad (4.9)$$

Die Gleichung 4.9 zeigt, dass die Verstärkung der Eingangsstufe des differentiellen Verstärkers von der Steilheit g_m der NMOS- und PMOS-Transistoren sowie dem Leitwert bzw. dem effektiven Ausgangswiderstand der Ausgangstransistoren abhängt. Die Steilheit g_m kann durch das Erhöhen des W/L-Verhältnisses der Eingangstransistoren sowie der Ausgangswiderstandes des Verstärkers infolge einer Kaskodierung beeinflusst werden.

4.2 Transkonduktanzverstärker

In diesem Teilkapitel wird die Grundsaltung des Transkonduktanzverstärkers anhand der Abbildung 4.3 schematisch sowie zur Berechnung der Verstärkung mathematisch beschrieben:

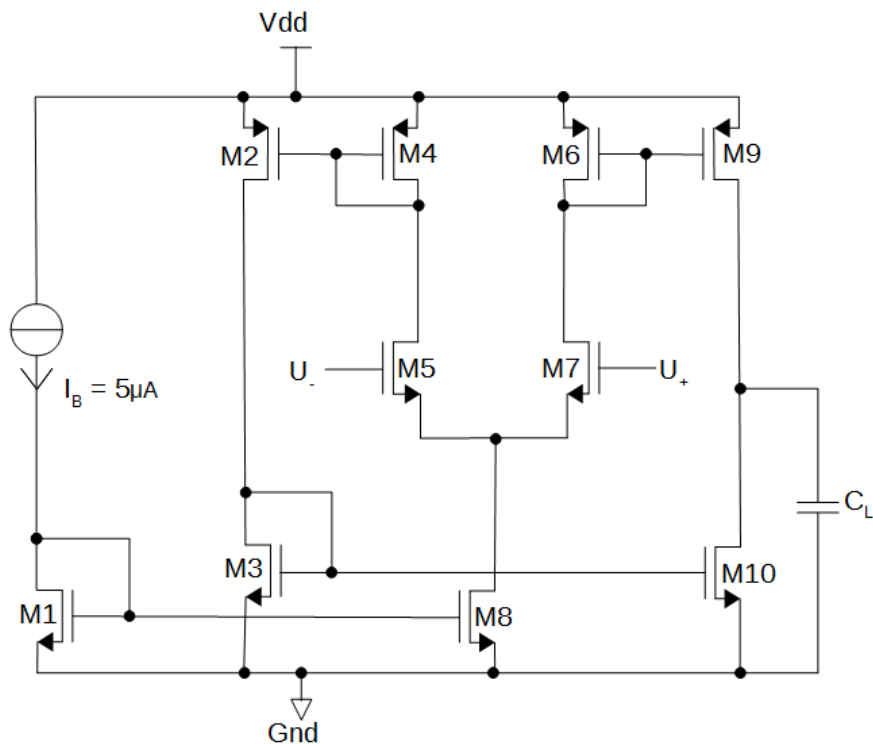


Abb. 4.3: Grundsaltung Transkonduktanzverstärker [19]

Der OTA vergleicht die Differenz zwischen den beiden Spannungen U_- und U_+ und gibt je nach Vorzeichen der Spannungsdifferenz einen positiven oder negativen Strom, der die Kapazität C_L am Ausgang auf- oder entlädt. Über die Transistoren M1 und M8 wird der Betriebsstrom I_B zur Eingangsdifferenzstufe des OTAs gespiegelt. Ist die Eingangsspannung am positiven Eingang größer als am negativen, leitet M7 einen größeren Strom als M5. Dieser Strom wird über den Stromspiegel von M6 und M9 auf den Ausgang gespiegelt und die Ausgangsspannung an C_L steigt. Wenn allerdings die Spannung am negativen Eingang der Differenzstufe größer ist als am positiven, fließt durch den linken Strompfad ein höherer Strom. Dieser Strom wird ähnlich zum anderen Strompfad über die Stromspiegel von M2, M3, M4 und M10 an den Ausgang gespiegelt. Da der NMOS-Transistor zur Masse Gnd verbunden ist, fließt ein Stromfluss von C_L nach Gnd und die Ausgangsspannung sinkt. Durch die Stromspiegel M6/M9 und M3/M10 kann durch die Wahl eines Stromspiegelfaktors K der Betriebsstrom I_B um den gleichen Faktor vervielfacht werden.

Wenn die Transistoren M5 und M6 sowie M4 und M6 gleich dimensioniert werden, resultiert folgende Gleichung für den Ausgangsstrom I_D , wobei g_m für die Steilheit der Eingangstransistoren steht.

$$I_D = I_{D6} - I_{D4} = g_m \cdot (U_+ - U_-) \quad (4.10)$$

Die Ausgangsspannung des OTAs kann über den Ausgangsstrom I_D , den Stromspiegelfaktor K und der Parallelschaltung der Drain-Source Widerstände von M9 und M10 ermittelt werden.

$$U_{out} = K I_D (r_{DS9} || r_{DS10}) \quad (4.11)$$

Wird Gleichung 4.10 in 4.11 eingesetzt, resultiert die Verstärkung für den OTA.

$$A_{OTA} = \frac{U_{out}}{U_+ - U_-} = K \cdot g_m \cdot (r_{DS9} || r_{DS10}) \quad (4.12)$$

Um einen höheren Verstärkungsfaktor A_{OTA} zu erreichen, kann die Steilheit g_m der Eingangstransistoren oder der Ausgangswiderstand des Verstärkers erhöht werden. Um die Steilheit g_m zu erhöhen, ist es möglich, die Eingangstransistoren M5 und M7 sehr weit zu dimensionieren und den Stromfluss durch die Transistoren zu vergrößern. Der Ausgangswiderstand kann durch eine Kaskodierung der Ausgangstransistoren erhöht werden.

4.3 Kaskodierter Transkonduktanzverstärker

Der kaskodierte OTA basiert auf der Grundschaltung aus Abbildung 4.3. Um neben dem höheren Verstärkungsfaktor A_{OTA} auch einen exakt gespiegelten Ausgangsstrom I_D zu erhalten, werden nicht nur die Ausgangstransistoren, sondern auch sämtliche stromeinstellende Transistoren kaskodiert.

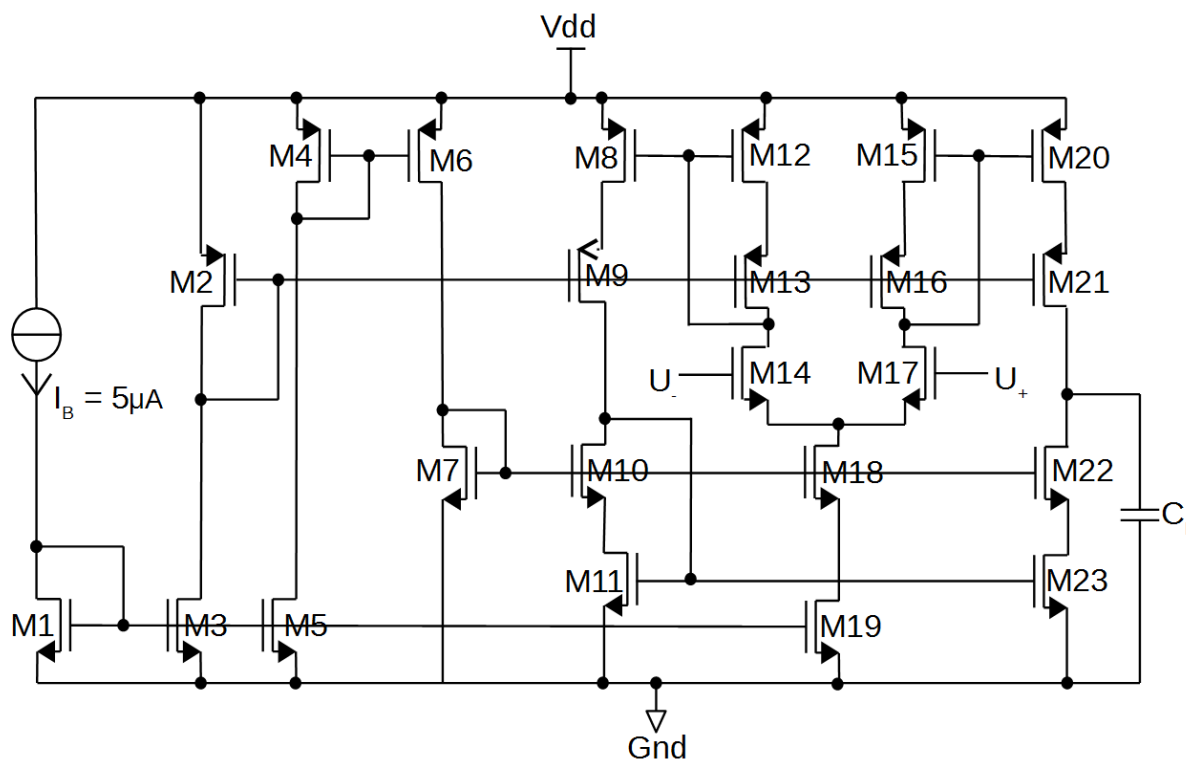


Abb. 4.4: Kaskodierter Transkonduktanzverstärker [19]

Durch die kaskodierte Struktur der Stromspiegel aus Abbildung 4.4 lässt sich ein exakter Stromspiegelfaktor für diesen Transkonduktanzverstärker erreichen. Die Gate-Source Spannungen der PMOS-Kaskode-Transistoren M9, M13, M16 und M21 werden durch die Transistoren M2 und M3 so eingestellt, dass die richtigen Drain-Source Spannungen U_{DS} für die Transistoren M8, M12, M15 und M20 erzielt werden. Dasselbe Prinzip wird für die Arbeitspunkteinstellung der NMOS-Kaskode-Transistoren M10, M18 und M22 angewendet. Hierbei wird der Betriebsstrom I_B über M5 auf den PMOS-Stromspiegel von M4 und M6 gespiegelt. Dieser gespiegelte Strom fließt durch M7, welcher die Arbeitspunkte für die NMOS-Kaskode-Transistoren einstellt.

Die Eingangstransistoren M14 und M17 wurden sehr weit gewählt, um eine hohe Steilheit g_M und damit eine höhere Verstärkung zu erreichen. Es wurden NNDIG-Transistoren verwendet, da diese eine sehr kleine Schwellenspannung aufweisen und der Verstärker somit auch auf kleine Eingangssignale mit relativ niedrigen Spannungen reagieren kann. Die Kaskode-Transistoren werden so dimensioniert, dass sie die gleiche Weite wie die zu kaskadierenden Transistoren aufweisen, um eine bessere Abstimmung zwischen den Transistoren zu erzielen. Die Länge der Kaskode-Transistoren kann hier allerdings auf Minimallänge gewählt werden. Die Ausgangstransistoren werden um den Faktor $K=2$ vergrößert, um den dop-

pelten Strom am Ausgang fließen zu lassen. Der Kondensator C_L wurde mit 20 pF groß gewählt, um zu gewährleisten, dass der OTA innerhalb der Charge Pump verbaut zu jeder Zeit einen ausreichend hohen Strom liefern kann.

Ziel der Kaskodierung ist es, die Verstärkung des OTAs zu erhöhen. Nachfolgend wird die Verstärkung des kaskodierten Transkonduktanzverstärkers ermittelt. Der Ausgangswiderstand der Kaskodierung basiert auf den Berechnungen aus dem Kapitel 2.1.1 und der Gleichung 2.17.

$$r_{gesamt} = (r_{DS20} + (gm_{21} \cdot r_{DS21}) \cdot r_{DS20} + r_{DS21}) \parallel (r_{DS23} + (gm_{22} \cdot r_{DS22}) \cdot r_{DS23} + r_{DS22}) \quad (4.13)$$

Die zwei Reihenschaltungen der Ausgangswiderstände von den PMOS- und NMOS-Transistoren bilden zusammen eine Parallelschaltung, welche dem Gesamtausgangswiderstand r_{gesamt} des OTAs entspricht. Daraus resultiert der Verstärkungsfaktor A_{OTA} .

$$A_{OTA} = \frac{U_{out}}{U_+ - U_-} = K \cdot g_m \cdot r_{gesamt} \quad (4.14)$$

$$A_{OTA} = K \cdot g_m \cdot [(r_{DS20} + (gm_{21} \cdot r_{DS21}) \cdot r_{DS20} + r_{DS21}) \parallel (r_{DS23} + (gm_{22} \cdot r_{DS22}) \cdot r_{DS23} + r_{DS22})]$$

Nachfolgend wird das Bode-Diagramm für die Ermittlung der Leerlaufverstärkung, Phasenreserve und Durchtrittsfrequenz des kaskodierten Transkonduktanzverstärkers in Abbildung 4.4 dargestellt. Die Leerlaufverstärkung beträgt 80,4 dB und kann durch die Gleichung 4.15 in einen Dezimalwert umgerechnet werden.

$$A_{dB} = 20 \text{ dB} \cdot \log(A) \quad (4.15)$$

$$A = 10^{\frac{A_{dB}}{20}}$$

Aus der Gleichung 4.14 resultiert eine Leerlaufverstärkung von 10471 für den kaskodierten OTA.

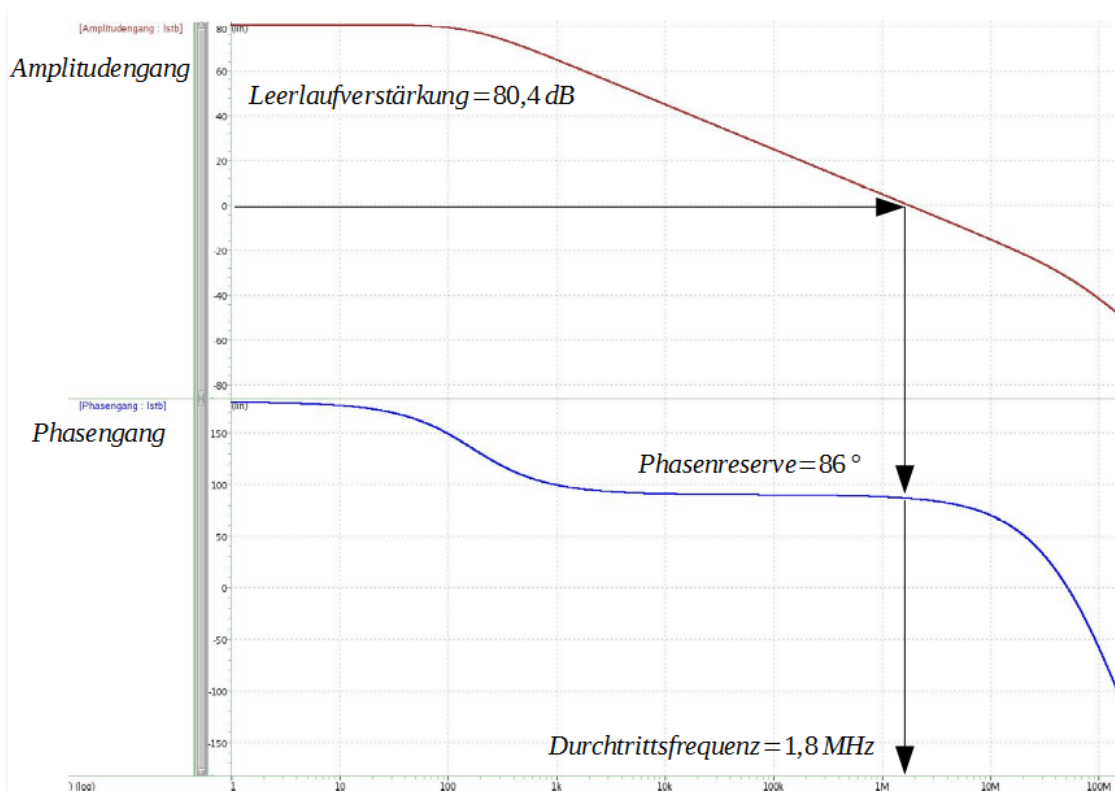


Abb. 4.5: Bode-Diagramm des kaskadierten Transkonduktanzverstärkers

Außerdem ist dem Bode-Diagramm zu entnehmen, dass eine Polstelle ab einer Frequenz von 200 Hz wirkt und für einen Abfall der Verstärkung von 20 dB pro Dekade sorgt. Die dominante Polstelle wird durch den Ausgangskondensator zu niedrigeren Frequenzen verschoben und somit hingehend kompensiert. Der OTA weist eine Phasenreserve von 86° bei einer Durchtrittsfrequenz von 1,8 MHz auf. Die Durchtrittsfrequenz des offenen Regelkreises steht für die Grenzfrequenz des geschlossenen Regelkreises und gibt eine Auskunft über die Schnelligkeit des Reglers. Somit behält der Verstärker im geschlossenen Regelkreis seine Verstärkung bis zur Grenzfrequenz bei.

4.3.1 Verhalten bei Temperatur- und Corner-Simulationen

Für die nachfolgende Betrachtung werden die Phasenreserve sowie die Leerlaufverstärkung des offenen Regelkreises über den Temperaturbereich von -50 °C bis 120 °C und allen Corner-Modellen abgebildet. Zusätzlich wird die Eingangsspannung am Verstärker von 0 V bis 3,3 V variiert, um einen Verlauf der Parameter über die Temperatur, allen Corner-Modellen und der Eingangsspannung zu erreichen.

Aus der Abbildung 4.5 ist zu entnehmen, dass die Phasenreserve im Spannungsbereich von 0 V bis 200 mV sehr hoch ist und sich dann auf ca. 90° absenkt. Dies liegt daran, dass die

NNDIG-Eingangstransistoren eine Schwellenspannung von ca. 150 mV aufweisen. Die Phasenreserve bleibt zwischen 200 mV und 2,3 V sehr konstant und steigt danach wieder an. Für die Temperaturbereiche von -50 °C und 30 °C verläuft die Phasenreserve ähnlich ohne weitere Auffälligkeiten.

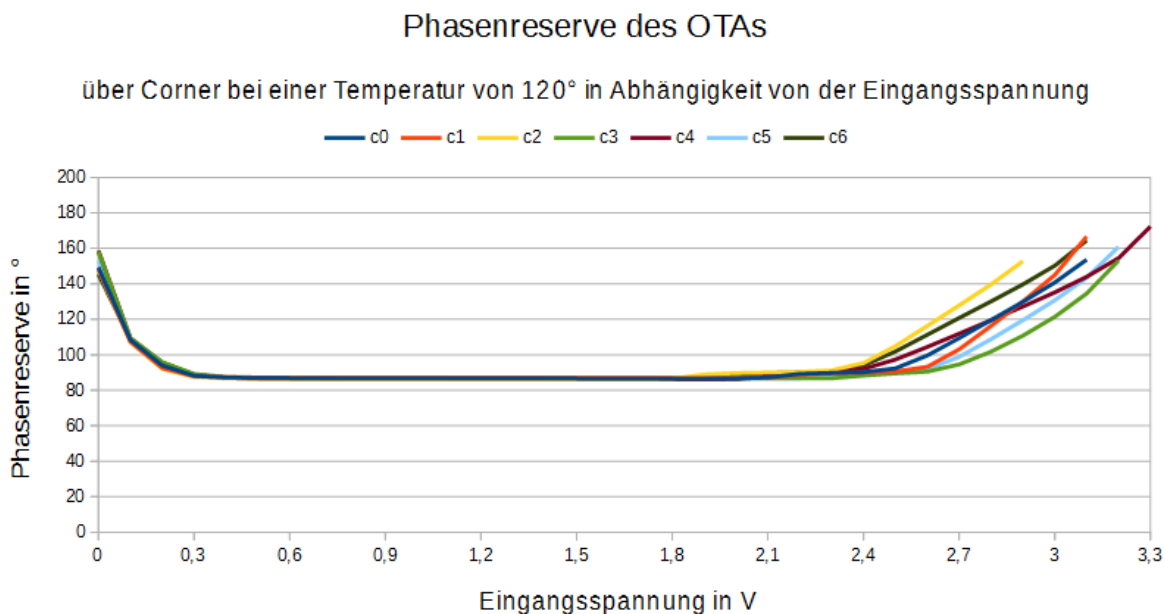


Abb. 4.6: Phasenreserve des OTAs über Corner bei einer Temperatur von 120° in Abhängigkeit von der Eingangsspannung

Der Anstieg der Phasenreserve im oberen Spannungsbereich kann anhand des Verlaufs der Leerlaufverstärkung aus Abbildung 4.6 erklärt werden. Die Verstärkung fällt im oberen Spannungsbereich ab, weshalb es zu einer Anhebung der Phasenreserve kommt.

Die geringe Verstärkung bei niedrigen Versorgungsspannungen entsteht aufgrund der Tatsache, dass das Source-Potential den stromeinstellenden Transistor und seine Kaskode aus der Sättigung treibt und irgendwann die Spannung U_{DS} der betroffenen Transistoren auf fast 0 V zwingt. Dadurch bricht der Arbeitspunktstrom ein und die Schaltungsfunktion ist nicht mehr gewährleistet. Bei hohen Eingangsspannungen reduziert sich die Verstärkung, weil die Eingangstransistoren M14 und M17 den Sättigungsbereich verlassen. Das Drain-Potential der Eingangstransistoren wird durch das Gate-Potential der PMOS Transistoren M12 und M13 eingepreßt, während die Source-Potentiale der Eingangstransistoren den Gate-Potentialen folgen. Werden die Eingangsspannungen zu hoch, liegt die Spannungsdifferenz zwischen Drain und Source unter der Sättigungsspannung. Dieser Effekt tritt insbesondere bei Eingangstransistoren mit kleinen Schwellenspannungen auf. Auch bei der Leerlaufverstär-

kung kommt es bei Betrachtung der Temperaturbereiche von -50°C und 30°C zu keinen wesentlichen Abweichungen.

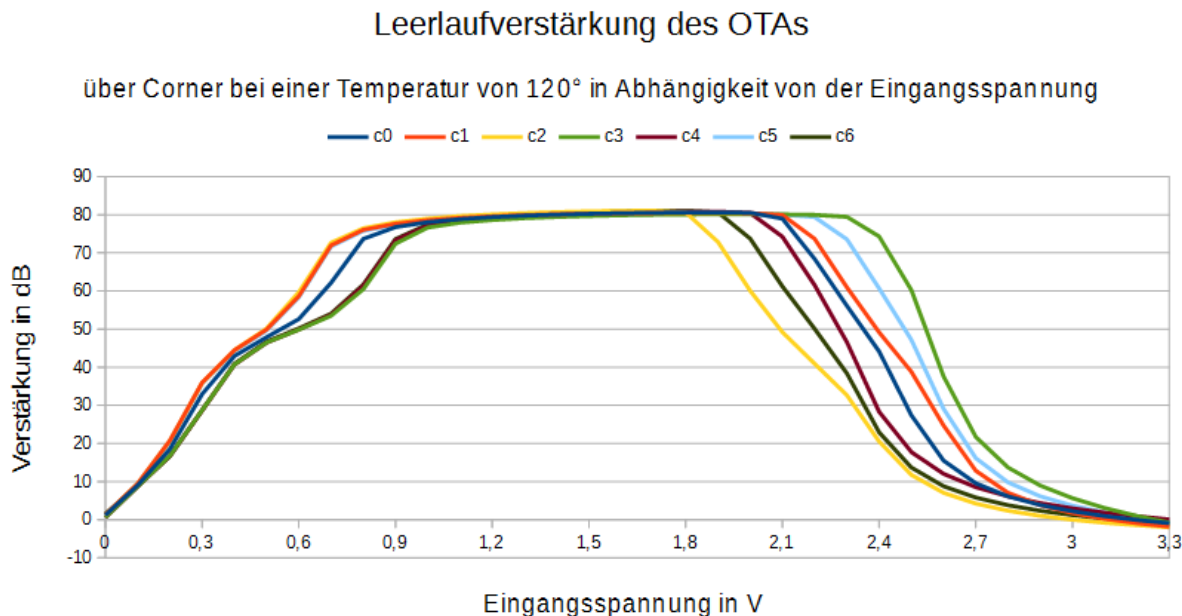


Abb. 4.7: Leerlaufverstärkung des OTAs über Corner bei einer Temperatur von 120° in Abhängigkeit von der Eingangsspannung

Da der Verstärker für Spannungen größer als 2 V eine Absenkung der Leerlaufverstärkung erfährt, kann dieser für diesen Spannungsbereich nicht ausreichend hoch verstärken. In der Praxis wird das Regelverhalten für diesen Spannungsbereich wesentlich langsamer ablaufen.

Dieser Nachteil kann durch einen großen Filterkondensator kompensiert werden, da das Einschwingen der Delay-Locked Loop nicht besonders schnell ablaufen muss. Durch die Auswahl eines 100 pF Kondensators wird nicht nur die zeitliche Spannungsänderung auf den Filter im Schaltmoment, sondern auch der Spannungsanstieg der Filterspannung beim Einschwingen drastisch reduziert.

4.4 Gefalteter Transkonduktanzverstärker

Der kaskodierte Transkonduktanzverstärker hat den Nachteil, dass dieser nur in einem beschränkten Eingangsspannungsbereich von bis zu 2 V mit einer ausreichend hohen Verstärkung arbeiten kann. Um auch in einem höheren Spannungsbereich sicher arbeiten zu können, muss ein anderer Transkonduktanzverstärker für den Einsatz in der Delay-Locked Loop entwickelt werden. In der Abbildung 4.8 ist der schematische Aufbau eines Transkonduktanz-

verstärkers mit einer gefalteten Kaskode dargestellt. Durch diese Kaskode werden die Eingangstransistoren M10 und M11 in einem parallel zum Ausgangspfad positionierten Differenzzweig verschaltet. Dies hat den Vorteil, dass die Eingangstransistoren mit einem Transistor weniger in Reihe geschaltet arbeiten als bei dem kaskodierten Verstärker in dem Kapitel zuvor. Dadurch erfährt der Differenzzweig einen geringeren Spannungsfall über die Drain-Source-Potentiale der Transistoren. Somit wird eine Schwellenspannung und eine Sättigungsspannung gegenüber des kaskodierten OTAs eingespart und es wird ein höherer Eingangsspannungsbereich abgedeckt.

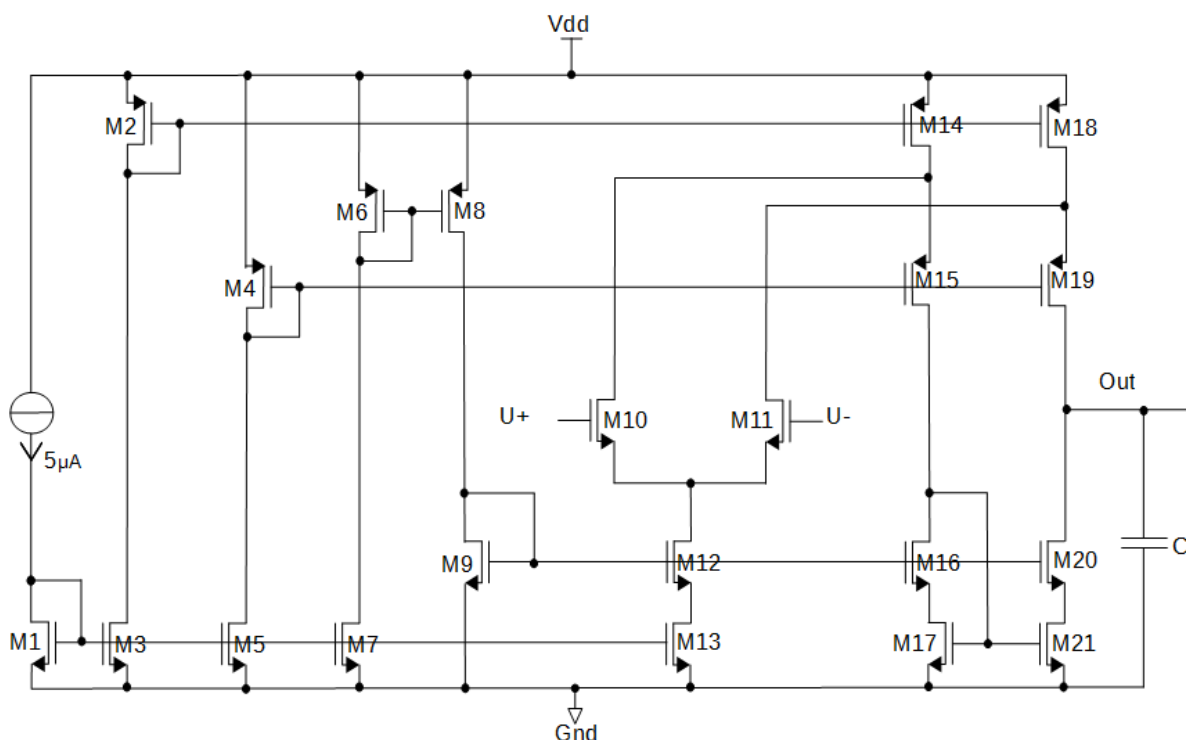


Abb. 4.8: Gefalteter Transkonduktanzverstärker [19]

Die Transistoren M1, M3, M5, M7 und M13 dienen als stromeinstellende Quellen und verteilen den anliegenden Arbeitsstrom zu den verschiedenen Parallelzweigen. Über die PMOS-Transistoren M2, M14, M18, sowie M4, M15 und M19 wird der eingestellte Strom an den Ausgangspfad gespiegelt. Die Transistoren M14 und M18 werden so dimensioniert, dass diese den doppelten Stromfluss im Vergleich zu M15 und M19 leiten können. Sie müssen den Ausgangsstrom plus den Strom des differentiellen Eingangszweigs führen können. Der Stromspiegel, bestehend aus M6 und M8, sowie M9, leitet den Arbeitsstrom auf die NMOS-Transistoren M12, M16 und M20. Durch diese Ansteuerung ist gewährleistet, dass sowohl die PMOS- als auch die NMOS-Ausgangstransistoren denselben Stromfluss liefern können. Die Eingangstransistoren M10 und M11 sind ähnlich wie bei den kaskodierten OTA durch NNDIG-Transistoren aufgebaut, um auch auf sehr niedrige Eingangsspannungen verarbeiten

zu können. Liegt am Transistor M11 eine höhere Spannung als an M10 an, stellt sich auch ein höherer Stromfluss über diesen Transistor im Differenzzweig ein. Das Source-Potential von M19 wird auf das Massepotential Gnd bezogen, wodurch dieser aus dem Arbeitspunkt gerät und den Strompfad von Vdd in Richtung Out sperrt. Dadurch besteht ein Stromfluss von M14 über den NMOS-Stromspiegel von M17 und M21 zum Ausgang. Die Spannung am Ausgang sinkt und Ladungen werden vom Kondensator entnommen. Entsprechend zwingt eine hohe Eingangsspannung an M10 den PMOS-Transistor M15 zu sperren, wodurch ein Strom von Vdd zum Ausgang fließen kann. Die Filterspannung steigt und es werden Ladungen auf den Kondensator gespeichert.

Der Verstärkungsfaktor des gefalteten Transkonduktanzverstärkers resultiert aus derselben Berechnung wie aus der Gleichung 4.13 des kaskodierten OTAs. Der wesentliche Unterschied ergibt sich dadurch, dass durch die Transistoren M14 und M18 ein wesentlich höherer Stromfluss entsteht, wodurch der Ausgangswiderstand geringer und somit der Verstärkungsfaktor reduziert wird.

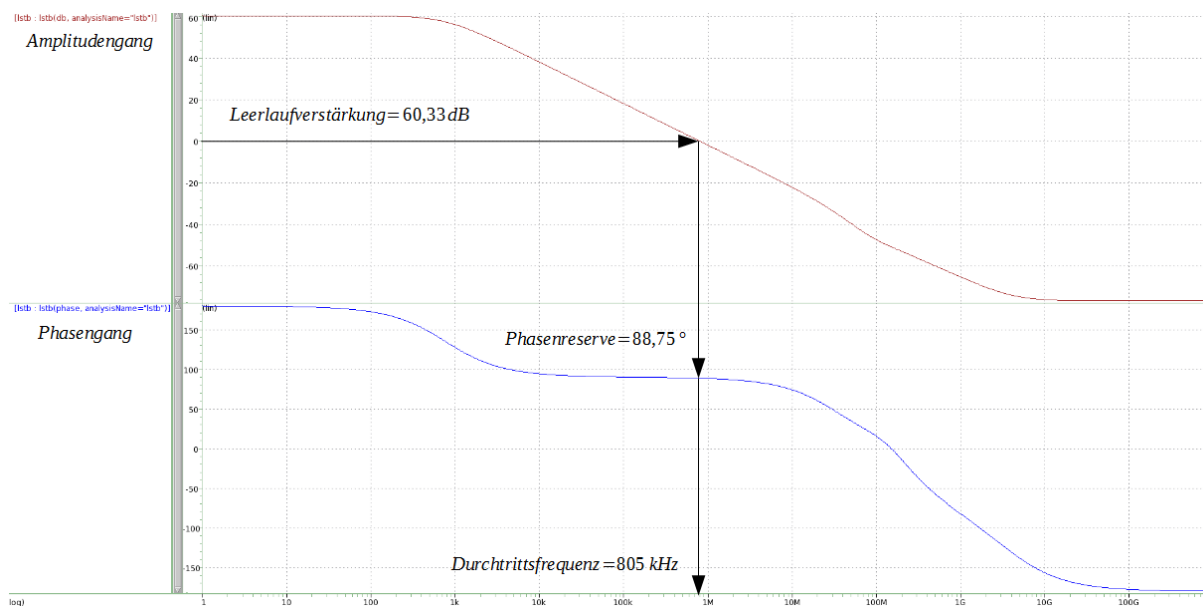


Abb. 4.9: Bode-Diagramm des gefalteten Transkonduktanzverstärkers

Das Bode-Diagramm aus der Abbildung 4.9 zeigt den Amplitudengang und den Phasengang des Verstärkers an. Der Verstärker weist eine Leerlaufverstärkung von 60,33 dB auf, welche nach der Gleichung 4.14 einem Verstärkungsfaktor von 1038 entspricht. Ab einer Frequenz von 100 Hz wirkt eine Polstelle auf den Verstärker und sorgt für einen Phasenabfall von 20 dB pro Dekade. Durchläuft der Amplitudengang die 0 dB-Linie, weist der Verstärker eine Phasenreserve von 88,75° bei einer Durchtrittsfrequenz von 805 kHz auf. Der dominierende

Pol wird von dem Ausgangskondensator zu niedrigen Frequenzen verschoben und der Gesamtverstärker dem hingehend stabilisiert. Dementsprechend erfährt die Regelung nur eine Phasendrehung von 90° für eine einzelne Polstelle, welche bis zur Durchtrittsfrequenz d.h. bis zum Nulldurchgang des Amplitudengangs wirkt.

4.4.1 Verhalten bei Temperatur- und Corner-Simulationen

In diesem Teilkapitel wird die Leerlaufverstärkung der beiden entwickelten Transkonduktanzverstärker über den gesamten Spannungsbereich miteinander verglichen und die Phasenreserve sowie die Leerlaufverstärkung des gefalteten OTAs über die Variation der Temperatur und Prozessbedingungen simuliert. In der Abbildung 4.10 sind die Leerlaufverstärkungen der entwickelten Verstärker zum Vergleich aufgeführt. Es ist zu erkennen, dass der gefaltete OTA, eine niedrigere Verstärkung als der kaskodierte Verstärker aufweist. Durch die gefaltete Kaskode kann der Eingangsspannungsbereich von ca. 2,2 V auf ca. 2,9 V erhöht werden. Somit verfügt der gefaltete Transkonduktanzverstärker über einen größeren dynamischen Eingangsspannungsbereich.

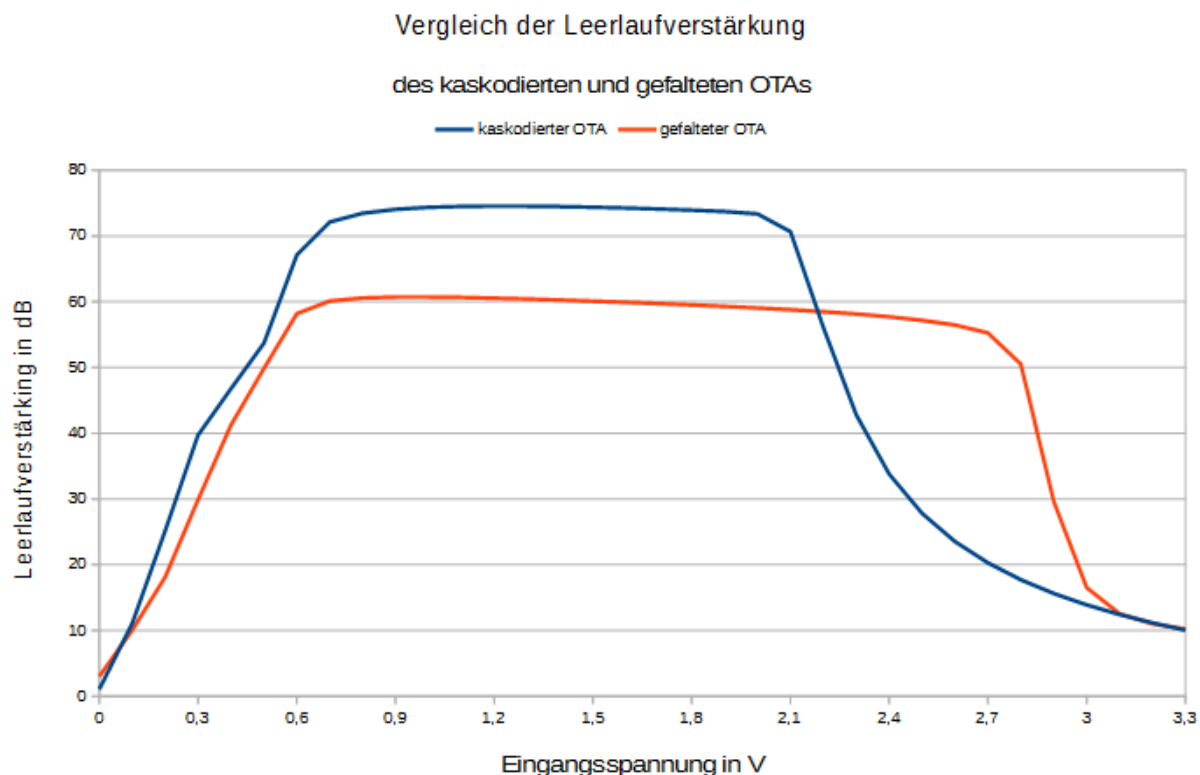


Abb. 4.10: Vergleich der Leerlaufverstärkung der Transkonduktanzverstärker

Aufgrund des langsamen Einschwingvorgangs der Delay-Locked Loop durch die Wahl eines 100 pF großen Filterkondensators benötigt der Transkonduktanzverstärker keine schnelle

Reaktionszeit, so dass die Verstärkung nicht besonders hoch gewählt werden muss. Nachfolgend wird die Leerlaufverstärkung des gefalteten Operationsverstärkers über die Temperatur (-50°C, 30°C, 120°C) und den Corner-Modellen (C1 bis C6) simuliert. Beispielhaft ist in der Abbildung 4.11 die Leerlaufverstärkung bei einer Temperatur von 120°C dargestellt. Dieser Verlauf beschreibt von den simulierten Temperaturen den schlechtesten Fall. Durch die Variation der Corner-Modelle wird die Leitfähigkeit der Transistoren beeinflusst, wodurch die Verstärkung über die Eingangsspannung variieren kann. Es ist zu erkennen, dass die Prozessbedingungen das Verhalten der Transistoren dementsprechend beeinflussen, sodass die Leerlaufverstärkung parallel verschoben wird. Bei den Corner-Modellen C1 und C2 erreicht der Verstärker seine maximale Leerlaufverstärkung bei einer kleineren Eingangsspannung als im nominalen Fall (C0). Allerdings bleibt die Bandbreite über dem Spannungsbereich konstant, wodurch die Verstärkung bereits ab einer Eingangsspannung von ca. 2,6 V wieder abfällt. Der Abfall der Leerlaufverstärkung bei hoher Spannung ist genau wie beim kaskodierten Transkonduktanzverstärker auf das Abschnüren der Eingangstransistoren zurückzuführen. Mit zunehmender Eingangsspannung am Gate-Anschluss wird die Eingangsspannung aus dem Sättigungsbereich getrieben, da die Gate-Source-Spannung größer als die Drain-Source-Spannung ist.

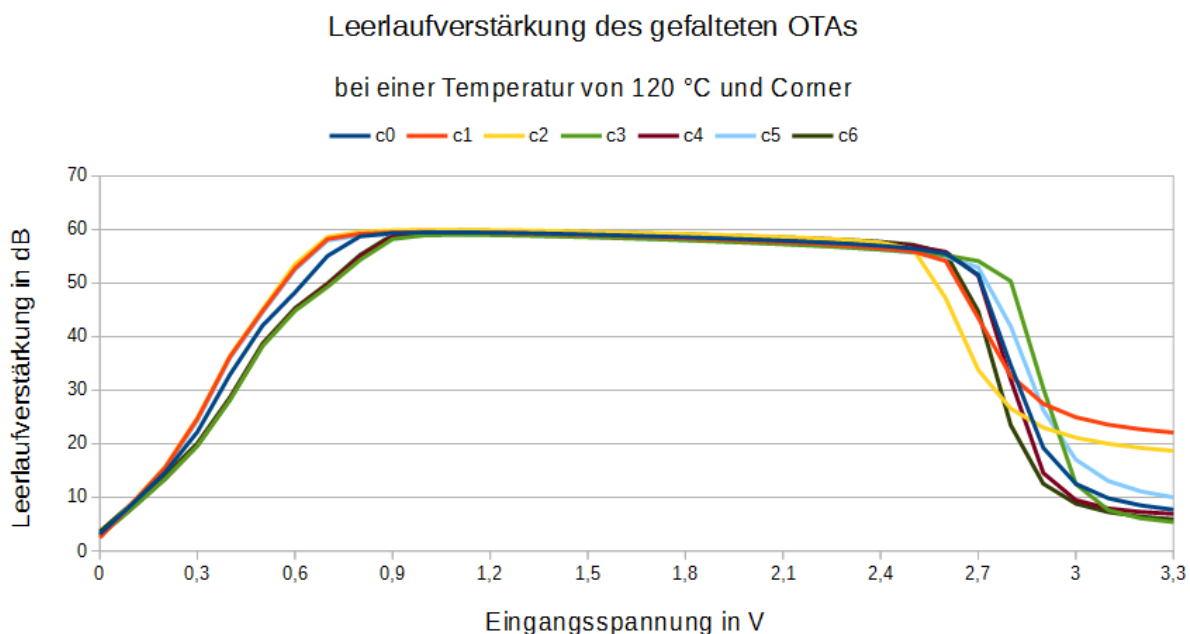


Abb. 4.11: Leerlaufverstärkung des gefalteten OTAs bei einer Temperatur von -50°C und Corner-Modellen

In der Abbildung 4.12 ist die Phasenreserve des gefalteten OTAs über die Eingangsspannung und in Abhängigkeit der Prozessvariationen abgebildet. Bei der Simulation der Phasenreserve beschreibt auch die Temperatur von 120°C den schlechtesten Fall. Die Phasenreser-

ve steigt bei kleinen und großen Eingangsspannungen aufgrund der Absenkung der Verstärkung an. Für einen Spannungsbereich von 0,4 V bis 2,7 V ist die Phasenreserve konstant auf einem Wert von 90 °. Im unteren und oberen Spannungsbereich wird der Verstärker wegen der kleinen Verstärkung bzw. der großen Phasenreserve nur sehr langsam reagieren können. Dieses Verhalten hat aber keinen Einfluss auf den Einschwingvorgang der Delay-Locked Loop, da die Filterspannung durch den Phasendetektor anhand eines durchgehenden UP-Signals bis zum Arbeitspunkt der Delay-Line konstant steigt.

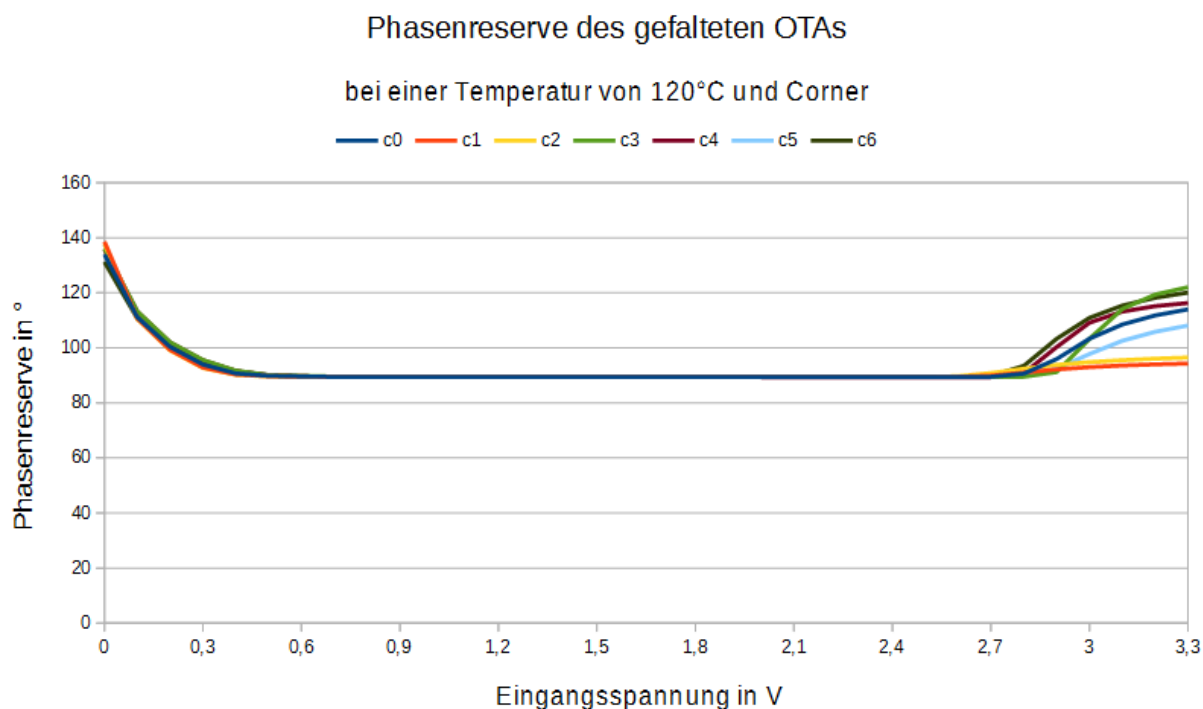


Abb. 4.12: Phasenreserve des gefalteten OTAs bei einer Temperatur von 120°C und Corner-Modellen

Die Force-Up Schaltung des Phasendetektors sorgt dafür, dass kurz vor Erreichen des Arbeitspunktes der reguläre Betrieb der Regelschleife durch den Phasendetektor aufgenommen wird. Der Transkonduktanzverstärker wird in der Charge Pump verwendet, um die Ströme aufeinander anzupassen. Er wird als Spannungsfolger verschaltet und sorgt dafür, dass die Charge Pump dieselbe Spannung wie der Filterkondensator aufweist. Durch den nachgeschalteten Low-Dropout Spannungsregler mit einem Teilverhältnis von zwei kann nur maximal die halbe Betriebsspannung von 1,65 V am Filterkondensator anliegen, welche sicher von dem Transkonduktanzverstärker in allen Prozessvariationen behandelt werden kann.

5. Entwicklung und Untersuchung verschiedener Charge Pumps

In diesem Kapitel werden die Entwicklung und die Ergebnisse der Analyse verschiedener CMOS-Charge Pumps vorgestellt. Die beschriebenen Charge Pumps bauen dabei auf die Grundschaltungen aus Kapitel 2.4 auf und werden um Schaltungsteile ergänzt, welche die Reduktion bzw. die Vermeidung der parasitären Einflüsse auf den Ausgang der Schaltung zum Ziel haben. Die Charge Pumps werden in einer idealen Delay-Locked Loop implementiert, bestehend aus Verilog-A Modellen, um nur das Verhalten der Charge-Pump Schaltung bewerten zu können. Als erstes wird anhand einer idealen Charge Pump das Verhalten bei Verzögerungen zwischen den UP- und DN-Signalen sowie bei Fehlanpassungen der Stromstärke untersucht. Daraufhin werden Tristate- und Stromwaage-Charge Pumps mit Kompensationsmethoden beschrieben und anhand des Einflusses auf die Phasendifferenz $\Delta\phi$, welche zwischen dem Referenztaktsignal REF und Verzögerungstakt DL_OUT entsteht, sowie der Spannungsänderung ΔU_F am Loopfilter im eingeschwungenen Zustand bewertet.

5.1 Ideale Charge Pump

Die ideale Charge Pump wird durch zwei spannungsgesteuerte Stromquellen $VCCS_UP$ und $VCCS_DN$ aufgebaut. Die Signale UP und DN werden vom Phasendetektor bereitgestellt und dienen als Eingangssignale für die Stromquellen. Die $VCCS$ sorgt für einen Stromfluss von Vdd über OUT zum Filterkondensator oder für einen Stromfluss vom Filterkondensator in Richtung Gnd . Die ideale Charge Pump ermöglicht bei gleichzeitiger Ansteuerung von UP und DN eine Aufhebung der Ströme in Richtung OUT . Diese Charge Pump wird genutzt, um Verzögerungen zwischen den Eingangssignalen UP und DN und Fehlanpassungen in Höhe des Stroms an den Stromquellen zu simulieren.

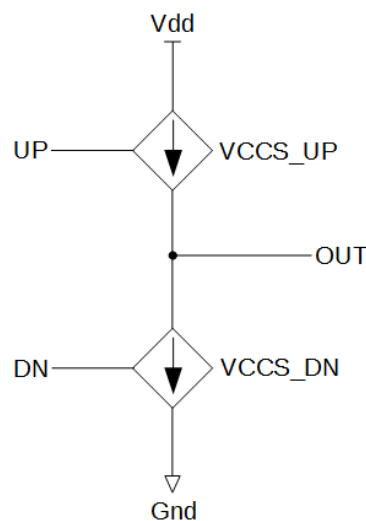


Abb. 5.1: Aufbau ideale Charge Pump

Durch die Übertragungsfunktion der spannungsgesteuerten Stromquelle kann der Ausgangsstrom definiert werden. Da die Eingangssignale beide im an-

gesteuerten Zustand eine Spannung in Höhe der Versorgungsspannung von 3,3 V aufweisen, kann diese Spannung für die Übertragungsfunktion genutzt werden.

$$A_{CP} = \frac{I_{UP-DN}}{U_{UP-DN}} \tag{5.1}$$

Um einen Ausgangsstrom von 5 μA bei einer Steuerspannung von 3,3 V zu definieren, beträgt der Verstärkungsfaktor, der in die beiden $VCCS$ eingetragen werden muss, dem Wert $1,51515151 \mu\text{A/V}$.

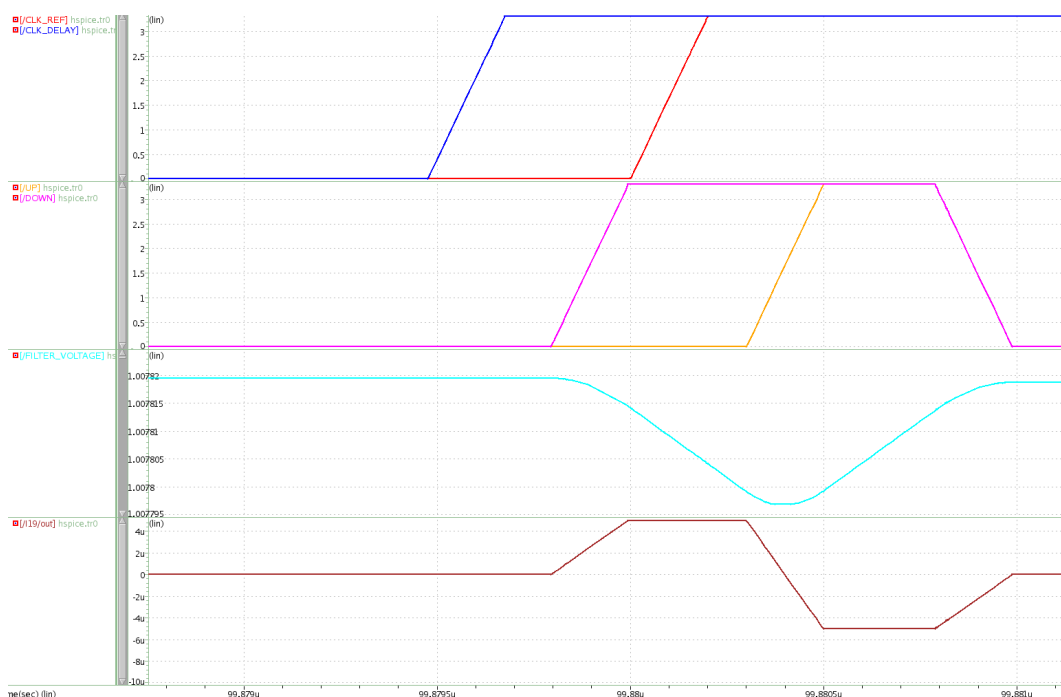


Abb. 5.2: Stromfehlanpassung $I_{UP} > I_{DN}$

In Abbildung 5.2 werden die Auswirkungen eines nicht angepassten Stroms von I_{UP} zu I_{DN} verdeutlicht. Der Stromfluss I_{UP} wurde doppelt so groß gewählt wie I_{DN} . Der Phasendetektor reagiert durch die ungleichen Ströme mit einem doppelt so langen Impuls auf DN , was aufgrund der Verschaltung des Phasendetektors eine Phasenverschiebung von REF zu DL_OUT (in Abbildung 5.2 CLK_REF und CLK_DELAY) bewirkt. Die Filterspannung U_F nimmt mit dem DN-Signal linear ab, steigt allerdings durch den doppelten Strom I_{UP} wieder an, da der DN-Strom durch den UP-Strom kompensiert wird und ein Strom in Richtung des Filters fließt. Aufgrund des höheren UP-Stroms stellt sich eine höhere Spannung am Filterkondensator ein, wodurch der Verzögerungstakt dem Referenztakt voreilt.

Wirkt ein höherer Strom I_{DN} als I_{UP} , stellt der Regelkreis ein nacheilendes Signal DL_OUT ein.

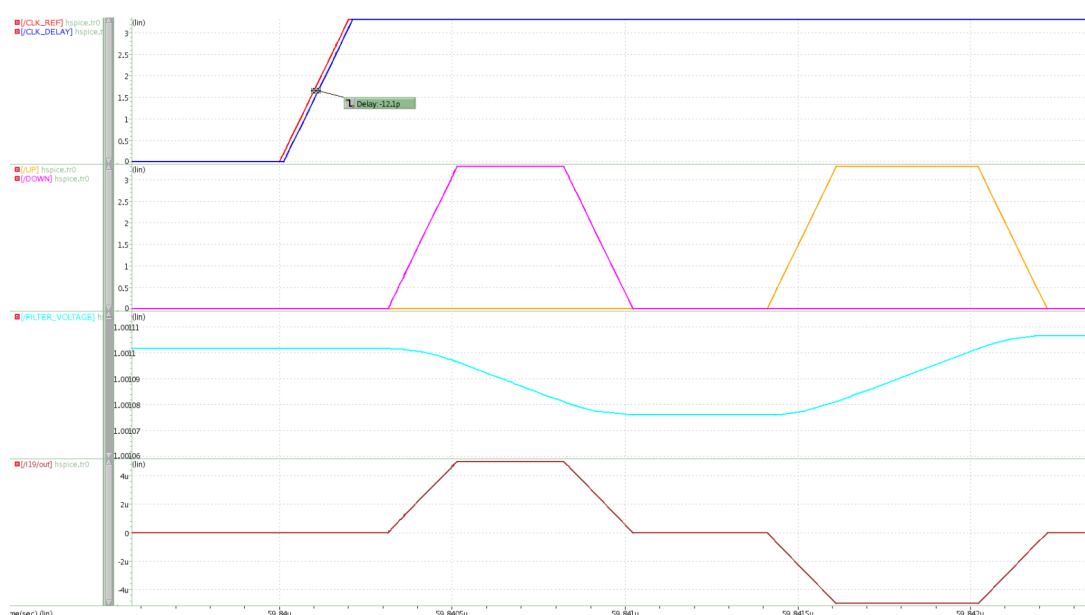


Abb. 5.3: Verzögerung von I_{UP} um 1 ns

In der Abbildung 5.3 ist das Verhalten der DLL bei gleich großen Strömen, aber verzögerten Schaltsignalen dargestellt. UP wurde zu DN um 1 ns verzögert. Es ist zu erkennen, dass der Verzögerungstakt dem Referenztakt nacheilt. Durch die Verzögerung des UP-Signals arbeitet der Phasendetektor fehlerhaft und es kommt zu einer Phasenverschiebung. Durch diese Phasenverschiebung erscheinen die beiden Schaltsignale nicht zeitgleich, wodurch die Filterspannung nach dem Schaltvorgang nicht mehr den selben Wert besitzt wie davor. Der Phasendetektor schafft es nicht, die Verzögerung eines Signals vollständig auszugleichen.

5.2 Stromspiegel Charge Pump

Dieses Kapitel beschreibt die finale Entwicklung von zwei Stromspiegel Charge Pumpschaltungen, welche auf der Grundschialtung aus Kapitel 2.3.1 basieren. Es wird ein Transkonduktanzverstärker verwendet, um anhand einer Stromregelung gleiche UP und DN-Ströme zu erhalten.

5.2.1 Charge Pump 1

In der Charge Pump 1 sind die Schalttransistoren, die durch die Eingangssignale UP_N und DN angesteuert werden, nicht mehr direkt am Ausgang der Schaltung platziert. Dies ist wichtig, um das Charge-Sharing, Charge Injection und Clock Feedthrough auf die Filterspannung zu vermeiden. Der Eingangsstrom I_{CP} der Charge Pump wird über die Stromspiegeltransistoren M1, M4, M9 und M13 verteilt. Liegt ein DN-Signal an, schaltet M14 und es werden Ladungen vom Filterkondensator entnommen.

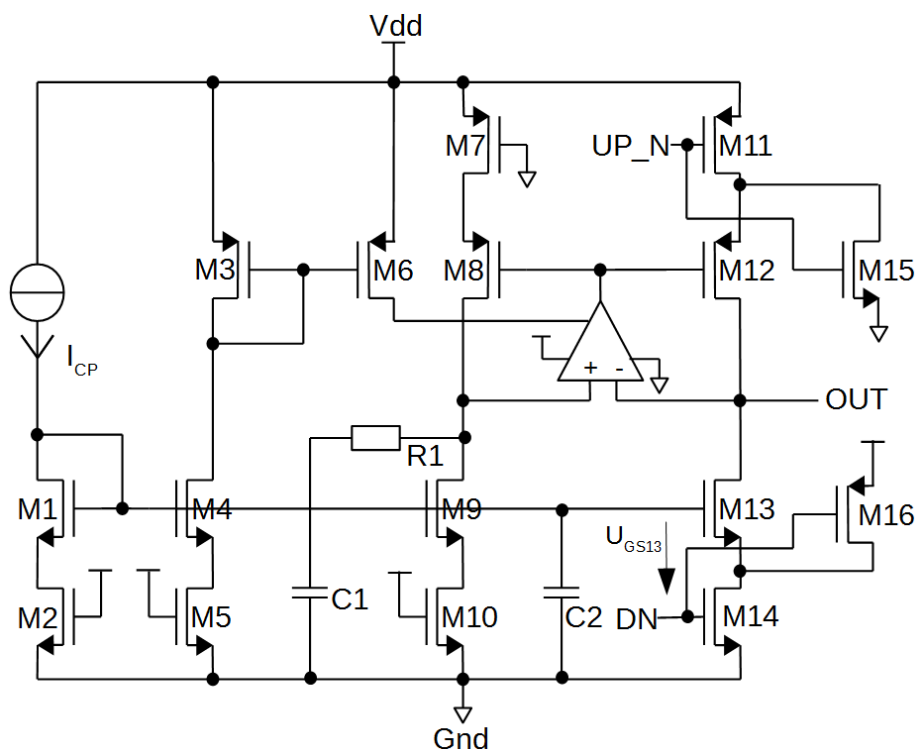


Abb. 5.4: Schaltbild Charge Pump 1 [20]

Da es im Einschaltmoment von M14 zu Stromspitzen kommen kann, wird am Gate von M13 der Kondensator C2 platziert. Dieser verhindert, dass die Gate-Source Spannung U_{GS13} während des Schaltmoments von M14 Spannungsänderungen erfährt und M13 leitet. Die Transistoren M2, M5, M7 und M10 werden für besseres Matching eingefügt, so dass der Eingangsstrom I_{CP} exakt in alle Strompfade gespiegelt werden kann. Der Transkonduktanzverstärker funktioniert über die Transistoren M8 und M12 als Spannungsfolger. Er gleicht die Spannung am nichtinvertierenden Eingang der Ausgangsspannung an und regelt die Gate-Spannung der Transistoren M8 und M12 so ein, dass der Stromfluss durch Transistor M7 und M8 genauso groß wird wie der Strom durch M9 und M10. Dadurch erfolgt eine exakte Anpassung der UP- und DN-Ströme. Die Transistoren M15 und M16 sorgen dafür, dass die

stromereinstellenden Transistoren M12 oder M13 über ihre Source-Spannung sicher ausgeschaltet werden und somit nicht beide Strompfade gleichzeitig leiten. Um die Charge Pump zu stabilisieren, muss am nichtinvertierenden Eingang des OTAs eine Kapazität C1 mit einem Reihenwiderstand R1 platziert werden.

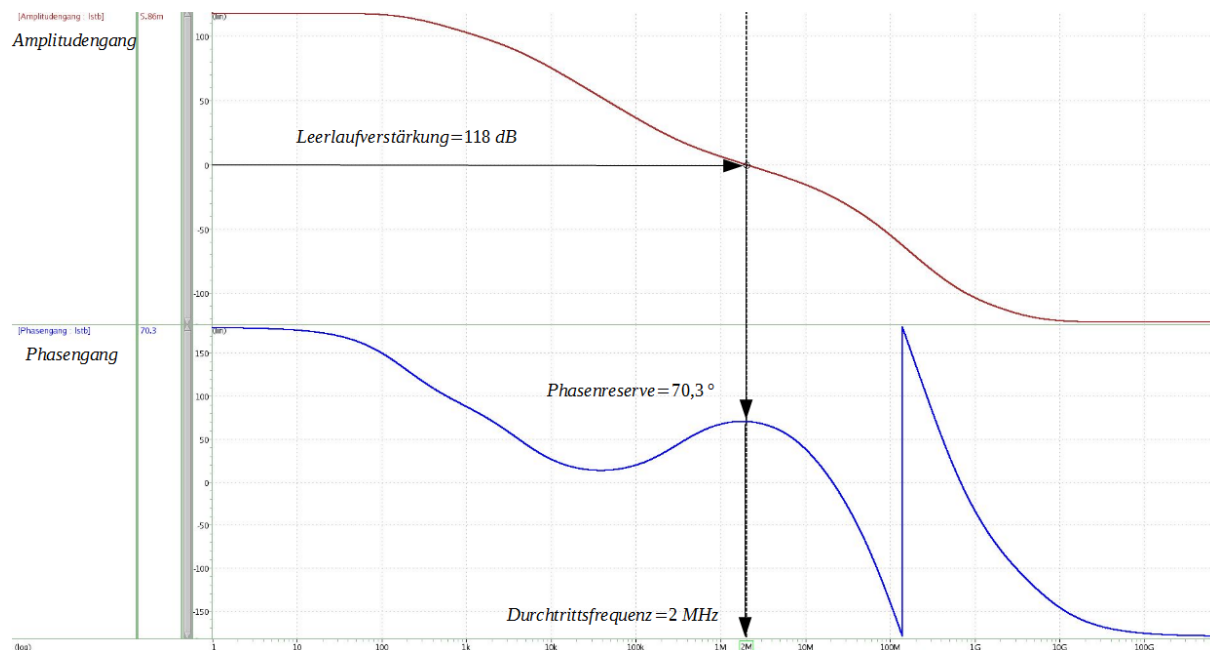


Abb. 5.5: Bode-Diagramm Charge Pump 1

Ohne Stabilisierung schwingt die Drain-Source-Spannung von M8 und die Ströme I_{UP} und I_{DN} werden nicht angeglichen. Durch das Einfügen von C1 und R1 wird das periodische Schwingen kompensiert und die Phasenreserve der Charge Pump auf 70,3° angehoben. Die Leerlaufverstärkung der Charge Pump beträgt 118 dB und die Durchtrittsfrequenz liegt bei 2 MHz.

Die Charge Pump 1 wurde in der Delay-Locked Loop für 100 μ s simuliert und die Phasenverschiebung zwischen dem Referenztakt REF und dem Verzögerungstakt DL_OUT sowie die Spannungsänderung ΔU_F am Filter rechnerisch ermittelt.

Phasenverschiebung $\Delta\phi$ [ps]	Spannungsänderung ΔU_F [μ V]
212,0	39,7

Tab. 5.1: Phasenverschiebung und Spannungsänderung Charge Pump 1

Aus der Tabelle 5.1 können die Ergebnisse für die Charge Pump 1 bei einer Temperatur von 30° im eingeschwungenen Zustand der idealen DLL abgelesen werden. Die Charge Pump 1

sorgt für eine positive Phasenverschiebung zwischen dem Referenztakt REF und dem Verzögerungstakt DL_OUT . Eine positive Phasenverschiebung bedeutet, dass das Ausgangssignal dem Referenztakt REF nacheilt. Die Spannungsänderung ΔU_F am Filterkondensator beträgt $39,7 \mu V$.

5.2.2 Charge Pump 2

Basierend auf der ersten Charge Pump wird die zweite Charge Pump entwickelt, die um einen zweiten Regelkreis erweitert wird. Es wird untersucht, ob die Erweiterung durch den zweiten Regelkreis eine positive Auswirkung auf den Einfluss der Kanallängenmodulation aufweist.

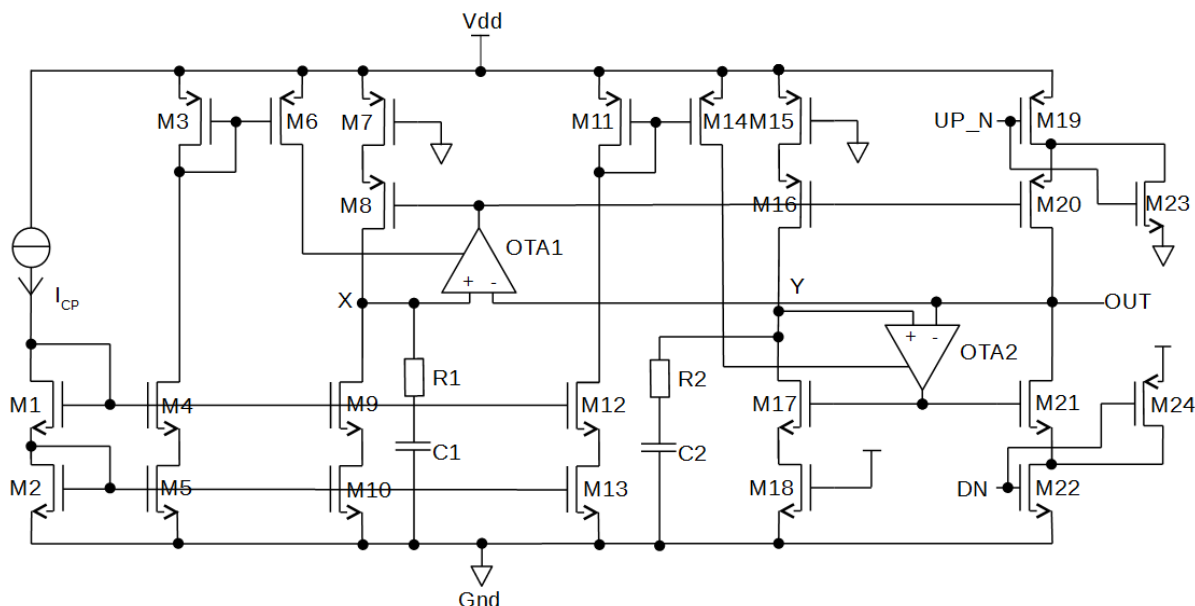


Abb. 5.6: Schaltbild Charge Pump 2 [21]

Um den Eingangstrom I_{CP} exakt in die Strompfade spiegeln zu können, wird dieser über einen kaskadierten Stromspiegel eingespeist. Ähnlich zur Charge Pump 1 wird auch bei dieser Charge Pump der Ausgangsstrom durch eine Regelung angepasst, um Fehlanpassungen zu vermeiden. Beide Operationsverstärker sind mit ihrem negativen Eingängen an der Ausgangsspannung angeschlossen und bilden mit den Stromspiegeln M8, M16 und M20 sowie mit M17 und M21 einen Spannungsfolger. Der OTA1 versucht den Spannungsknoten X am positiven Eingang an das Potential der Ausgangsspannung anzugleichen. OTA 2 versucht das gleiche mit dem Spannungsknoten Y . Wenn die Operationsverstärker die Spannungsknoten X und Y an die Ausgangsspannung angeglichen haben, fließt in allen drei Strompfaden der selbe Strom. Durch die Anpassung der beiden Regelkreise aufeinander re-

gelt OTA1 den UP-Strom auf I_{CP} und OTA2 regelt den DN-Strom auf den UP-Strom. Die Transistoren M23 und M24 sorgen dafür, dass kein gleichzeitiger Stromfluss über UP und DN möglich ist. Die beiden Regelkreise der Charge-Pump müssen ebenfalls auf Stabilität geprüft werden. Ähnlich wie bei der Charge Pump 1 neigen die Spannungsknoten X und Y im nicht kompensierten Fall zu periodischen Schwingungen. Für die Stabilisierung wird an beiden Operationsverstärkern eine Kapazität und ein Widerstand zur Einführung einer Nullstelle und steigern der Phasenreserve platziert.

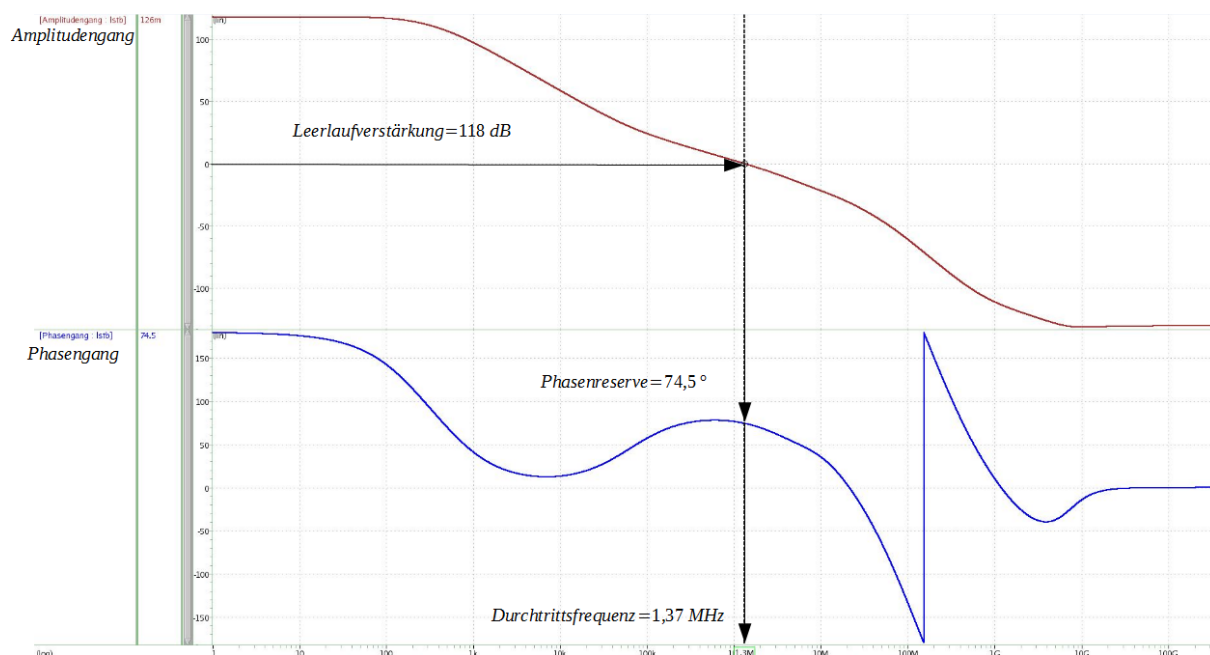


Abb. 5.7: Bode-Diagramm Charge Pump 2

Der Regelkreis der Charge Pump 2 weist eine Verstärkung von 118 dB bei einer Phasenreserve von 63,3° und einer Durchtrittsfrequenz von 1,37 MHz auf.

Nachfolgend wird auch diese Charge Pump mit einer Durchlaufzeit von 100 μ s simuliert, um sicherzustellen, dass die Delay-Locked Loop eingeschwingen ist und die Phasenverschiebung $\Delta\phi$ und die Spannungsänderung ΔU_F einen konstanten Wert für die rechnerische Ermittlung annimmt.

Phasenverschiebung $\Delta\phi$ [ps]	Spannungsänderung ΔU_F [μ V]
261,0	40,0

Tab. 5.2: Phasenverschiebung und Spannungsänderung Charge Pump 2

Die Simulation hat ergeben, dass die Charge Pump 2 eine Phasenverschiebung $\Delta\phi$ von 261 ps hervorruft. Ausgehend von dem Simulationsergebnis der Charge Pump 1 aus der Tabelle 5.1 hat sich die Phasenverschiebung $\Delta\phi$ um 49 ps verschlechtert. Dieser Unterschied kommt aufgrund von parasitären Effekten bei der Ansteuerung der Operationsverstärker zustande. Der OTA 1 regelt auf einen PMOS-Stromspiegel und der OTA2 auf einen NMOS-Stromspiegel. Da die PMOS-Transistoren eine größere Weite aufweisen als die NMOS-Transistoren, verfügen diese auch über eine größere Gatekapazität, welche zu einem zeitlich längeren Stromfluss über den Transistor führen. Aufgrund dessen ist das zeitliche Mittel des Stromflusses über die beiden Regelungen nicht gleich und es stellt sich eine größere Phasenreserve als bei der Charge Pump 1 ein. Die Spannungsänderung ΔU_F verhält sich allerdings ähnlich zur ersten Charge Pump.

5.3 Stromwaage Charge Pump

In diesem Kapitel werden zwei Charge Pumps beschrieben, die auf der Grundsaltung der Stromwaage aus dem Kapitel 2.3.2 basieren. Die Grundsaltung wurde für eine exakte Stromspiegelung kaskadiert und der differentielle Zweig durch Kompensationsmethoden erweitert, um die parasitären Effekte auf den Ausgang der Schaltung zu verhindern. Für die Kompensation wird wie bei den Stromspiegel Charge Pumps auch der Transkonduktanzverstärker genutzt.

Bei den Stromwaage Charge Pumps ist es wichtig, dass die Schaltsignale UP und DN und deren inverses Signal möglichst nicht zueinander verzögert sind. Durch den Aufbau mit der differentiellen Struktur wird je nach Ansteuerung der Strom zwischen den Schaltwegen hin und hergeschaltet. Um nicht beide Strompfade gleichzeitig mit Strom zu versorgen, müssen die invertierten Schaltsignale von UP und DN ohne Verzögerung zueinander wirken.

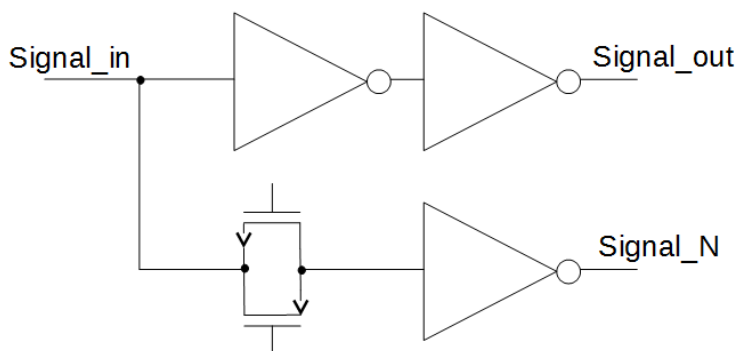


Abb. 5.8: Schaltbild Verzögerungsanpassung [22]

Durch die Schaltung aus Abbildung 5.8, bestehend aus drei Invertern und einem Transmissiongate, kann das invertierte Signal an den zeitlichen Verlauf des nicht invertierten Signals angepasst werden und somit zeitgleich schalten. Das Eingangssignal wird im oberen Pfad doppelt invertiert und erfährt dadurch eine Verzögerungszeit von zwei Invertern. Damit das invertierte Signal zeitgleich zum nicht invertierten Signal stattfindet, muss das Transmissiongate auf die Verzögerungszeit eines Inverters eingestellt werden. Durch die Implementation dieser Schaltung lässt sich die Auswirkung auf die Phasendifferenz einer Stromwaage Charge Pump erheblich reduzieren.

5.3.1 Charge Pump 3

Da der Ausgang einer Stromwaage Charge Pump direkt am differentiellen Zweig und damit auch an den Schalttransistoren liegt, ist die Kompensation der Ladungseffekte auf den Ausgang besonders wichtig. Um das Charge Sharing der parasitären Kapazitäten der Schalttransistoren mit dem Filterkondensator zu vermeiden, wird der Operationsverstärker zwischen der Differenzstufe platziert. Er dient in dieser Verschaltung als Spannungsfolger und sorgt dafür, dass die Potentiale am positiven und negativen Eingang angeglichen werden. Dadurch wird das Charge Sharing auf den Ausgang der Schaltung verhindert.

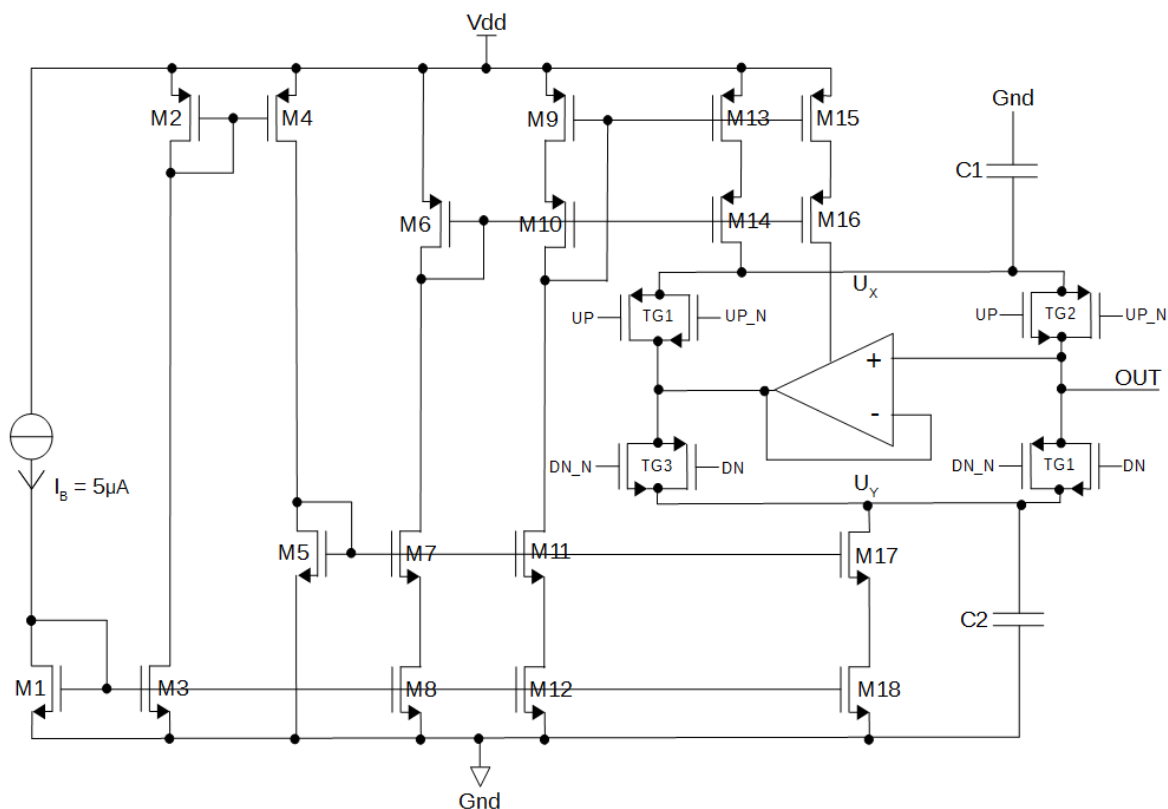


Abb. 5.9: Schaltbild Charge Pump 3 [22]

Ein weiterer Kompensationsschritt dieser Charge Pump ist es, die Spannungspotentiale U_x und U_y möglichst konstant über den Schaltmoment der Transmissionsgates zu halten, damit sich aufgrund einer Spannungsschwankung am Source-Potential der Transistoren nicht der Arbeitspunkt verändern kann. Das Spannungspotential erfährt durch das Platzieren der Kondensatoren C1 und C2 nur eine geringe Spannungsänderung. Durch die Verwendung von Transmissionsgates können die Einflüsse des Charge Injection und des Clock Feed-through vermieden werden. Die parallel geschalteten Schalttransistoren der Transmissionsgates sind zeitgleich ein- und ausgeschaltet. Die Kompensation entsteht dadurch, dass im NMOS Kanal Elektronen und im PMOS Kanal Löcher akkumuliert werden. Die Ladungen sind also komplementär zueinander. Wenn beide parallelgeschaltete Transistoren zeitgleich abgeschaltet werden, injiziert der NMOS eine negative Elektronenladung und der PMOS eine positive Löcherladung auf den Filterkondensator. Die Ladungen kompensieren sich dadurch.

Anders als bei der Charge Pump 1 und Charge Pump 2 muss bei dieser Schaltung keine zusätzliche Stabilitätskompensation erfolgen, da diese durch den Ausgangskondensator des Transkonduktanzverstärkers ausreichend stabilisiert wird.

Um die Einflüsse im Schaltmoment auf die Filterspannung U_F und der damit resultierenden Spannungsänderung ΔU_F und der Phasenverschiebung $\Delta\phi$ zu ermitteln, wird auch diese Charge Pump innerhalb der idealen DLL über eine Simulationszeit von 100 μs betrachtet.

Phasenverschiebung $\Delta\phi$ [ps]	Spannungsänderung ΔU_F [μV]
1,94	21,4

Tab. 5.3: Phasenverschiebung und Spannungsänderung Charge Pump 3

Die Charge Pump 3 weist aufgrund der angewendeten Kompensationsmethoden nur ein geringes Einwirken auf die Phasenverschiebung $\Delta\phi$ der Delay-Locked Loop auf, die Spannungsänderung ΔU_F am Filterkondensator ist mit 21,4 μV um fast die Hälfte geringer als bei den Stromspiegel Charge Pumps.

5.3.2 Charge Pump 4

Die Charge Pump 4 ist ähnlich aufgebaut wie die Charge Pump 3, verwendet allerdings als Kompensationsmethode eine zusätzliche Stromregelung über den Transistor M20. Als Operationsverstärker wird auch der Transkonduktanzverstärker gewählt. Dieser vergleicht an seinen Eingängen die Drain-Spannungen innerhalb der Differenzausgangsstufe. Der Transistor M20 dient als zusätzliche spannungsgesteuerte Stromquelle für den Strom I_{DN} , welcher durch den OTA geregelt wird. Durch diese Regelung kann die Fehlanpassung zwischen den Strömen I_{UP} und I_{DN} vermieden werden. Der UP-Strom wird über einen kaskadierten Stromspiegel so genau wie möglich in die Differenzstufe gespiegelt und der DN-Strom wird über die Transistoren M19 und M20 in die Ausgangsstufe eingespeist. Dabei ist M19 so dimensioniert, dass lediglich 75 % des Eingangstroms I_{Cp} gespiegelt werden. Um I_{DN} an I_{UP} anpassen zu können, muss der Transistor M20 den Reststrom liefern können.

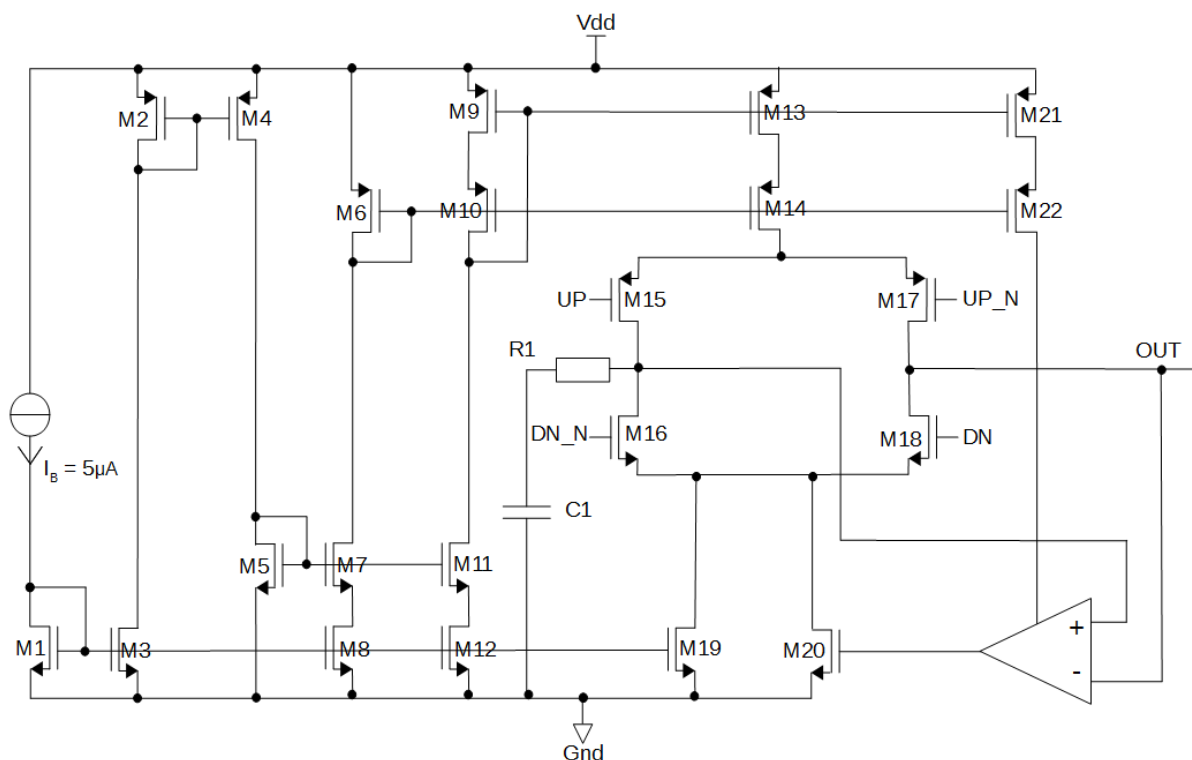


Abb. 5.10: Schaltbild Charge Pump 4 [23]

Da in dieser Schaltung eine Regelung für die Kompensation eingesetzt wird und der OTA auf das Gate des stromeinstellenden Transistor M20 regelt, kommt es zu einem instabilen Verhalten am positiven Eingang des Operationsverstärkers. Dieses Verhalten äußert sich anhand eines periodischen Schwingens des Drain-Potentials zwischen den Transistoren M15

und M16. Ähnlich zu der Stabilitätskompensation der Charge Pump 1 und Charge Pump 2 wirkt auch hier das Platzieren einer Kapazität mit einem Widerstand in Reihe stabilisierend.

Durch das Einfügen der passiven Bauelemente wird ein Pol/Nullstellenpaar eingefügt, welche die erste Polstelle zu tieferen Frequenzen verschiebt und die Phasenreserve auf einen Wert von 73° anhebt. Die Leerlaufverstärkung des Stromregelkreises der Charge Pump beträgt 116 dB und die Grenzfrequenz liegt bei 1,12 MHz.

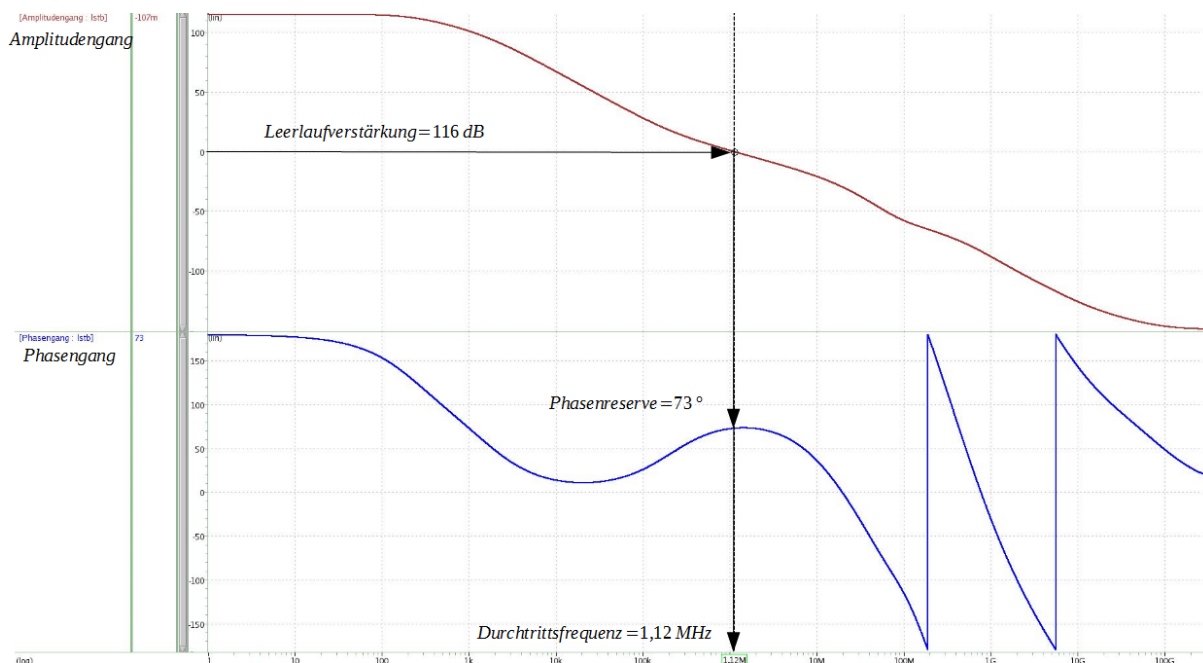


Abb. 5.11: Bode-Diagramm Charge Pump 4

Nachdem die Charge Pump stabilisiert ist, wird auch diese in der DLL mit einer Simulationszeit von $100 \mu\text{s}$ simuliert und auf die Phasenreserve $\Delta\phi$ und die Spannungsänderung ΔU_F am Filterkondensator untersucht.

Phasenverschiebung $\Delta\phi$ [ps]	Spannungsänderung ΔU_F [μV]
22,5	14,7

Tab. 5.4: Phasenverschiebung und Spannungsänderung Charge Pump 4

Die Simulationsergebnisse aus der Tabelle 5.4 zeigen, dass die Charge Pump 4 die Ströme am besten zueinander anpassen kann, was zu einer geringeren Spannungsänderung am Filter führt. Die Phasenverschiebung zwischen dem Referenztakt und dem Verzögerungstakt liegt bei 22,5 ps. Dies bedeutet, dass diese Charge Pump zwar den Strom gut anpassen kann, aber die parasitären Einflüsse auf den Ausgang größer sind als bei Charge Pump 3.

5.4 Verhalten der Charge Pumps bei Prozesssimulationen

In diesem Kapitel werden die vier entwickelten Charge Pumps auf das Verhalten bei Temperatur- und Corner-Simulationen getestet. Ähnlich wie bereits beim Transkonduktanzverstärker werden die Charge Pumps bei den Temperaturen von -50 °C , 30 °C und 120 °C simuliert, um den Spezifikationsbedingungen der Automobilindustrie zu entsprechen. Um zusätzlich zum Temperaturverhalten auch prozessbedingte Variationen der verbauten Bauteile zu berücksichtigen, wird die Temperatursimulation über die Corner-Modelle und über Monte-Carlo variiert.

5.4.1 Temperatur- und Corner Simulationen

Die Temperatur- und Prozessvariations-Simulationen sollen Auskunft über das Verhalten der Charge Pumps, bezogen auf die Phasenverschiebung $\Delta\phi$ und der Spannungsänderung ΔU_F am Loopfilter im eingeschwungenen Zustand der Delay-Locked, geben.

Für die Auswertung wird jeweils der minimale und der maximale Wert für die Phasenverschiebung $\Delta\phi$ und die Spannungsänderung ΔU_F dokumentiert und die Differenz daraus gebildet. Diese Differenz gibt eine Auskunft über das Verhalten der jeweiligen Charge Pump. Ist diese Differenz klein, ist die Schaltung unempfindlicher gegen Temperaturschwankungen und Prozessvariationen.

Charge Pump	Φ_{\min} [ps]	Φ_{\max} [ps]	$\Delta\Phi_{\text{PVT}}$ [ps]	U_{F_min} [μV]	U_{F_max} [μV]	ΔU_{F_PVT} [μV]
Charge Pump 1	93,94	379,60	285,66	37,37	46,56	9,19
Charge Pump 2	137,60	431,90	294,30	35,62	46,79	11,17
Charge Pump 3	0,61	4,86	4,25	20,18	28,35	8,17
Charge Pump 4	- 39,43	108,10	147,53	13,20	28,84	15,64

Tab. 5.5: Ergebnisse Charge Pumps PVT-Verhalten

In der Tabelle 5.5 sind die Ergebnisse für die Charge Pumps in Abhängigkeit von der Temperatur und den Corner-Modellen aufgelistet. Die Phasenverschiebung ϕ_{min} beschreibt den niedrigsten, während ϕ_{max} den höchsten Versatz der Phasenverschiebung beschreibt. Die Differenz $\Delta\phi_{PVT}$ wird aus $\phi_{max} - \phi_{min}$ gebildet und beschreibt ein Maß für die Variation der Phasenreserve. Genauso wird U_{F-min} und U_{F-max} und die daraus resultierende Differenz ΔU_{F-PVT} als Bewertungskriterium der Charge Pump genutzt.

Die Simulationsergebnisse aus der Tabelle 5.5 zeigen, dass die Charge Pump 3 und die Charge Pump 4 den geringsten Einfluss auf die Phasenverschiebung innerhalb der idealen Delay-Locked Loop hervorrufen. Nachfolgend wird das Verhalten der Charge Pump 3 beispielhaft an den Abbildungen 5.12 und 5.13 erläutert.

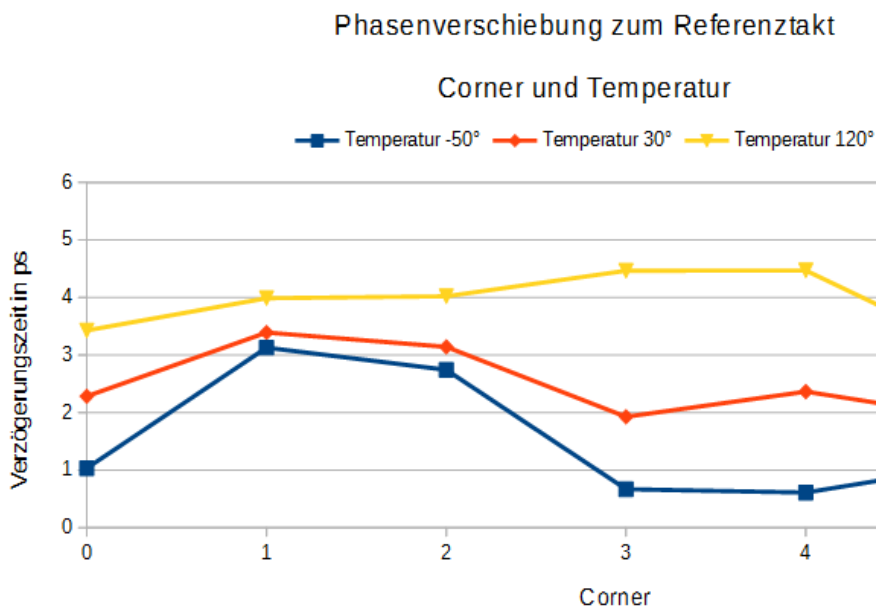


Abb. 5.12: Phasenverschiebung zum Referenztakt verursacht durch die Charge Pump 3

Für die Charge Pump 3 ist zu erkennen, dass die minimale Phasenverschiebung ϕ_{min} bei einer Temperatur von -50°C und der dritten Corner erreicht wird. Die schlechteste Phasenverschiebung ϕ_{max} liegt bei der sechsten Corner und bei 120°C . Es ist ersichtlich, dass die Charge Pump 3 mit einer Phasenverschiebungsdifferenz $\Delta\phi_{PVT}$ von 4,25 ps ein sehr gutes Verhalten über die Variation der Temperatur und der Corner-Modelle aufweist.

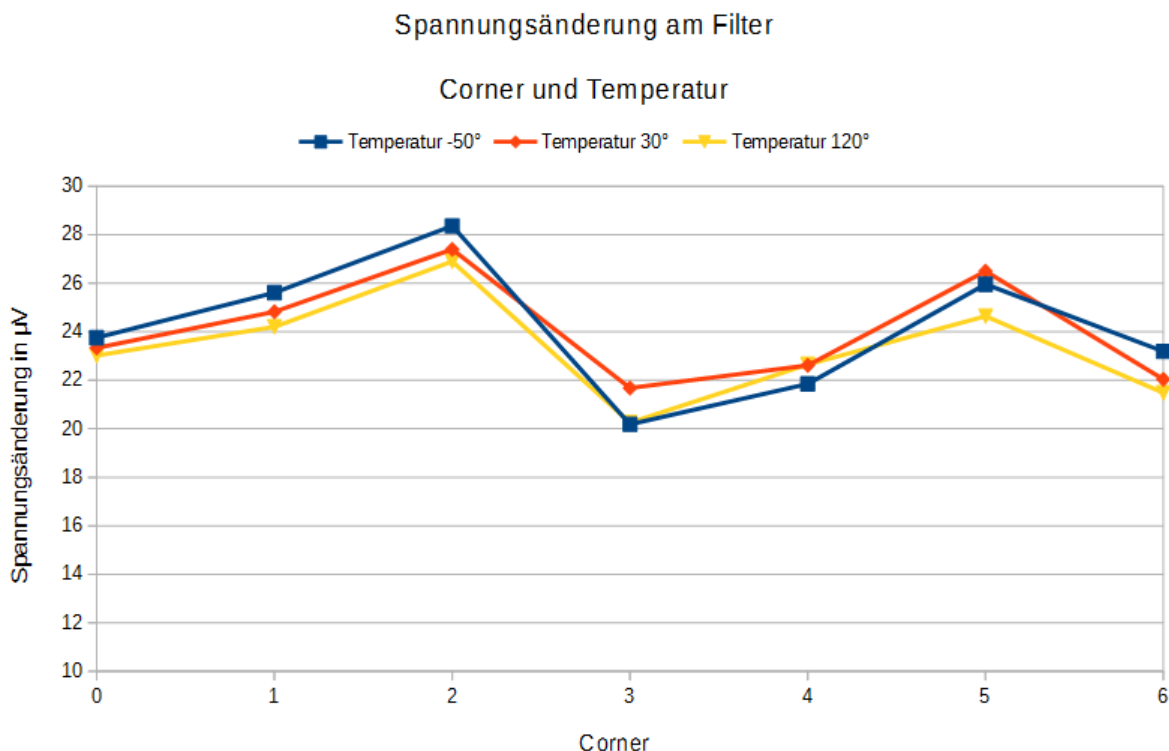


Abb. 5.13: Spannungsänderung am Filter verursacht durch die Charge Pump 3

Die Abbildung 5.13 zeigt, dass die Spannungsänderung am Filter wenig von der Temperatur beeinflusst wird, da die drei Kurven sehr nah beieinander liegen. Die Variation erfährt die Spannung hauptsächlich über die Corner-Modelle. Somit liegt der niedrigste Wert der Filterspannung U_{F-min} bei einer Temperatur von -50°C und der dritten Prozess-Corner. Der höchste Spannungswert U_{F-max} wird auch bei -50°C , aber bei der zweiten Prozess-Corner erreicht.

Die Simulationsergebnisse aus der Tabelle 5.5 und den Abbildungen 5.12 und 5.13 zeigen, dass die Parameter, die durch die Charge Pumps hervorgerufen werden, auch abhängig von der Temperatur und den Prozessvariationen sind.

Um eine endgültige Aussage über die Auswahl der Charge Pump für die Umsetzung der realen Delay-Locked Loop zu bekommen, werden die Charge Pump 3 und Charge Pump 4 aufgrund der besten Simulationsergebnisse über die Temperatur und Corner-Modelle innerhalb einer idealen DLL mit dem Monte-Carlo Verfahren simuliert.

5.4.2 Monte-Carlo Simulationen

Die beiden Current-Steering Charge Pumps (CP3 und CP4) weisen über die PVT-Simulationen aus dem vorherigen Kapitel die besten Simulationsergebnisse bezüglich der sich einstellenden Phasenreserve innerhalb der idealen Delay-Locked Loop auf. Um ein möglichst reales Verhalten der beiden Charge Pumps zu simulieren, wird die Phasenverschiebung, verursacht durch die Charge Pumps, mittels einer Monte-Carlo Simulation ermittelt. Bei diesem Simulationsverfahren wird der Effekt der Parametervariation, beschrieben durch die Corner-Modelle, zufällig auf die Transistoren verteilt. Durch diese zufällige Verteilung und einer hohen Anzahl von Simulationsdurchläufen können die Ergebnisse aus jedem Simulationsdurchlauf statistisch charakterisiert werden. Aus den Simulationsergebnissen werden aufgrund der zufälligen Verteilung ein Mittelwert und eine Standardabweichung σ für den zu simulierenden Parameter ermittelt. Die Standardabweichung σ beschreibt die Breite der Gaußschen Glockenkurve und damit die Abweichung in Prozent vom Erwartungswert. Für die Standardabweichung der Gaußschen Glockenkurve gelten folgende Definitionen:

- $\pm\sigma$ entspricht 68,27 % aller Messwerte
- $\pm 2\sigma$ entspricht 95,45 % aller Messwerte
- $\pm 3\sigma$ entspricht 99,73 % aller Messwerte

Dementsprechend ist die Standardabweichung σ ein Maß für die zufällige Verteilung aller Messwerte, welche sich unter dem Verlauf der Gaußschen-Verteilung befinden.

Um den Einfluss der beiden Current-Steering Charge Pumps auf die Delay-Locked Loop mittels des Monte-Carlo Verfahrens zu ermitteln, wird die DLL anhand von 20 Iteration (20 Durchläufe) bei den Grenztemperaturen von -50°C und 120°C und den Corner-Modellen C0 bis C4 mit Monte-Carlo simuliert. In den nachfolgenden Abbildungen 5.14 und 5.15 sind der Mittelwert und die Standardabweichung resultierend aus der Monte-Carlo Simulation als Vergleich zwischen den beiden Charge Pumps abgebildet. Die Charge Pump 3 wird bei den beiden Temperaturen in blau/rot und die Charge Pump 4 in gelb/grün dargestellt.

In der Abbildung 5.14 ist der Mittelwert der Phasenverschiebung vom Referenztakt zum Ausgangstakt der Delay-Line, der durch die 20 Iterationen der Monte-Carlo Simulation ermittelt wurde. Die Charge Pump 3 ist im Mittelwert weniger anfällig gegenüber Temperaturveränderungen und der Variation der Prozesscorner als die Charge Pump 4. Im Mittel ruft die Charge Pump 3 eine maximale Phasenverschiebung von ca. 30 ps hervor, während die Charge Pump 4 im Mittel eine maximale Phasenverschiebung von ca. 125 ps hervorruft.

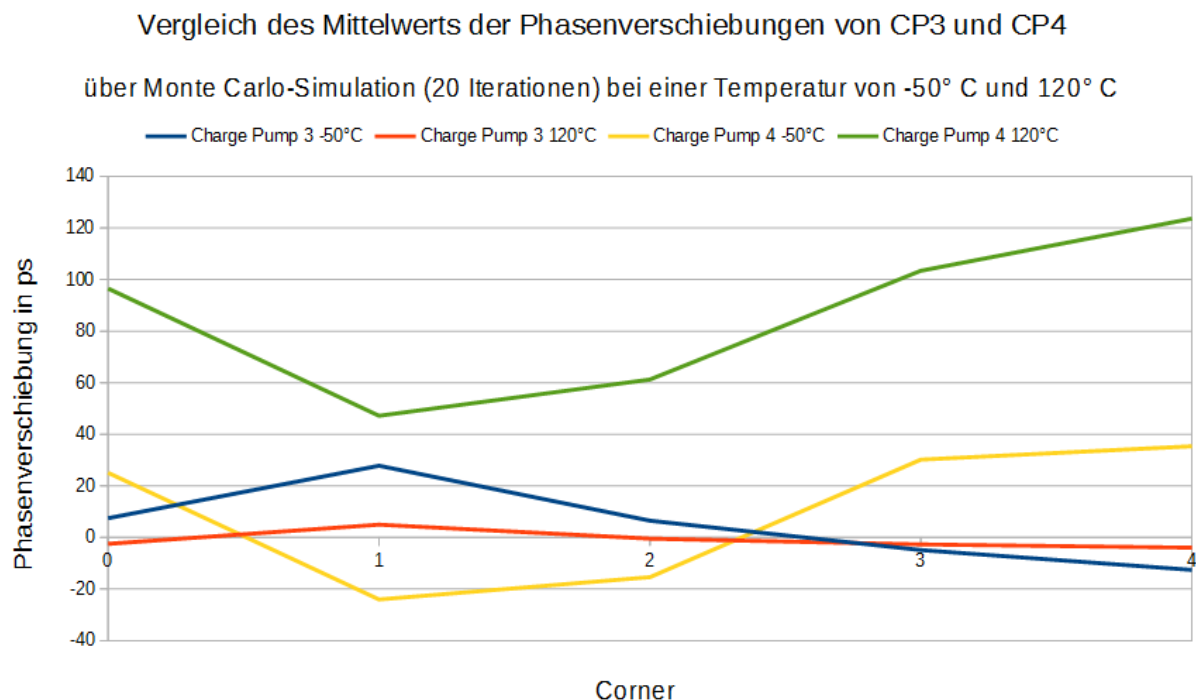


Abb. 5.14: Vergleich des Mittelwerts der Phasenverschiebung von CP3 und CP4

Um die beiden Charge Pumps abschließend bewerten zu können, muss die ermittelte Standardabweichung aus der Abbildung 5.15 mit einbezogen werden. Wie bereits zu Beginn dieses Kapitels erläutert, beschreibt die Standardabweichung den prozentualen Wert aller Messergebnisse vom Erwartungswert. Für diesen Fall dient der ermittelte Mittelwert als der Erwartungswert. Somit kann der Mittelwert aus der Abbildung 5.14 auf jeden Punkt der Standardabweichung aus der Abbildung 5.15 bezogen werden. Um eine möglichst hohe Genauigkeit zu erzielen, wird die Standardabweichung mit dem Wert drei multipliziert, um 99,73 % aller Messwerte auf den Mittelwert addiert, abzudecken.

Aus der Abbildung 5.14 wird ersichtlich, dass der Mittelwert der Phasenverschiebung durch die Charge Pump 4 am stärksten von einer hohen Temperatur beeinflusst wird. Bei Auswertung der Standardabweichung zeigt sich ein gegensätzlicher Verlauf. Die Charge Pump 4 zeigt einen recht konstanten Verlauf über alle Bedingungen, während die Charge Pump 3 den doppelten bis vierfachen Wert aufweist. Dies hat zur Folge, dass die Charge Pump 3 ein reales Verhalten aufzeigt, welches wesentlich schlechter als die der Charge Pump 4 ist. Hierbei zeichnet sich die Stromregelung der Charge Pump 4 aus, die dafür sorgt, dass die Standardabweichung, bezogen auf die Phasenverschiebung am Ausgang der Charge Pump über allen Bedingungen konstant bleibt. Für den Vergleich kann der schlechteste Mittelwert einer Charge Pump aus der Abbildung 5.14 mit der entsprechenden Standardabweichung aus der Abbildung 5.15 verglichen werden. Die Charge Pump 4 weist bei einer Temperatur von

120°C und der Prozesscorner C4 einen Mittelwert von 125 ps und eine Standardabweichung von 33 ps auf. Daraus ergibt sich eine Gesamtphasenverschiebung von 224 ps, um 99,73 % der Messergebnisse abdecken zu können. Die Charge Pump 3 weist bei einer Temperatur von -50°C und der Prozesscorner C1 einen Mittelwert von 5 ps und eine Standardabweichung von 262 ps auf. Es resultiert eine Gesamtphasenverschiebung von 791 ps, welche für die Auswertung des Time-to-Digital Converters eine viel zu große Verzögerung zum Referenztakt darstellt.

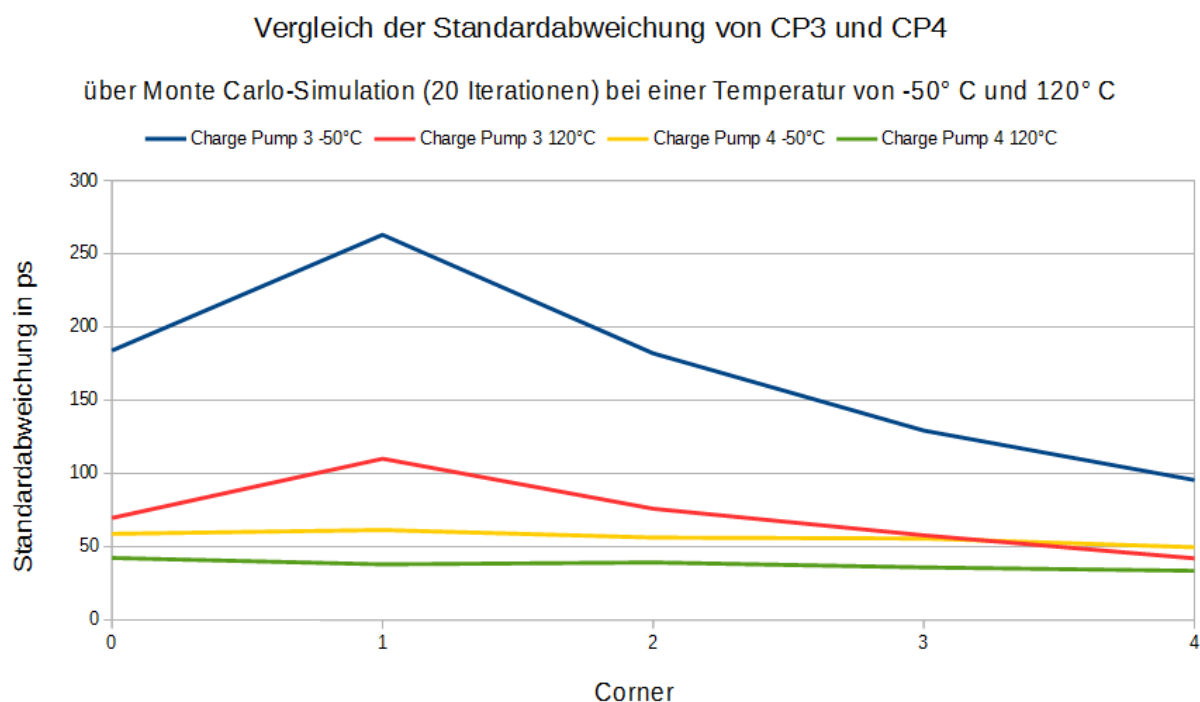


Abb. 5.15: Vergleich der Standardabweichung von CP3 und CP4

Da die Charge Pump 4 einen höheren Einfluss auf den Mittelwert der Phasenverschiebung aufweist, wurden die Kompensationstechniken der Charge Pump 3 auch an der Charge Pump 4 angewendet. Diese Modifikation führt dazu, dass die Charge Pump 4 aufgrund der Transmissiongates im differentiellen Zweig einen identischen Verlauf wie die Charge Pump 3 annimmt. Demzufolge sorgt dieses für einen wesentlich schlechteren Verlauf der Standardabweichung und zu einem schlechten realen Verhalten. Die Transmissiongates können aufgrund der zufälligen Verteilung der Prozesscorner nicht die Kanalladung des parallel verschalteten Transistors aufnehmen und somit haben im zeitlichen Mittel die parasitären Eigenschaften einen Einfluss auf die Delay-Locked Loop.

6. Entwicklung eines Low-Dropout Spannungsreglers

Der Low-Dropout Spannungsregler sorgt dafür, dass die Filterspannung von der Delay-Line als Last entkoppelt wird. Durch diese Entkopplung wird der Filterkondensator nicht durch die Last entladen. Außerdem werden Spannungseinbrüche auf der Filterspannung vermieden, welche durch plötzliche Lastwechsel oder einer Versorgungsspannungsänderung hervorgerufen werden. Diese Entkopplung stellt den robusten Betrieb der DLL sicher und schließt den Einfluss der Spannungseinbrüche auf die Verzögerungszeit der Delay-Line aus.

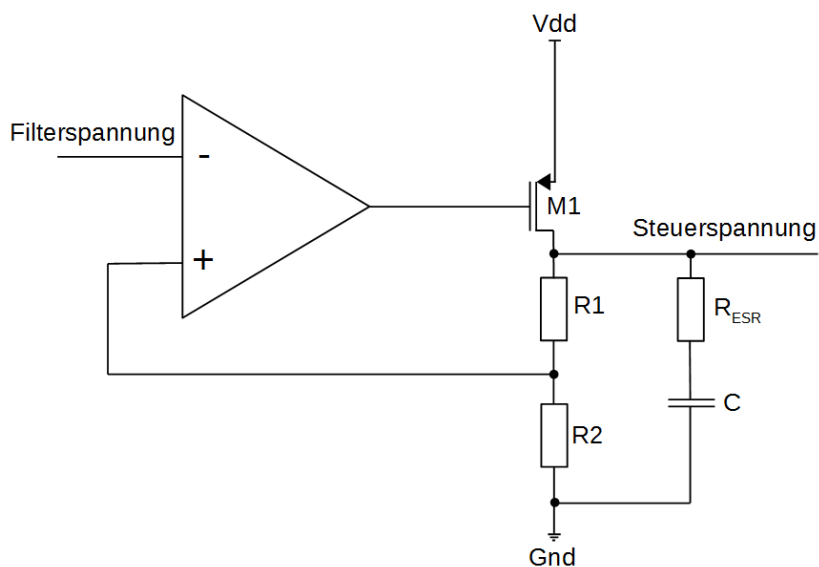


Abb. 6.1: Low-Dropout-Spannungsregler

Der LDO ist aus einem differentiellen Verstärker, einem PMOS-Transistor als Pass-Device, einem Spannungsteiler über R_1 und R_2 sowie einer Ausgangskapazität mit einem ESR Serienwiderstand aufgebaut. Der Operationsverstärker vergleicht die Filterspannung mit der halbierten zurückgeführten Ausgangsspannung. Steigt nun die Filterspannung an, so dass diese größer ist als das Potential am nicht-invertierenden Eingang, sinkt die Gate-Spannung von M_1 . Aufgrund der größeren Source-Gate-Spannung an M_1 ergibt sich ein größerer Stromfluss von Source nach Drain. Dieser Strom lädt die Ausgangskapazität C auf und die Spannung am Ausgang steigt.

Wird nun die Filterspannung aufgrund eines DN-Signals auf ein niedrigeres Potential als am nicht-invertierenden Eingang sinken, steigt die Gate-Spannung von M_1 . Durch die abfallende Source-Gate-Spannung wird der Stromfluss zwischen Source und Drain verringert und die Ausgangskapazität mit einem geringeren Ladestrom versehen. Aufgrund des kontinuierlichen

Stromflusses über den Spannungsteiler von R1 und R2 sowie über die Stromentnahme der Last fällt die Ausgangsspannung ab.

Die Ausgangsspannung des Reglers ist abhängig von der Auswahl der Widerstandswerte von R1 und R2.

$$V_{OUT} = V_{Input} \cdot \left(1 + \frac{R1}{R2}\right) \quad (6.1)$$

Sind die Widerstände R1 und R2 gleich groß, liegt immer die halbe Ausgangsspannung an dem invertierenden Eingang des Verstärkers an und die generierte Ausgangsspannung entspricht dem Doppelten der Referenzspannung.

Ein LDO mit einem PMOS Pass-Device hat im Gegensatz zu einem Linearregler mit einem NMOS Pass-Device den Vorteil, dass die Ausgangsspannung um eine Schwellenspannung höher liegen kann. Beim LDO fällt über den PMOS lediglich eine Sättigungsspannung in Höhe von etwa 200 mV ab. Über den NMOS eines Linearreglers fallen eine Sättigungsspannung von 200 mV sowie eine Schwellenspannung von ca. 500 mV ab. Somit ist der LDO effektiver und bietet für die Delay-Line einen höheren dynamischen Bereich. Des weiteren werden bei höheren Spannungen kürzere Durchlaufzeiten erzielt. Ein Nachteil des LDOs gegenüber dem eines Linearreglers ist, dass dieser schwieriger zu stabilisieren ist.

Der LDO weist zwei dominante Pole auf, welche für die Stabilität des Reglers entscheidend sind. Ein Pol ω_1 befindet sich am Ausgang des LDOs. Er wird definiert über den Lastwiderstand R_L , dem Ausgangswiderstand des Pass-Devices R_{DS1} und der Ausgangskapazität C.

$$\omega_1 \approx \frac{1}{C \cdot R_{LG}} \quad (6.2)$$

$$R_{LG} = R_L \parallel \left((R_1 + R_2) \parallel R_{DS1} \right) \quad (6.3)$$

Der Pol ω_1 ist stark vom Laststrom abhängig. Er wandert von sehr tiefen Frequenzen bei kleinen Lastströmen zu sehr hohen Frequenzen bei sehr großen Lastströmen. Der zweite dominante Pol ω_2 liegt am Ausgang des differentiellen Verstärkers und ist weniger stark

vom Laststrom abhängig. Er wird definiert über die Gate-Source – und Millerkapazität sowie den Ausgangswiderstand des Verstärkers R_{opamp} .

$$\omega_2 \approx \frac{1}{\left(C_{gs} + (1 + g_m \cdot R_{LG}) \cdot C_{gd}\right) \cdot R_{opamp}} \quad (6.4)$$

Da die Pole ω_1 und ω_2 beide vom Laststrom abhängig sind, können diese bei ähnlichen Frequenzen liegen und somit zu einer Instabilität des Spannungsreglers führen. Zur Vermeidung dieses Zustands wird eine Nullstelle als Serienwiderstand R_{ESR} am Kondensator eingeführt, um den Pol ω_2 zu kompensieren.

$$\omega_z \approx \frac{1}{C \cdot R_{ESR}} \quad (6.5)$$

Die Einführung der Nullstelle ω_z bewirkt, dass der Pol ω_2 keine Wirkung mehr auf den Regelkreis hat und führt somit zur Stabilisierung des LDO.

6.1 Dimensionierung des Spannungsreglers

Der Spannungsregler wird zwischen der Charge Pump und der Delay-Line in der Delay-Locked Loop platziert. Um den Spannungsregler dimensionieren zu können, muss die Last der Delay-Line bekannt sein. In dem Kapitel 3.5 sind die verschiedenen Inverter-Strukturen für die Umsetzung der Verzögerungskette aufgeführt. Da die Delay-Locked Loop anhand eines Time-to-Digital Converters ausgewertet werden soll, wird der Inverter nach den Anforderungen dieses Converters ausgewählt. Für die Umsetzung dieser Interpolationstechnik ist der Aufbau der Delay-Line durch einen differentiellen Inverter durchzuführen. Somit würden der differentielle Inverter mit NMOS-Kreuzkopplung und der Maneatis-Inverter für die Umsetzung nötig sein. Diese beiden Inverter unterscheiden sich allerdings in der Ansteuerung. Bei dem differentiellen Inverter muss der Spannungsregler den Versorgungsstrom und die Versorgungsspannung für jeden Inverter in der Verzögerungskette liefern können. Da der Versorgungsstrom beim Maneatis-Inverter nicht vom Spannungsregler, sondern von der Spannungsquelle des Chips getragen wird, dient der Spannungsregler für diesen Inverter nur zur Bereitstellung der Steuerspannung am Eingang der Ansteuerungsschaltung. Somit wird der Spannungsregler auf eine Delay-Line, bestehend aus 250 Elementen des differentiellen Inverters, ausgelegt. Für die Dimensionierung wird die Inverterkette ähnlich wie in Kapitel 3.5

bei den Randbedingungen (C1 -50°C, C0 30°C, C4 120°C) betrachtet, um den RMS-Strom ermitteln zu können. Dieser wird mit einer ungeraden Anzahl von Delay-Elementen und einer direkten Rückführung des Ausgangs zum Eingang als Ringoszillator verschaltet, um durch einen Eingangspuls einen stetig durchlaufenden Impuls zu erzeugen und somit einen sich einstellenden RMS-Strom zu ermitteln. Bevor der RMS-Strom simuliert werden kann, wurden die Steuerspannungen für die oben aufgeführten Randbedingungen ermittelt. Das Signal zur Ermittlung des RMS-Stroms wird in Höhe der Steuerspannung ausgegeben.

Prozessvariation	Steuerspannung	RMS-Strom
Corner C1 -50°C	1,81 V	1,35 mA
Corner C0 30°C	2,36 V	1,71 mA
Corner C4 120°C	3,24 V	2,30 mA

Tab. 6.1: Ermittlung des RMS-Stroms der differentiellen Inverterkette bei Prozessvariationen

Ausgehend von den Simulationsergebnissen aus der Tabelle 6.1 bewegt sich der RMS-Strom der Inverterkette in einem Bereich von 1,34 mA bis 2,3 mA bei den simulierten Prozessbedingungen. Um diesen Strombereich mit einem Sicherheitspuffer abdecken zu können, wird der Spannungsregler nachfolgend auf einen Laststrom von 3 mA ausgelegt.

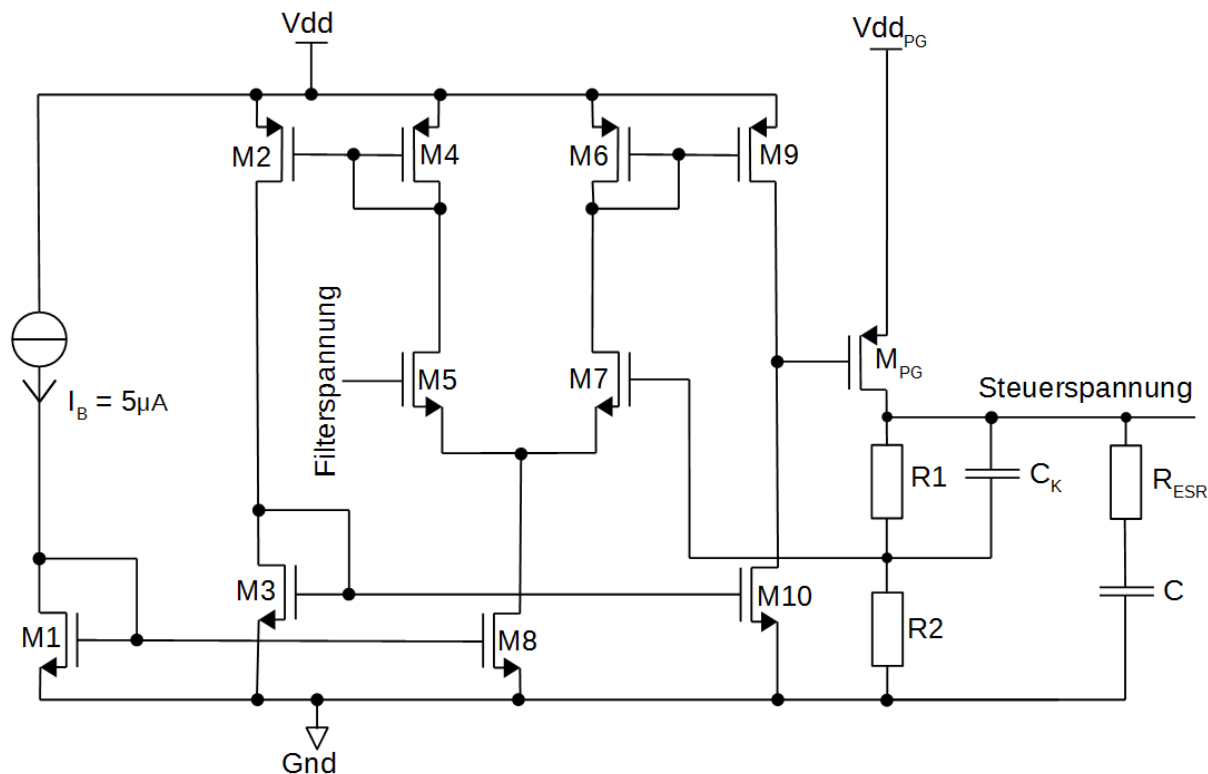


Abb. 6.2: Dimensionierung des Low-Dropout Spannungsreglers

Die Abbildung 6.2 zeigt die schematische Umsetzung des Spannungsreglers. Der OTA, bestehend aus den Transistoren M1 bis M10, wird als einfache differentielle Eingangsstufe realisiert. Da ein stromabhängiger Pol am Ausgang des Verstärkers vorhanden ist, würde zum Beispiel ein kaskodierter Verstärker mit einer wesentlich höheren Verstärkung dazu führen, dass zwei dominante Pole im Spannungsregler vorhanden wären und die Kompensation dementsprechend erschwert wird. Für den Operationsverstärker werden NNDIG-Eingangstransistoren in Minimaldimension verwendet, um auf kleine Eingangsspannungen reagieren zu können, gleichzeitig die Steilheit zu reduzieren und den Ausgangspol des Verstärkers abzuschwächen. Das Pass-Device M_{PG} wird im Gegensatz zum Operationsverstärker mit einer Versorgungsspannung von 3,5 V versorgt, um nach dem Spannungsfall von einer Sättigungsspannung in Höhe von ca. 200 mV eine Versorgungsspannung von 3,3 V für die Verzögerungskette zu gewährleisten. Die nachfolgenden Parameter sind für die Auslegung des Spannungsreglers aus der Simulation ermittelt worden.

- $M_{PG} \rightarrow W = 3 \text{ mm} ; L = 360 \text{ nm}$
- $R1 = R2 = 4,125 \text{ k}\Omega$
- $C_K = 50 \text{ pF}$
- $R_{ESR} = 250 \text{ }\Omega$
- $C = 100 \text{ pF}$

Die Weite des Transistors M_{PG} wird mit 3 mm bestimmt, so dass sich dieser bis zu einem Laststrom von 3 mA immer im Sättigungsbereich befindet. Der Kompensationskondensator C soll auf dem Chip realisiert werden, da dieser nur maximal einen Wert von 100 pF aufweisen darf. Der Widerstand R_{ESR} und die Koppelkapazität C_K fügen dem Spannungsregler eine Nullstelle hinzu, um den Regler zu stabilisieren. Die Widerstände R1 und R2 dienen als Spannungsteiler und weisen deshalb denselben Wert auf. Dadurch nimmt die Steuerspannung den doppelten Wert der Filterspannung an. Die Widerstände fügen bei einer anliegenden Steuerspannung von 3,3 V einen zusätzlichen Ruhestrom über den Spannungsteiler von 400 μA hinzu, um den Regler auch bei einem sehr kleinen oder keinem anliegenden Laststrom zusätzlich zu stabilisieren. Aufgrund dessen, dass der Kompensationskondensator auf dem Chip realisiert werden soll und nur maximal einen Wert von 100 pF aufweisen darf, muss der Serienwiderstand R_{ESR} mit 250 Ω realisiert werden, um den Regler ausreichend hoch zu stabilisieren. Durch diesen Nachteil wird ein Spannungsfall über den ESR-Widerstand im zweistelligen Millivolt-Bereich im eingeschwungen Zustand der Delay-Locked auf der Steuerspannung erwartet.

6.2 Verhalten des LDOs bei Prozesssimulationen

In diesem Kapitel wird das Verhalten des dimensionierten Spannungsreglers über die Prozesssimulationen untersucht. Der LDO wird über einen Eingangsspannungsbereich von 0 V bis 1.65 V sowie einem Laststrom von 0 mA bis 3 mA simuliert. Das Ziel ist es, den Spannungsregler für diese Bereiche konstant auf eine Phasenreserve von mindesten 60 Grad auszulegen. Der Regler wurde über die genannten Spannungs- und Strombereiche bei der Corner C0 und 30°C, der Corner C1 und -50°C sowie der Corner C4 und 120°C simuliert. In der Abbildung 6.3 ist der Verlauf der Phasenreserve (C1, -50°C) abgebildet, welcher den schlechtesten Fall der Simulationen aufweist. Ausgehend von den Steuerspannungen und den Lastströmen aus der Tabelle 6.1 kann die Phasenreserve anhand der Arbeitspunkte bewertet werden.

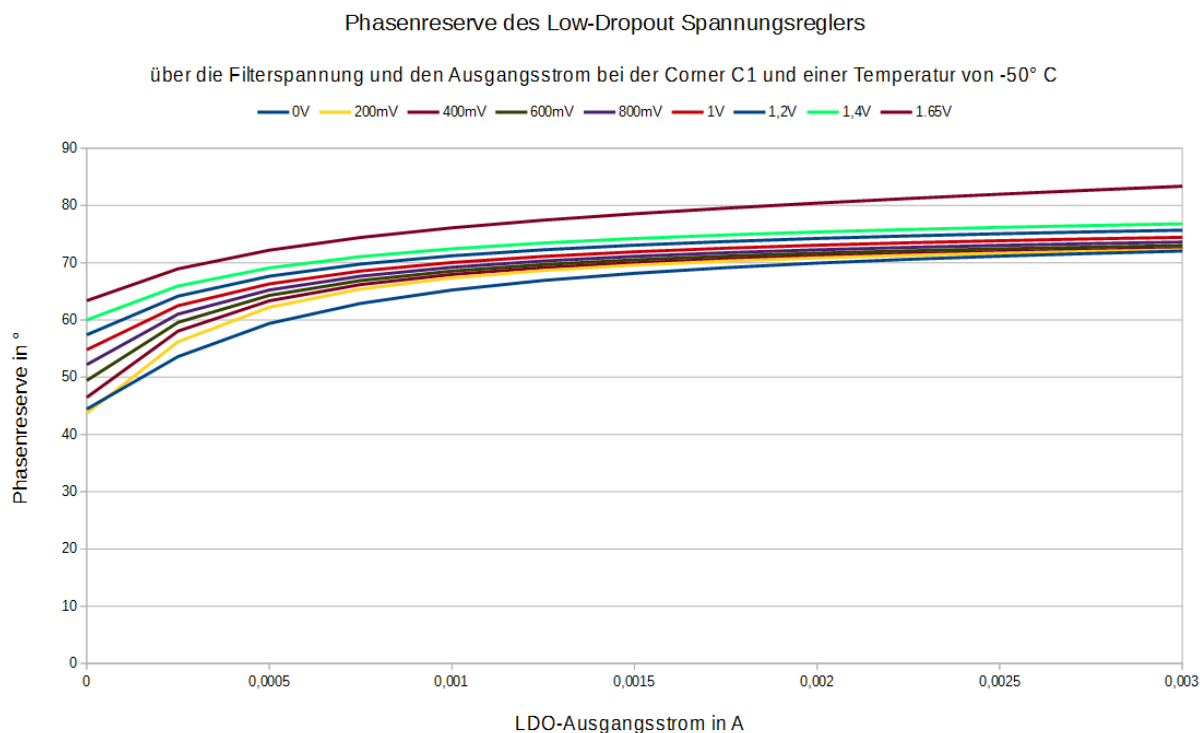


Abb. 6.3: Phasenreserve des Low-Dropout Spannungsreglers

Aufgrund des Spannungsteilers liegt am Eingang des LDOs als Filterspannung die halbierte Steuerspannung an. Der Arbeitspunkt bei einer Temperatur von -50°C und der Prozesscorner C1 liegt somit bei 0,905 V und einem Laststrom von 1,35 mA. Für diesen Arbeitspunkt stellt sich eine Phasenreserve von ca. 68° ein und die Vorgabe für die Umsetzung des LDOs ist erfüllt. Für die anderen Arbeitspunkte, die sowohl bei einer höheren Filterspannung als auch bei einem höheren Laststrom liegen, ist die Vorgabe ebenfalls erfüllt. Um sicherzustellen

len, dass der LDO auch unter jeder zufällig verteilten Prozessbedingung den richtigen Arbeitspunkt erreicht, wird eine Monte-Carlo Simulation anhand einer Sprungfunktion der Filterspannung von 0 V auf 1 V bei gleichbleibender Last simuliert. Diese Simulation hat gezeigt, dass der Spannungsregler immer seinen Arbeitspunkt anfahren kann. Bei kleinen Lastströmen liegt eine Phasenreserve von kleiner als 60° vor. Dies ist für das Einschwingverhalten der Delay-Locked Loop aber kein Nachteil, da die Force-Up Schaltung so lange ein UP-Signal erzeugt, bis sich die Steuerspannung im Bereich des geforderten Arbeitspunkts befindet. Erst dann wird der reguläre Betrieb des Phasendetektors freigegeben und der Spannungsregler weist für jeden Arbeitspunkt eine Phasenreserve von mehr als 60° auf.

7. Simulation der realen Delay-Locked Loop

In diesem Kapitel wird das Einschwingverhalten der realen Delay-Locked Loop über Temperatur- sowie Prozessvariationen und zufällig verteilten Parametern in einer Monte-Carlo Simulation bewertet. Für die reale Umsetzung wird die bis jetzt betrachtete ideale DLL durch die entwickelten realen Bauteile ersetzt.

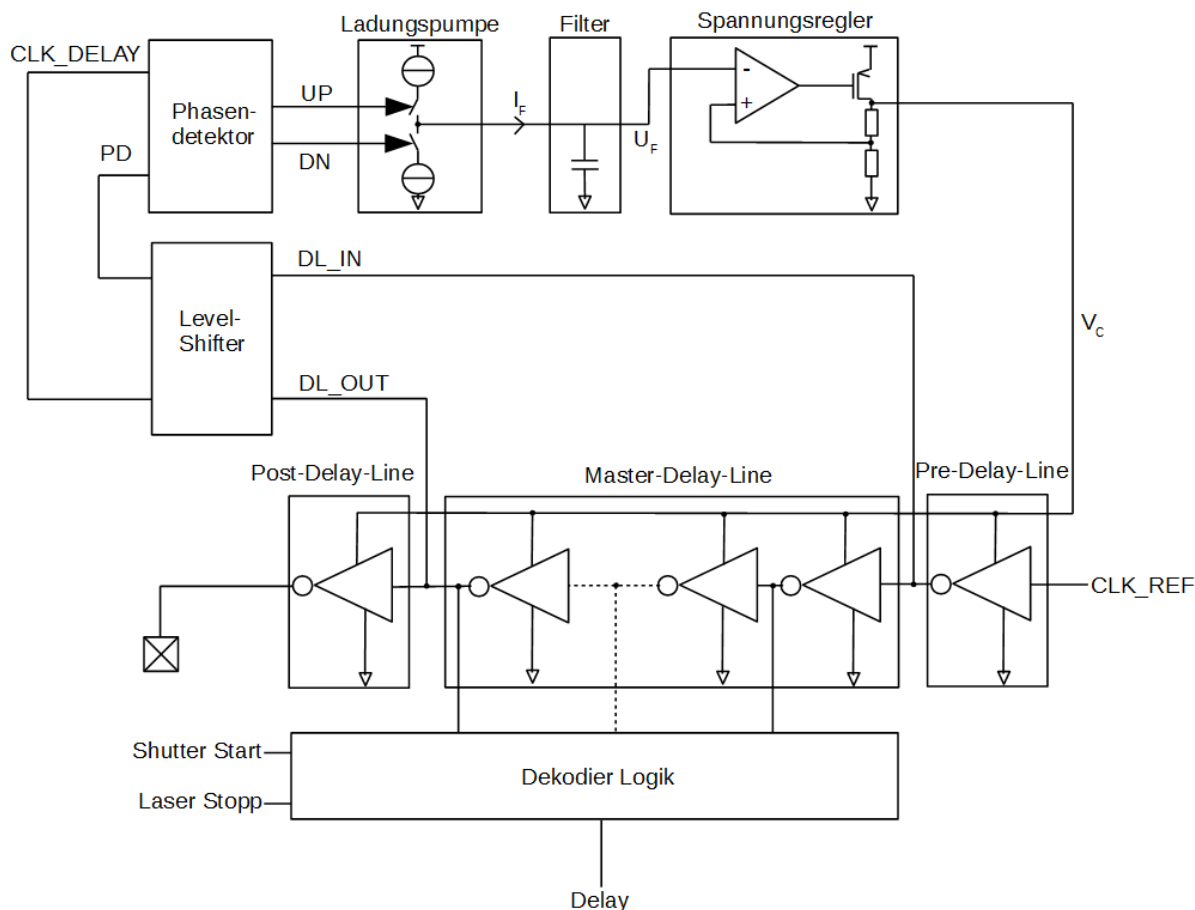


Abb. 7.1: Aufbau der realen Delay-Locked Loop mit Dekodier Logik

Die Simulationsergebnisse haben gezeigt, dass die Charge Pump 4 für den Einsatz in der realen Delay-Locked Loop das beste Verhalten aufweist. Der Low-Dropout-Spannungsregler wird mit den ermittelten Parametern aus dem Kapitel 6 für die Umsetzung der Regelschleife genutzt. Ausgehend von dem Rauschverhalten und dem spannungsabhängigen Verzögerungsverlauf der Inverter Strukturen sowie die Anforderung des Time-to-Digital Converters an einen differentiellen Inverter wird der differentielle Inverter mit der NMOS-Kreuzkopplung für die reale Delay-Line verwendet. Die Abbildung 7.1 zeigt den finalen Aufbau der realen Delay-Locked Loop, abgestimmt auf die vorhandene Dekodier Logik. Damit diese Logik eine homogene Verzögerungszeit an allen Elementen der Master-Delay-Line detektieren kann, wird

eine Pre- und Post-Delay-Line, bestehend aus jeweils 5 Invertern, der Master-Delay-Line vor- und nachgeschaltet. Durch die vorgeschaltete Delay-Line erfährt die Master-Delay-Line eine um fünf Inverter zeitlich verzögerte Referenzperiode, worauf das Eingangssignal DL_IN mit dem Ausgangssignal DL_OUT am Phasendetektor verglichen wird. Da der differentielle Inverter über seine Versorgungsspannung gesteuert wird, müssen die zum Phasendetektor verlaufenden Signale über einen Levelshifter auf die Versorgungsspannung angehoben werden. In der Abbildung ist schematisch nur ein Levelshifter für beide Signale aufgeführt und in der Simulation ist ein Levelshifter pro Signal verbaut.

Unter Abbildung 7.2 ist der Local Passive Interpolation Time-to-Digital Converter aufgeführt, der die Dekodier Logik der Delay-Locked Loop darstellt. Dieser TDC wird für die Delay-Locked Loop zur Verfügung gestellt. Diese Interpolationstechnik ermöglicht es, die Auflösung eines Inverters in der Master-Delay-Line durch die Widerstandsabgriffe zu verbessern. Beim Einsatz einer Interpolationstechnik wird von einer Sub-Gate-Delay Auflösung gesprochen.

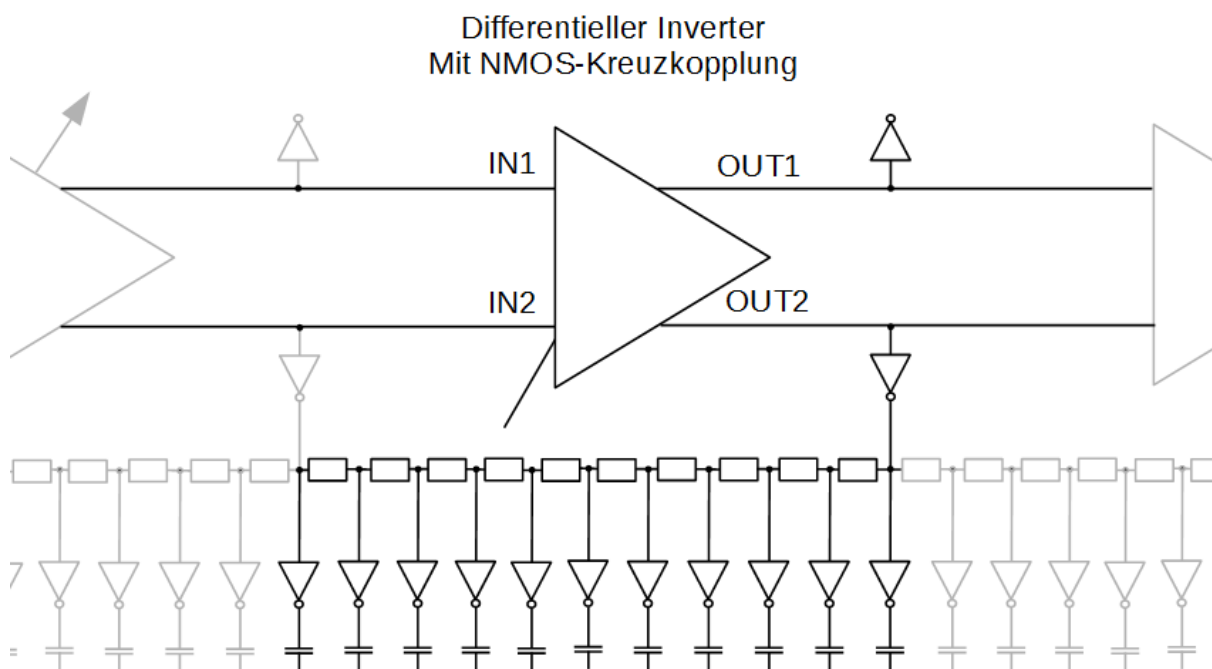


Abb. 7.2: Aufbau der Master-Delay-Line mit dem differentiellen Inverter mit NMOS-Kreuzkopplung und dem Local Passive Interpolation TDC

Somit ist es möglich, dass jeder Inverter über zehn Datenausgänge verfügt, welche durch den TDC zum Vergleich herangezogen werden können. Die Abgänge werden durch einen invertierenden Verstärker verstärkt und die Kapazitäten symbolisieren die kapazitive Last der Auswerteglieder. Eine Auswertung erfolgt anhand des Start- und Stopp-Signals über D-Flip-

Flops. Um ein möglichst reales Verhalten der Delay-Line zu bekommen, muss der Einfluss des Layouts auf die Versorgungsspannung beachtet werden. Dies ist bei dem ausgewählten Inverter besonders wichtig, da die Verzögerung über die Versorgungsspannung gesteuert wird. Um die elektrische Verbindung zwischen den einzelnen Invertern real darstellen zu können, wird ein Widerstand für die Versorgungsspannungsleiterbahn von $0,2 \Omega$ angenommen. Zusätzlich wird eine Stützkapazität von 200 fF mit seinem Serienwiderstand von 5Ω eingefügt. Diese Werte gelten als allgemeine Richtwerte des Layouts.

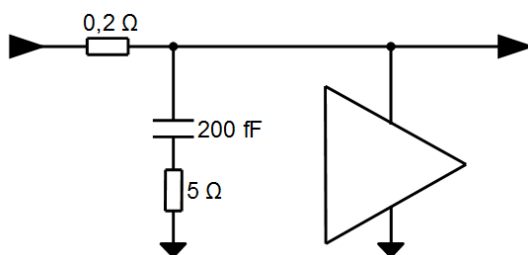


Abb. 7.3: Darstellung des realen Verhaltens der Versorgungsspannungsleiterbahn mit einer Stützkapazität

Des weiteren wird die Delay-Line mit mehreren Einspeisungen der Steuerspannung versehen, um sicher zu stellen, dass die Steuerspannung über die Anzahl der Inverter möglichst konstant bleibt. Es werden acht Einspeisungspunkte symmetrisch über der Delay-Line verteilt, damit der TDC jederzeit dieselbe Verzögerung pro Element detektieren kann. Um den Einschwingvorgang der Delay-Locked Loop abbilden zu können, wird diese unter den Prozessvariationen ($C1 -50^\circ$, $C0 30^\circ$, $C4 120^\circ$) simuliert. Da diese Parameter die Randbedingungen darstellen, kann die minimale und maximale anliegende Steuerspannung an der Delay-Line simuliert werden. In der Abbildung 7.4 ist der Einschwingvorgang der Regelschleife abgebildet. Die Signale basieren auf dem Aufbau aus der Abbildung 7.1. Um ein realen Startablauf zu simulieren, wird die Versorgungsspannung über eine Rampe innerhalb von 100 ns auf $3,3 \text{ V}$ linear steigen. Liegt die Versorgungsspannung an, wird nach 150 ns ein kurzes Reset-Signal geschaltet, um die D-Flip-Flops innerhalb des Phasendetektors rückzusetzen. Damit wird ein falscher Zustand der Flip-Flops vermieden. Nach 200 ns wird das Enable-Signal auf High geschaltet, um den Phasendetektor auf die Regelschleife zu schalten und der reguläre Betrieb der Delay-Locked Loop gestartet. Nun sorgt die Force-UP-Schaltung, welche auf den Phasendetektor einwirkt, für ein konstantes UP-Signal. Durch das anliegende UP-Signal wird der Filterkondensator durch die Charge Pump mit einem definierten Strom von $5 \mu\text{A}$ aufgeladen und die Filterspannung steigt linear an. Da die Force-UP-Schaltung dafür sorgt, dass sich die Delay-Locked Loop nicht auf eine falsche Verzögerungszeit einschwingen kann, gibt diese erst kurz vorm Erreichen der einzustellenden Filterspannung

den regulären Betrieb des Phasendetektors frei. Ab einer Zeit von 42,5 μ s wechselt das Force-UP-Signal von Low auf High und der Phasendetektor führt UP- und DOWN-Signale aus.

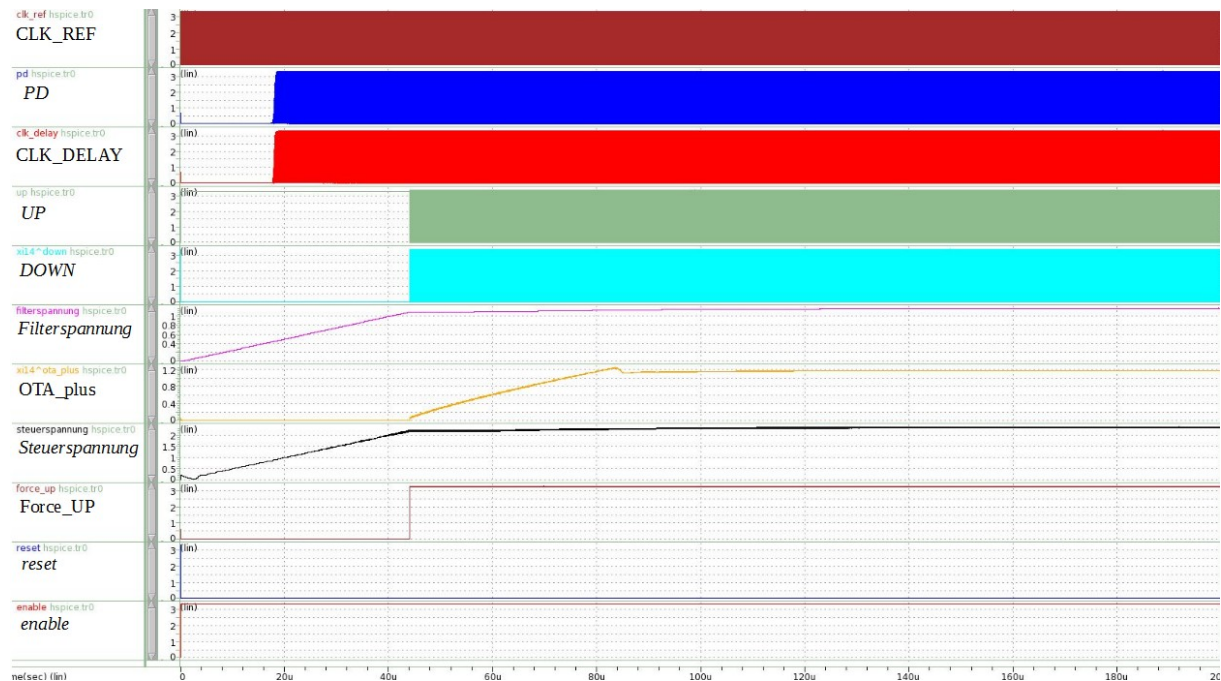


Abb. 7.4: Einschwingvorgang der Delay-Locked Loop bei einer Temperatur von 30°C und dem Corner-Modell C0

Das Signal CLK_REF entspricht der anliegenden Referenzfrequenz von 25 MHz bzw. einer Referenzperiodendauer von 40 ns, die als Vorgabe dient und für den realen Betrieb durch eine Phase-Locked Loop bereitgestellt wird. Das Ein- und Ausgangssignal der Master-Delay-Line wird über den Levelshifter geführt und als PD und CLK_DELAY am Eingang des Phasendetektors auf Phasengleichheit überprüft. Die Signale PD und CLK_Delay können erst verzögert stattfinden, da die Delay-Line erst ab einer Steuerspannung von ca. 1 V die Referenzperiodendauer abbilden kann. Die Steuerspannung weist aufgrund des Spannungsteilers des Low-Dropout Spannungsreglers immer den doppelten Wert der Filterspannung auf und erfährt einen identischen linearen Anstieg. Das Signal OTA_plus beschreibt die Spannung am nicht invertierenden Eingang des gefalteten Transkonduktanzverstärkers innerhalb der Differenzeingangsstufe der Charge Pump. Da die Force-UP-Schaltung anfänglich einen UP-Puls erzwingt, befindet sich das DOWN-Signal auf logisch Null. In der Abbildung 5.10 aus dem Kapitel 5.3.2 ist zu erkennen, dass bei einem kontinuierlichen DOWN-Signal der Transistor M16 leitend ist. Somit wird die Spannung am nicht invertierenden Eingang des OTAs auf Massepotential gehalten. Erst wenn UP- und DOWN-Signale in der Delay-Locked Loop vorhanden sind, wird die Spannung am Knoten OTA_plus an die Filterspannung ange-

glichen. Sind diese beiden Spannungen angeglichen, kann die Charge Pump die parasitären Eigenschaften im Schaltmoment verhindern und die Stromregelung funktioniert exakt. In der Tabelle 7.1 sind die Simulationsergebnisse für die Prozessvariationen der realen Delay-Locked Loop aufgelistet.

	C1 -50°C	C0 30°C	C4 120°C
Filterspannung	0,9 V	1,17 V	1,61 V
Steuerspannung	1,8 V	2,34 V	3,22 V
Einschwingzeit	75 μ s	90 μ s	120 μ s
Phasenverschiebung	99 ps	20 ps	218 ps

Tab. 7.1: Simulationsergebnisse der realen Delay-Locked Loop

Die Delay-Locked Loop sorgt über die Randbedingungen des Temperaturbereichs und der Prozesscorner immer für ein sicheres Einschwingverhalten. Um die Verzögerungszeit der Delay-Line konstant zu halten, wird die Steuerspannung in der Höhe von 1,8 V bis zu 3,22 V geregelt. Durch die verschiedenen Bedingungen stellt sich auch ein unterschiedliches zeitliches Einschwingverhalten ein. Zur Bestimmung dieses Parameters wird die Zeit in Betracht gezogen, welche die Charge Pump braucht, um die Spannung der Differenzstufe an die Filterspannung anzugleichen. Die Delay-Locked Loop schwingt sich innerhalb von 75 μ s bis zu 120 μ s ein. Aufgrund der Auswirkungen der Prozessvariationen stellt sich eine Phasenverschiebung im Mittelwert zu der Referenzperiodendauer von 99 ps bis zu 218 ps ein. Dieses würde für den schlechtesten Fall bedeuten, dass die Delay-Line eine Verzögerungszeit von 40,218 ns bei einer Referenzperiodendauer von 40 ns abbilden würde. Somit würde sich pro Abgriff des Time-to-Digital Converters ein Messfehler von ca. 0,1 ps einstellen. Da 70 ps umgerechnet eine Distanz von 1 cm darstellt, würde dieser Messfehler bei einer zu messenden Zeit von 40 ns zu einer Abweichung von ca. 3 cm führen. Zusätzlich ist in der Abbildung 7.5 zu erkennen, dass die Steuerspannung im Umschaltmoment der Referenzfrequenz einen Spannungsabfall erfährt. Dieser Spannungsabfall wird durch den Laststrom der Delay-Line über den R_{ESR} -Widerstand des Low-Dropout Spannungsreglers gebildet. Über die simulierten Prozessvariationen stellt sich ein Spannungsfall zwischen 20 mV und 40 mV ein. Hierbei beschreibt die Corner C1 bei einer Temperatur von -50°C den schlechtesten anzunehmenden Fall. Die Phasenverschiebung variiert aufgrund des Spannungsabfalls zwischen 99 ps und 184 ps. Dadurch wird die Distanzmessung um ca. 1,13 cm beeinflusst, liegt aber immer noch unter dem maximalen Messfehler. Da die Distanzauswertung allerdings über viele nacheinander ablaufende Messzyklen erfolgt, stellt sich über die Gesamtmessung ein Mittelwert ein, wodurch die Variation herausgefiltert wird.



Abb. 7.5: Darstellung des Spannungsfalls auf der Steuerspannung im Schaltmoment der Delay-Line

Um sicherzustellen, dass sich die Delay-Locked Loop auch bei einer zufälligen Verteilung der Prozessparameter über eine Monte-Carlo Simulation richtig einstellt, wird eine Simulation bei den Temperaturen von -50°C und 120°C und der Corner C0 durchgeführt. Hierdurch wird die globale und lokale Variation der Transistorparameter berücksichtigt, wodurch sich ein Worst-Case Verhalten zeigt. Die Simulation hat gezeigt, dass die Delay-Locked Loop die prozessbedingten Variationen durch das Anpassen der Filter- und Steuerspannung stets kompensieren kann. Für jede Iteration der Simulation hat sich die Delay-Locked sicher eingeschwungen.

Da die Charge Pump 4 für die Umsetzung dieser Delay-Locked Loop auf einem Patent beruht, muss festgestellt werden, ob diese für die Funktion im Automotive-Bereich freigegeben ist oder ob möglicherweise die Lizenz erworben werden muss. Um den Spannungsfall über den R_{ESR} -Widerstand des Low-Dropout Spannungsreglers zu reduzieren, kann überlegt werden, ob der Kompensationskondensator als externe Kapazität ausgeführt werden kann. Somit lässt sich der Spannungsregler durch einen kleinen Widerstand kompensieren und der Spannungsfall im Lastmoment wird reduziert. Für weitere Test- bzw. Simulationen wird von der gesamten Delay-Locked Loop und deren Einzelkomponenten ein Layout und somit ein Testchip erstellt, um im Laborumfeld praktische Distanzmessung durchzuführen. Diese Tests sind aufgrund der Herstellungsdauer vom Layout und des Chips nicht mehr Bestandteil dieser Thesis.

8. Zusammenfassung und Ausblick

Im Rahmen dieser Masterthesis wurde eine Delay-Locked Loop für die Nutzung in einem Time-to-Digital Converter für die Auswertung einer Time-of-Flight-Anwendung entworfen. Dieser Converter lag als Ausgangssituation in Form des Local-Passiv-Interpolationsverfahrens vor, um die Verzögerungszeit zwischen dem Start- und Stopp-Signal des Lasers an der Verzögerungskette der Delay-Locked Loop auswerten zu können. Die Regelschleife wurde anfangs durch Verilog-A Modelle aufgebaut, um ein ideales Verhalten zu erzeugen. Dadurch war es möglich, die Einflüsse der realen Einzelkomponenten auf die Phasenverschiebung zur anliegenden Referenzperiode zu ermitteln.

Es wurden unterschiedliche Strukturen von Charge Pumps entwickelt und untersucht. Die erste Charge Pump-Struktur basiert auf dem Stromspiegelprinzip und weist nur einen Strompfad am Ausgang der Schaltung auf. Dieser Aufbau erlaubt es nicht, die parasitären Einflüsse trotz eingefügter Kompensationsmethoden zufriedenstellend zu reduzieren. Die zweite Charge Pump-Struktur zeichnet sich durch einen differentiellen Ausgangszweig aus, der den Strom schnell umladen kann und somit nur eine geringe Einwirkung auf den Ausgang hat. Durch gezielte Kompensation kann das Charge-Sharing, Charge-Injection und Clock Feedthrough reduziert bzw. vermieden werden. Die entwickelte Charge Pump 4 weist die besten Simulationsergebnisse über den geforderten Temperaturbereich von -50°C bis 120°C , den Corner-Modellen sowie über die Monte-Carlo Simulation auf. Aus diesem Grund wird die Charge Pump 4 für die Umsetzung und Simulation der Delay-Locked Loop ausgewählt. Es gilt allerdings zu beachten, dass die Charge Pump 4 auf einem Patent beruht. Für die Produktion dieser Ladungspumpe muss überprüft werden, ob die Lizenz erworben werden muss.

Für die Implementierung der Charge Pump war es notwendig, einen präzisen Transkonduktanzverstärker zu entwerfen, der über einen hohen Spannungseingangsbereich verfügt. Dieser Verstärker dient als Spannungsfolger in der Charge Pump, um die einwirkenden UP- und DOWN-Ströme auf den Filterkondensator und über einen möglichst hohen Spannungsbereich präzise aufeinander abstimmen zu können. Um ein dynamischen Eingangsspannungsbereich abzudecken, wurde der Transkonduktanzverstärker von der Grundsaltung über eine kaskodierte- bis zu einer gefalteten Struktur weiterentwickelt, um den geforderten Bereich gerecht zu werden.

Ein weiterer Hauptbestandteil war es, einen Low-Dropout-Spannungsregler für die Entkopplung der Verzögerungskette als Last von der Filterspannung in die Delay-Locked Loop einzufügen. Dieser wurde auf einen Laststrom von 3 mA ausgelegt, um die Delay-Line ansteuern zu können. Aufgrund der Vorgabe, dass der Kompensationskondensator des Spannungsreglers auf dem Chip implementiert werden soll, durfte dieser keinen Wert größer als 100 pF aufweisen. Das hatte zur Folge, dass der ESR-Serienwiderstand zu dieser Kapazität mit einem Wert von 250 Ω groß ausfallen musste. Dies führt im Schaltvorgang der Delay-Line zu einem Spannungsabfall über den Widerstand im zweistelligen Millivoltbereich und fügt der Auswertung des TDCs einen Messfehler hinzu.

Für die Umsetzung der Delay-Line wurden verschiedene Inverter-Strukturen bezüglich deren Verzögerungsverlauf in Abhängigkeit zu der Steuerspannung und deren Einfluss auf das Phasenrauschen und Jitter untersucht. Da der TDC für die Auswertung der Delay-Line eine differentielle Inverter-Struktur fordert, kam der differentielle Inverter mit einer NMOS-Kreuzkopplung und der Maneatis-Inverter für die Umsetzung in Betracht. Aufgrund der Simulationsergebnisse bezüglich des Phasenrauschens und des Jitters hat sich gezeigt, dass der differentielle Inverter mit NMOS-Kreuzkopplung den geringsten Einfluss aufweist. Ein weiterer Vorteil gegenüber des Maneatis-Inverters ist, dass die spannungsabhängige Verzögerung flacher verläuft und deshalb der Spannungsabfall der Steuerspannung einen geringeren Einfluss hat.

Die Simulation der real aufgebauten Delay-Locked Loop hat gezeigt, dass diese über einen Temperaturbereich von -50°C bis 120°C und unter Berücksichtigung der lokalen sowie globalen Prozessvariation anhand von Corner-Modellen zu einer maximalen Phasenverschiebung von 218 ps zur Referenzperiodendauer führt. Dies entspricht einer Abweichung von ca. einem halben Prozent und führt zu einer Messungenauigkeit von 3 cm für die Auswertung der Delay-Locked Loop. Somit könnte ein zu detektierendes Objekt aufgrund von Umwelteinflüssen und Produktionsvariationen um diese Messungenauigkeit verfälscht erkannt werden.

Für die nächsten Schritte wird die Delay-Locked Loop mit dem Time-to-Digital Converter in das Layout überführt und auf einen Testchip produziert, um diesen im Testlabor weiter zu entwickeln.

9. Literaturverzeichnis

- [1] Razavi, Behzad (2002): Design of Analog CMOS Integrated Circuits (TATA McGraw-Hill Edition). Basic Current Mirrors, S. 135 – 139.
- [2] Razavi, Behzad (2002): Design of Analog CMOS Integrated Circuits (TATA McGraw-Hill Edition). Cascode Current Mirrors, S. 139 – 145.
- [3] Hong Yu, Yasuaki Inoue, Yan Han (2005): A New High-Speed Low-Voltage Charge Pump for PLL Applications. Analysis of Charge Pump Circuits, S. 435 – 437.
- [4] Baker, R. Jacob (2010): CMOS Circuit Design, Layout, and Simulation (Third Edition). Charge Injection, S. 830 – 831.
- [5] Baker, R. Jacob (2010): CMOS Circuit Design, Layout, and Simulation (Third Edition). Clock Feedthrough, S. 831 – 833.
- [6] Razavi, Behzad (2002): Design of Analog CMOS Integrated Circuits (TATA McGraw-Hill Edition). Stability and Frequency Compensation, S. 345 – 355.
- [7] Markus Grözing (2007): Untersuchung des Rauschens in Komplementären Metall-Oxid-Halbleiter-Ringoszillatoren. Kapitel 2.3 Thermisches Rauschen, S. 36 – 37.
- [8] Markus Grözing (2007): Untersuchung des Rauschens in Komplementären Metall-Oxid-Halbleiter-Ringoszillatoren. Kapitel 2.4 1/f-Rauschen, S. 38 – 43.
- [9] Bliley Technologies, Ultimate Guide to Understanding Phase Noise, [www.http://blog.bliley.com/ultimate-guide-to-phase-noise](http://blog.bliley.com/ultimate-guide-to-phase-noise), (abgerufen am 22.02.2018)
- [10] Reiner Moorfeld (2002): Programmierung und Simulation von Zeitjitter in Ultra Wideband Modems. Kapitel 3 Mathematische Beschreibung und Modellbildung, S. 7 – 14
- [11] Synopsys, HSPICE User Guide: Advanced Analog Simulation and Analysis. Kapitel 5 Phase Noise Analysis, S. 95 – 98.
- [12] Synopsys, HSPICE User Guide: Advanced Analog Simulation and Analysis. Kapitel 5 Phase Noise Analysis, S. 110 – 117.

- [13] Chih-Kong Ken Yang, Delay-locked Loops – An Overview, <http://www.ece.ucsb.edu/~long/ece594a/DLL.pdf>, (abgerufen am 11.12.2017)
- [14] G.S. Jovanović, M.K. Stojčev (2009): Vernier's Delay Line Time-to-Digital Converter, University of Novi Pazar, 2009, Seite 15
- [15] John George Maneatis (1994): Precise Delay Generation using coupled oscillators, Department of electrical engineering, Stanford University
- [16] Yong-Hwan Moon (2014): A 2.2-mW 20 – 135-Mhz False-Lock-Free DLL for Display Interface in 0.15- μ m CMOS, IEEE transactions on circuits and systems – II: express briefs, Vol. 61, NO. 8
- [17] Neil H. E. Weste, David Money Harris: CMOS VLSI Design, A Circuits and Systems Perspective, Lecture 22: PLLs and DLLs, pages.hmc.edu/harris/cmosvlsi/4e/lect/lect22.pdf, (abgerufen: 10.04.2018)
- [18] Razavi, Behzad (2002): Design of Analog CMOS Integrated Circuits (TATA McGraw-Hill Edition). Differential Amplifiers, S. 100 – 107.
- [19] Baker, R. Jacob (2010): CMOS Circuit Design, Layout, and Simulation (Third Edition). The Operational Transconductance Amplifier, S. 796 – 807.
- [20] Jae-Shin Lee, Min-Sun Keel, Shin-Il Lim, Suki Kim (ELECTRONICS LETTERS 9th November 2000): Charge pump with perfect current matching characteristics in phase-locked loops.
- [21] Dong-Keon Lee, Jeong-Kwank Lee, Hang-Geun Jeong (Division of Electronics and Information Engineering, Chonbuk Natinal University): A Dual-Compensated Charge Pump with Reduced Current Mismatch.
- [22] Ye Zhang, Niklas Zimmermann, Ralf Wunderlich, Stefan Heinen (Chair of Integrated Analog Circuit and RF Systems RWTH Aachen University): A Low Mismatch Simmetric Charge Pump for the Application in PLLs.
- [23] United States Patent Wakayama (Patent No.: US 7,057,465 B2 Jun.6,2006): Low Offset and Low Glitch Energy Charge Pump and Method of Operating same.

10. Anhang

10.1 Transistordimensionierungen

Transistor	Typ	Weite [μm]	Länge [μm]
M1,M3,M5	NEDIG	5,0	5,0
M2	PEDIG	2,0	1,0
M4,M6	PEDIG	4,0	1,5
M7	NEDIG	1,0	6,0
M14,M17	NNDIG	50,0	3,0
M18	NEDIG	10,0	0,36
M19	NEDIG	10,0	5,0
M8,M12,M15	PEDIG	8,0	1,5
M9,M13,M16	PEDIG	8,0	0,36
M10	NEDIG	2,0	0,36
M11	NEDIG	2,0	1,5
M20	PEDIG	16,0	1,5
M21	PEDIG	16,0	0,36
M22	PEDIG	4,0	0,36
M23	PEDIG	4,0	1,5
Kondensator		Kapazität [pF]	
C_L	CADIG	20,0	

Tab. 10.1: Transistordimensionierung des kaskodierten Transkonduktanzverstärkers

Transistor	Typ	Weite [μm]	Länge [μm]
M1,M3,M5,M7, M17,M21	NEDIG	5,0	5,0
M2,M14,M18	PEDIG	8,0	1,5
M6,M8	PEDIG	4,0	1,5
M4	PEDIG	2,0	0,5
M15,M19	PEDIG	8,0	0,36
M10,M11	NNDIG	50,0	3,0
M9	NEDIG	1,0	5,0
M12	NEDIG	10,0	0,36
M13	NEDIG	10,0	5,0
M16,M20	NEDIG	5,0	0,36
Kondensator		Kapazität [pF]	
C	CADIG	20,0	

Tab. 10.2: Transistordimensionierung des gefalteten Transkonduktanzverstärkers

Transistor	Typ	Weite [μm]	Länge [μm]
M1,M4,M9,M13	NEDIG	2,0	1,5
M3,M6,M8,M12	PEDIG	4,0	1,5
M2,M5,M10,M14, M15	NEDIG	0,48	0,36
M7,M11,M16	PEDIG	1,2	0,36
Kondensator		Kapazität [pF]	
C1	CADIG	10,0	
C2	CADIG	1,0	
Widerstände		Impedanz [kΩ]	
R1	RPP	50,0	

Tab. 10.3: Transistordimensionierung Charge Pump 1

Transistor	Typ	Weite [μm]	Länge [μm]
M1,M4,M9,M12	NEDIG	2,0	1,5
M3,M6,M8,M11, M14,M16,M20	PEDIG	4,0	1,5
M2,M5,M10,M13, M18,M22,M23	NEDIG	0,48	0,36
M7,M15,M19,M24	PEDIG	1,2	0,36
M17,M21	NEDIG	1,0	1,5
Kondensator		Kapazität [pF]	
C1,C2	CADIG	50,0	
Widerstände		Impedanz [kΩ]	
R1,R2	RPP	50,0	

Tab. 10.4: Transistordimensionierung Charge Pump 2

Transistor	Typ	Weite [μm]	Länge [μm]
M1,M3,M7,M8,M11, M12,M17,M18	NEDIG	10,0	20,0
M2,M4	PEDIG	5,0	5,0
M9,M10,M13,M14, M15,M16	PEDIG	30,0	20,0
M6	PEDIG	7,5	20,0
M5	NEDIG	1,0	40,0
TG1,TG2,TG3,TG4	NEDIG/PEDIG	0,48	0,36
Kondensator		Kapazität [pF]	
C1,C2	CADIG	10,0	

Tab. 10.5: Transistordimensionierung Charge Pump 3

Transistor	Typ	Weite [μm]	Länge [μm]
M1,M3,M7,M8,M11, M12	NEDIG	5,0	5,0
M2,M4	PEDIG	5,0	5,0
M5	NEDIG	1,0	20,0
M6	PEDIG	2,5	5,0
M9,M10,M13,M14, M21,M22	PEDIG	10,0	5,03
M15,M17	PEDIG	1,2	0,36
M16,M18	NEDIG	0,48	0,36
M19	NEDIG	3,76	5,0
M20	NEDIG	2,0	2,0
Kondensator		Kapazität [pF]	
C1	CADIG	15,0	
Widerstände		Impedanz [kΩ]	
R1	RPP	50,0	

Tab. 10.6: Transistordimensionierung Charge Pump 4

Transistor	Typ	Weite [μm]	Länge [μm]
M1	NEDIG	5,0	5,0
M8	NEDIG	10,0	5,0
M2,M4,M6,M9	PEDIG	8,0	1,5
M3,M10	NEDIG	2,0	1,5
M5,M7	NNDIG	2,4	2,6
M _{PG}	PEDIG	3000,0	0,36
Kondensator		Kapazität [pF]	
C	CADIG	100,0	
C _K	CADIG	50,0	
Widerstände		Impedanz [kΩ]	
R1,R2	RPP	4,125	
R _{ESR}	RPP	0,250	

Tab. 10.7: Transistordimensionierung Low-Dropout Spannungsregler

Transistor	Typ	Weite [μm]	Länge [μm]
M1	PEDIG	1,2	0,36
M2	NEDIG	0,48	0,36

Tab. 10.8: Transistordimensionierung CMOS-Inverter

Transistor	Typ	Weite [μm]	Länge [μm]
M1	PEDIG	5,0	0,36
M2	NEDIG	20,0	0,36
M3	NEDIG	2,0	0,36
M5	PEDIG	1,2	0,36
M6	NEDIG	0,48	0,36
M4	PEDIG	10,0	0,36
M7	NEDIG	4,0	0,36
M8	PEDIG	0,5	1,0
M9	NEDIG	0,5	2,5
M10	PEDIG	2,5	0,36
M11	NEDIG	1,0	0,36

Tab. 10.9: Transistordimensionierung Current-Starved Inverter

Transistor	Typ	Weite [μm]	Länge [μm]
M1,M5	PEDIG	15,0	0,36
M2,M6	NEDIG	6,0	0,36
M3,M4	NEDIG	3,0	0,36

Tab. 10.10: Transistordimensionierung differentieller Inverter mit NMOS-Kreuzkopplung

Transistor	Typ	Weite [μm]	Länge [μm]
M1,M2,M5,M7, M8,M11,M12,M14	PEDIG	0,48	0,36
M3,M6,M9,M13,M15	NEDIG	0,48	0,36
M4	NEDIG	2,0	1,0
M10	PEDIG	4,0	1,0

Tab. 10.11: Transistordimensionierung Maneatis-Inverter

10.2 Verilog-A Modelle

```
`include "constants.vams"
`include "disciplines.vams"

module d_flipflop_high_reset(d,clk,reset,q,vdd,gnd);

parameter real tdelay=50p;
parameter real trise=200p;
parameter real tfall=200p;
input d,clk,reset,vdd;
inout q,gnd;
electrical d,clk,reset,q,vdd,gnd;

real vd,vclk,vreset,vq,vpwr,value;

    analog
    begin

//Voltage variables
        vd = V(d,gnd);
        vclk = V(clk,gnd);
        vreset = V(reset,gnd);
        vq = V(q,gnd);
        vpwr = V(vdd,gnd);

//cross function is called when argument has a rising edge
        @(cross(vclk - vpwr/2,+1))
//if function to set output current to dc value
        if (vreset < vpwr/2)
            begin
                value = vd;
            end
//cross function is called when argument has a rising edge
        @(cross(vreset - vpwr/2,+1)) value=0;

//transition-function for smoothing the output voltage
        V(q,gnd) <+ transition(value,tdelay,trise,tfall);

    end
endmodule
```

Abb. 10.1: Verilog-A Modell D-FlipFlop high reset

```

`include "constants.vams"
`include "disciplines.vams"

module delay_line(vcontrol,DLI,vsupply,gnd,DL0,grad30,grad60,grad90,grad120,grad150,grad180,grad210,grad240,grad270,grad300,grad330);

parameter real vmax=2.5;
parameter real vmin=1.5;
parameter real tmax=60n;
parameter real tmin=20n;
parameter real trise=200p;
parameter real tfall=200p;
parameter real tdelaymin=5n;
input vcontrol,DLI,vsupply;
inout gnd;
output DL0,grad30,grad60,grad90,grad120,grad150,grad180,grad210,grad240,grad270,grad300,grad330;
electrical vcontrol,DLI,vsupply,gnd,DL0,grad30,grad60,grad90,grad120,grad150,grad180,grad210,grad240,grad270,grad300,grad330;

real a,b,tdelay_calc,tdelay,tdelay30,tdelay60,tdelay90,tdelay120,tdelay150,tdelay180,tdelay210,tdelay240,tdelay270,tdelay300,tdelay330,VDLI,Vvsupply,Vvcontrol,value;

analog
begin

//Voltage variables
VDLI = V(DLI,gnd);
Vvsupply = V(vsupply,gnd);
Vvcontrol = V(vcontrol,gnd);

//Calculation
a = (tmax-tmin)/(vmax-vmin);
b = tmax+a*vmin;
tdelay_calc = -a*Vvcontrol+b;
if (tdelay_calc >= tdelaymin)
begin
end
tdelay=tdelay_calc;
else
begin
tdelay=tdelaymin;
end

tdelay30=tdelay*1/12;
tdelay60=tdelay*1/6;
tdelay90=tdelay*1/4;
tdelay120=tdelay*1/3;
tdelay150=tdelay*5/12;
tdelay180=tdelay*1/2;
tdelay210=tdelay*7/12;
tdelay240=tdelay*2/3;
tdelay270=tdelay*3/4;
tdelay300=tdelay*5/6;
tdelay330=tdelay*11/12;

//Auswertung
@(cross(VDLI - Vvsupply/2,+1)) value=Vvsupply;
@(cross(VDLI - Vvsupply/2,-1)) value=0;

V(DL0,gnd) <+ transition(value,tdelay,trise,tfall);
V(grad30,gnd) <+ transition(value,tdelay30,trise,tfall);
V(grad60,gnd) <+ transition(value,tdelay60,trise,tfall);
V(grad90,gnd) <+ transition(value,tdelay90,trise,tfall);
V(grad120,gnd) <+ transition(value,tdelay120,trise,tfall);
V(grad150,gnd) <+ transition(value,tdelay150,trise,tfall);
V(grad180,gnd) <+ transition(value,tdelay180,trise,tfall);
V(grad210,gnd) <+ transition(value,tdelay210,trise,tfall);
V(grad240,gnd) <+ transition(value,tdelay240,trise,tfall);
V(grad270,gnd) <+ transition(value,tdelay270,trise,tfall);
V(grad300,gnd) <+ transition(value,tdelay300,trise,tfall);
V(grad330,gnd) <+ transition(value,tdelay330,trise,tfall);

end
endmodule

```

Abb. 10.2: Verilog-A Modell Delay-Line

```

`include "constants.vams"
`include "disciplines.vams"

module and_gatter (in1,in2,out,vdd,gnd);

    //Definitions (input,output,intern variables)

    parameter real tdelay=50p;
    parameter real trise=200p;
    parameter real tfall=200p;
    input in1,in2,vdd;
    output out;
    inout gnd;
    electrical in1,in2,out,vdd,gnd;

    real vin1,vin2,vpwr,state;

    analog begin

        vin1 = V(in1,gnd);
        vin2 = V(in2,gnd);
        vpwr = V(vdd,gnd);

        if(vin1 > vpwr/2 && vin2 > vpwr/2)
            state = vpwr;
        else
            state = 0;

        V(out,gnd) <+ transition(state,tdelay,trise,tfall);
    end
endmodule

```

Abb. 10.3: Verilog-A Modell UND-Gatter

```

`include "constants.vams"
`include "disciplines.vams"

//Module ORGATE

module OR_Gatter(in1,in2,out,vdd,gnd);

    //Definitons (input,output,intern variables)

    parameter real t_delay=50p;
    parameter real trise=200p;
    parameter real tfall=200p;
    input in1,in2,vdd;
    output out;
    inout gnd;
    electrical in1,in2,out,vdd,gnd;

    real vin1,vin2,vpwr,state;

    integer an1,an2;

    analog
    begin

        //Voltage definitions

        vin1 = V(in1,gnd);
        vin2 = V(in2,gnd);
        vpwr = V(vdd,gnd);

        if(vin1>vpwr/2 || vin2>vpwr/2)
            state = vpwr;
        else
            state = 0;

        //transition-function for smoothing the voltage output of the andgate

        V(out,gnd) <+ transition(state,t_delay,trise,tfall);
    end
endmodule

```

Abb. 10.4: Verilog-A Modell ODER-Gatter

```

`include "constants.vams"
`include "disciplines.vams"

//Module inverter

module inverter(in1,out,vdd,gnd);

//Definitons (input,output,intern variables)

    parameter real vdc=0;
    parameter real t_delay=0;
    parameter real trise=0;
    parameter real tfall=0;
    input in1,vdd;
    output out;
    inout gnd;
    electrical in1,out,vdd,gnd;

    real vin1,vpwr,state;

    integer an1;

    analog
    begin

//Voltage definitions

        vin1 = V(in1,gnd);
        vpwr = V(vdd,gnd);

//cross-function for detecting zero crossing of input vin1

        @(cross(vin1-vpwr/2,0))
        if(vin1>vpwr/2)
            an1 = 1;
        else
            an1 = 0;

//request inverter input, if an1 = 1 output = 0 else output = vdc

        state = an1 ? 0 : vdc;

//transition-function for smoothing the voltage output of the andgate

        V(out,gnd) <+ transition(state,t_delay,trise,tfall);

    end
endmodule

```

Abb. 10.5: Verilog-A Modell Inverter

Eidesstattliche Erklärung

Hiermit versichere ich an Eides statt, dass ich die vorliegende Arbeit selbstständig und ohne die Benutzung anderer als der angegebenen Hilfsmittel angefertigt habe. Alle Stellen, die wörtlich oder sinngemäß aus veröffentlichten und nicht veröffentlichten Schriften entnommen wurden, sind als solche kenntlich gemacht. Die Arbeit ist in gleich oder ähnlicher Form oder auszugsweise im Rahmen einer anderen Prüfung nicht vorgelegt worden.

Ort, Datum

Unterschrift