

Masterthesis

**Entwicklung eines Delay-Locked Loop basierten Time-to-Digital Converters mit Sub-Gate-Delay Auflösung für eine Time-of-Flight Anwendung in 350 nm CMOS Technologie**

Matthias Krause

Juni 2018

Zur Erlangung des akademischen Grades

Master of Engineering

Gutachter:

Prof. Dr.-Ing. Michael Athanassios Karagounis

Dr. Wolfram Budde

Fachhochschule Dortmund

Interessengemeinschaft für Mikroelektronik und Eingebettete Systeme

Fachbereich: Informations- und Elektrotechnik

In Kooperation mit Elmos Semiconductor AG

## Kurzfassung

In dieser Thesis wird ein Time-to-Digital Converter mit einer Sub-Gate-Delay Auflösung, also einer höheren Auflösung als die Durchlaufzeit eines in dieser Prozesstechnik realisierten Inverters, mithilfe verschiedener Ansätze, wie dem Vernier TDC oder dem Local Passive Interpolation TDC, untersucht. Hierbei wird eine Delay-Locked Loop genutzt, um die Durchlaufzeit der jeweiligen Inverterkette zu regeln. Der Vorteil dieses Ansatzes ist, dass die Durchlaufzeit auch bei PVT-Variationen, also Variation der Prozesscorner, Versorgungsspannung und Temperatur, auf die Referenzperiodendauer eingestellt wird. Somit sind lokale Prozessabweichungen die vorherrschende Quelle für Ungenauigkeiten in der Auflösung des TDC. Die Auflösung kann mithilfe der differentialen und integralen Nichtlinearität beschrieben und ausgewertet werden.

Es hat sich gezeigt, dass der im Vernier TDC genutzte Current Starved Inverter sehr anfällig für lokale Prozessvariationen ist und aufgrund des Einsatzes zweier Slave-Delay-Lines eine erhöhte Standardmessabweichung entsteht. Aufgrund des Einsatzes einer zusätzlichen Delay-Locked Loop für die Regelung der zweiten Verzögerungskette entsteht ein erhöhter Platz- und Leistungsbedarf.

Der Local Passive Interpolation TDC hat unter Einfluss von lokalen Prozessvariationen eine sehr geringe Standardmessabweichung, allerdings führen hier unterschiedliche Treiberstärken in den ersten Elementen der Slave-Delay-Line zu einer Falscheinstellung der Auflösung. Infolgedessen wird ein neuer Ansatz der Local Passive Interpolation untersucht, bei dem die Messung des Zeitintervalls innerhalb der Master-Delay-Line stattfindet. Dieser Ansatz hat die besten Ergebnisse bezüglich der differentiellen und integralen Nichtlinearität des Systems gezeigt. Des Weiteren wird der Einfluss des Layouts auf die Versorgungsspannung der Verzögerungskette, der Einfluss von Up- und Down-Pulsen während der Messung sowie der Einfluss von der Verschaltung und dem Routing des Messsignals untersucht.

Das Ergebnis ist ein TDC mit einer Auflösung von 16 ps und einer Standardmessabweichung von 35,2 ps. Im Worst Case liegt eine Standardmessabweichung von 52,1 ps vor. Dies bedeutet für die Time-of-Flight Kamera eine Genauigkeit von  $\pm 2,46 \text{ cm}$ . Je nach Anzahl der Messdurchläufe wird die Standardabweichung eines einzelnen Durchlaufs um den Faktor  $\sqrt{m}$ , wobei  $m$  die Anzahl der Durchläufe angibt, verringert und die Genauigkeit der Kamera nimmt zu.

## Abstract

In this thesis a time-to-digital converter with sub-gate-delay resolution like the Vernier TDC or the local passive interpolation TDC has been studied. Sub-gate-delay resolution imply that the resolution is higher than the minimum delay of an inverter in the given process technology. To control the delay of an inverter chain a delay-locked loop will be implemented. The advantage of this approach is that the delay is adjusted to the reference period even with PVT variations, like variation of the process corner, supply voltage and temperature. Thus, local process variations are the predominant source of inaccuracies in the resolution of the TDC. The resolution can be described and evaluated using the differential and integral non-linearity.

It has been shown that the Current Starved Inverter used in the Vernier TDC is very susceptible to local process variations and, due to the use of two slave delay lines, an increased standard deviation occurs. Due to the use of an additional delay-locked loop for the regulation of the second delay chain this implementation approach results in an increased space and power requirement.

The Local Passive Interpolation TDC has a very low standard measurement deviation under the influence of local process variations, but different driver strengths in the first elements of the slave delay line lead to an incorrect setting of the resolution. As a result, a new approach of Local Passive Interpolation is being investigated, where the measurement of the time interval takes place within the master delay line. This approach has shown the best results in terms of differential and integral nonlinearity of the system. Furthermore, the influence of the layout on the supply voltage of the delay chain, the influence of up and down pulses during the measurement as well as the influence of the circuitry and the routing of the measurement signal are examined.

The result is a TDC with a resolution of 16 ps and a standard measurement deviation of 35.2 ps. In the worst case, there is a standard measurement deviation of 52.1 ps. This means an accuracy of  $\pm 2,46 \text{ cm}$  for the time-of-flight camera. Depending on the number of measurement runs, the standard deviation of a single measurement is reduced by the factor  $\sqrt{m}$ , where  $m$  is the number of measurements. As a result, the accuracy of the camera increases.

# Inhaltsverzeichnis

1	Einleitung.....	1
1.1	Anwendung.....	1
1.1.1	Time-of-Flight Kamera - Funktionsprinzip.....	1
1.2	Motivation und Zielformulierung.....	4
2	Delay-Locked Loop.....	6
2.1	Funktionsprinzip der DLL.....	7
2.2	Phasendetektor.....	9
2.3	Charge Pump.....	10
2.3.1	Vorstellung einer CMOS Charge-Pump.....	11
2.4	Regelschleifenfilter.....	12
2.5	Low Drop-Out Spannungsregler.....	13
2.5.1	Dimensionierung des LDO.....	15
2.6	Delay-Line.....	16
2.7	False-Lock Detektor.....	18
2.8	Übertragungsfunktion der DLL.....	22
3	Time-to-Digital Converter – Theoretische Grundlagen.....	25
3.1	Time-to-Digital Converter – Ein Überblick.....	25
3.1.1	Lokale Prozess-Variationen in TDCs und die differentielle und integrale Nichtlinearität.....	26
3.1.2	Buffer-basierter TDC.....	28
3.1.3	Inverter-basierter TDC.....	30
3.2	Time-to-Digital Converter mit Sub-Gate-Delay Auflösung.....	31
3.2.1	Vernier TDC.....	32
3.2.2	Local Passive Interpolation TDC.....	35
3.3.3	Pulse-Shrinking TDC.....	38
4	Entwicklung und Analyse eines Vernier TDC.....	41
4.1	Untersuchung geeigneter Komparatoren.....	41
4.1.1	D-Flipflop aus der Bibliothek LU35C.....	42
4.1.2	Latch mit NAND-Gattern.....	43

4.1.3	Differentieller Komparator.....	43
4.1.4	Differentieller Komparator mit Flankenerkennung.....	45
4.2	Dimensionierung und Auswertung des Current Starved Inverters.....	47
4.3	Analyse des Vernier TDC.....	51
5	Entwicklung und Analyse eines Local Passive Interpolation TDC mit Slave-Delay-Line.....	55
5.1	Dimensionierung und Auswertung des differentiellen Komparators.....	55
5.2	Dimensionierung und Auswertung des differentiellen Inverters mit NMOS-Kreuzkopplung.....	57
5.3	Analyse des LPI-TDC mit Slave-Delay-Line.....	60
6	Entwicklung und Analyse eines Local Passive Interpolation TDC ohne Slave-Delay-Line.....	63
6.1	Dimensionierung und Auswertung des differentiellen D-Flipflops.....	65
6.2	Untersuchung möglicher differentieller Inverterstrukturen.....	66
6.2.1	Maneatis Delay Zelle.....	67
6.2.2	Differentieller Inverter mit NMOS-Kreuzkopplung.....	70
6.3	Analyse des LPI-TDC ohne Slave-Delay-Line.....	73
6.3.1	DNL und INL mit Einsatz der Maneatis Delay Zelle.....	73
6.3.2	DNL und INL mit Einsatz des differentiellen Inverters mit NMOS-Kreuzkopplung.....	74
6.3.3	Einfluss des Layouts auf die Versorgungsspannung der Verzögerungskette.....	75
6.3.4	Einfluss von Up/Down-Pulsen auf die Auflösung des TDC.....	77
6.3.5	Ungenauigkeiten der Generierung des Messsignals und Ansteuern der Dateneingänge aller Auswerteflipflops.....	78
6.3.6	Einfluss mehrerer Messdurchläufe auf die Standardabweichung der integralen Nichtlinearität.....	80
7	Schlussbetrachtung.....	81
7.1	Auswahl eines TDC.....	81
7.2	Fazit.....	83
8	Literaturverzeichnis.....	85
9	Anlagen.....	85
9.1	Verilog-A Modelle.....	85
9.2	Beschreibung des TCL-Skripts.....	92
9.3	Gefalteter Transkonduktanzverstärker.....	95

## Abbildungsverzeichnis

Abbildung 1.1: a) Optische Distanzmessung nach dem Time-of-Flight Prinzip b) Die durch den reflektierten Puls generierte Ladung teilt sich in Ladungspakete Q1 bis Q3.....	2
Abbildung 1.2: Time-to-Digital Converter basierend auf einer Delay-Locked Loop.....	4
Abbildung 2.1: Klassifizierung der Hauptprozessvariationen in CMOS Delay-Lines.....	6
Abbildung 2.2: Überblick einer Delay-Locked Loop.....	7
Abbildung 2.3: Phasendetektor mit externen Reset-, ForceUp- und Enable-Eingängen.....	9
Abbildung 2.4: Vereinfachte CMOS-Charge Pump.....	10
Abbildung 2.5: Darstellung einer Stromwaage-CP.....	11
Abbildung 2.6: Darstellung eines Low Drop-Out Spannungsreglers.....	13
Abbildung 2.7: Vollständiger Aufbau des Low Drop-Out Spannungsreglers.....	15
Abbildung 2.8: Inverterstrukturen mit a) variabler Versorgungsspannung, b) variabler RDS-Widerstand, c) variabler kapazitiver Last und d) in differentieller Struktur.....	17
Abbildung 2.9: Auftreten von False- und Harmonic-Lock in der DLL.....	18
Abbildung 2.10: Reset-Schaltung des False-Lock Detektors.....	19
Abbildung 2.11: Force-Up Schaltung des False-Lock Detektors.....	20
Abbildung 2.12: Funktionsschema der Force-Up Schaltung für zu hohe Verzögerungszeiten .....	21
Abbildung 2.13: Blockdiagramm Delay-Locked Loop.....	22
Abbildung 3.1: Übertragungsfunktion eines idealen TDC.....	25
Abbildung 3.2: Übertragungsfunktion eines realen TDC mit Erläuterungen zu INL und DNL.....	27
Abbildung 3.3: Implementierung eines Buffer-basierten TDC.....	28
Abbildung 3.4: Funktionsprinzip des Buffer-basierten TDC.....	29
Abbildung 3.5: Implementierung eines Inverter-basierten TDC.....	30
Abbildung 3.6: Funktionsschema des Vernier TDCs.....	32
Abbildung 3.7: Vereinfachte Darstellung des Vernier TDC.....	34
Abbildung 3.8: Funktionsprinzip des Local Passive Interpolation TDC.....	35
Abbildung 3.9: Interpolierte Spannungskurven mit drei Interpolationswiderständen.....	36
Abbildung 3.10: Fully differential sense amplifier based comparator for LPI-TDC.....	37
Abbildung 3.11: Implementierung eines Pulse-Shrinking TDC.....	38
Abbildung 3.12: Beispiel der Pulsverringerng einer Stufe des PS-TDC.....	40
Abbildung 4.1: Latch mit NAND-Gattern.....	43
Abbildung 4.2: Differentieller Komparator.....	44
Abbildung 4.3: Auflösung des Vernier TDC mit dem differentiellen Komparator bei einer Messung von 25 ns und einer Auflösung von 101 ps.....	45
Abbildung 4.4: Flankenerkennung für steigende Signale.....	46

Abbildung 4.5: Differentieller Komparator mit Flankenerkennung.....	46
Abbildung 4.6: Aufbau des Current Starved Inverter mit Erzeugung der BIAS-Spannungen.	48
Abbildung 4.7: Delay-Verlauf des Current Starved Inverters mit Variation des kontinuierlichen Strompfads von M8 und M9.....	49
Abbildung 4.8: Monte-Carlo Simulation des Current Starved Inverter mit variabler Steuerungspannung.....	50
Abbildung 4.9: Auflösung und Verzögerungszeiten der Vernier DL mit dem Current Starved Inverter und dem differentiellen Komparator mit Flankendetektor.....	52
Abbildung 4.10: Auflösung und Verzögerung der Vernier DL mit dem Current Starved Inverter und dem differentiellen Komparator mit Flankendetektor und Monte-Carlo Simulation.....	53
Abbildung 4.11: DNL und INL des Vernier TDC bei 30° C, Prozesscorner C1 und einer eingestellten Auflösung von 104,12 ps.....	54
Abbildung 5.1: Differentieller Komparator für LPI TDC.....	56
Abbildung 5.2: Differentieller Inverter mit NMOS-Kreuzkopplung und Interpolationswiderständen.....	57
Abbildung 5.3: Trade-Off zwischen Linearität der interpolierten Spannungskurven des LPI TDC und dem Strombedarf.....	58
Abbildung 5.4: Einfluss der Anzahl an Interpolationswiderständen auf a) DNL und b) Energieverbrauch über DNL.....	58
Abbildung 5.5: Monte-Carlo Simulation des differentiellen Inverters der Corner C1 bis C4...	59
Abbildung 5.6: Auflösung des LPI TDCs bei einer Testmessung von 25 ns.....	60
Abbildung 5.7: Auflösung des LPI TDCs mit Monte-Carlo Simulation.....	61
Abbildung 5.8: DNL und INL des LPI TDC.....	62
Abbildung 6.1: Aufbau des LPI-TDC ohne Slave-Delay-Line.....	63
Abbildung 6.2: Differentielles D-Flipflop optimiert für Timing-Anwendungen.....	65
Abbildung 6.3: Maneatis Delay Zelle mit BIAS-Schaltung und Single-Ended Conversion.....	67
Abbildung 6.4: Verzögerungskennlinie der Maneatis Delay Zelle.....	68
Abbildung 6.5: Konkreter Aufbau der Master-Delay-Line mit der Maneatis Delay Zelle und Angabe des Mittelwerts sowie der Standardabweichung der Verzögerung bei Typical 30°C.	69
Abbildung 6.6: Aufbau des differentiellen Inverters mit NMOS-Kreuzkopplung.....	70
Abbildung 6.7: Verzögerungskennlinie des differentiellen Inverters mit NMOS-Kreuzkopplung .....	71
Abbildung 6.8: Pegelwandler für den Einsatz in der Delay-Line.....	71
Abbildung 6.9: Konkreter Aufbau der Master-Delay-Line mit dem differentiellen Inverter mit NMOS-Kreuzkopplung und Angabe des Mittelwerts sowie der Standardabweichung der Verzögerung bei Typical 30°C.....	72
Abbildung 6.10: DNL und INL des LPI-TDC ohne Slave-DL mit der Maneatis Delay Zelle bei Typical 30°C und einer Auflösung von 21,06 ps.....	73

Abbildung 6.11: DNL und INL des LPI-TDC ohne Slave-DL mit dem differentiellen Inverter mit NMOS-Kreuzkopplung bei Typical 30°C und einer Auflösung von 15,73 ps.....	74
Abbildung 6.12: Einfluss des Layouts beim Versorgen der differentiellen Inverter und Einbau eines Stützkondensators.....	75
Abbildung 6.13: Darstellung des Routings beim Versorgen der Verzögerungskette mit acht Einspeisepunkten.....	76
Abbildung 6.14: INL des LPI-TDC mit der Maneatis Delay Zelle und acht Einspeisungen bei Typical 30°C mit einer Auflösung von 21,11 ps.....	77
Abbildung 6.15: INL des LPI-TDC mit dem differentiellen Inverter mit NMOS-Kreuzkopplung und acht Einspeisungen bei Typical 30°C mit einer Auflösung von 16,01 ps.....	77
Abbildung 6.16: Verlauf vom Start-, Stopp- und Tmess-Signal.....	78
Abbildung 6.17: CMOS XOR mit 12 Transistoren.....	79
Abbildung 6.18: Ansteuerkette der D-Flipflops mit XOR-Glied und invertierender Verstärkerstufen.....	79
Abbildung 9.1: Verilog-A Modell eines AND Gatters.....	85
Abbildung 9.2: Verilog-A Modell eines OR Gatters.....	86
Abbildung 9.3: Verilog-A Modell der Verzögerungskette inklusive Abgriffe bei 90°, 120°, 180° und 270°.....	87
Abbildung 9.4: Verilog-A Modell eines Inverters.....	88
Abbildung 9.5: Verilog-A Modell eines D-Flipflops mit High-Reset.....	89
Abbildung 9.6: Verilog-A Modell eines D-Flipflops mit Low-Reset.....	90
Abbildung 9.7: Verilog-A Modell eines einstellbaren Operationsverstärkers.....	91
Abbildung 9.8: Gefalteter Transkonduktanzverstärker.....	95



## Abkürzungsverzeichnis

ASIC	Anwendungsspezifische integrierte Schaltung
AU	Arbitrary Unit
BB-TDC	Buffer-basierte Time-to-Digital Converter
BIAS	Arbeitspunkteinstellende Größe
C	Prozess-Corner
CMOS	complementary metal-oxide-semiconductor
CP	Ladungspumpe, Charge Pump
CSI	Current Starved Inverter
DFF	D-Flipflop
DL	Delay-Line
DLL	Delay-Locked Loop
DNL	Differentielle Nichtlinearität
ESR	Äquivalente Serienwiderstand
FF	Prozess-Corner fast NMOS fast PMOS
FS	Prozess-Corner fast NMOS slow PMOS
FU	ForceUp
GND	Masse, Ground
IB-TDC	Inverter-basierte Time-to-Digital Converter
IF	Interpolationsfaktor
INL	Integrale Nichtlinearität
LDO	Low Drop-Out
LF	Regelschleifenfilter, Loop Filter
LPI	Local Passive Interpolation
LSB	Least Significant Bit
MOSFET	Metall-Oxid-Halbleiter-Feldeffekttransistor
NMOS	N-Kanal-Metall-Oxid-Halbleiter-Feldeffekttransistor
NNDIG	Natural N-Kanal-Metall-Oxid-Halbleiter-Feldeffekttransistor
OPV	Operationsverstärker
PD	Phasendetektor
PET	Positive-Edge-Triggered
PG	Pass-Gate
PMOS	P-Kanal-Metall-Oxid-Halbleiter-Feldeffekttransistor
PS-TDC	Pulse-Shrinking Time-to-Digital Converter
PVT	Prozess, Spannung und Temperatur
Rst	Reset
SF	Prozess-Corner slow NMOS fast PMOS
SS	Prozess-Corner slow NMOS slow PMOS
TDC	Time-to-Digital Converter
ToF	Time-of-Flight
V2CC	Voltage-to-Current Converter
VDD	Versorgungsspannung (3,3 V)

# 1 Einleitung

In dieser Thesis wird ein Time-to-Digital Converter (TDC) in einer anwendungsspezifischen integrierten Schaltung (ASIC) bei Elmos Semiconductor AG in Dortmund entwickelt. Die Anwendung dient dazu, kurze Zeitintervalle zu messen und in digitale Informationen umzuwandeln. Das wichtigste Gütekriterium eines TDC ist die Auflösung, mit welcher das Zeitintervall bestimmt wird. Um diese zu verbessern, werden verschiedene Maßnahmen herangezogen wie der Einsatz einer Delay-Locked Loop (DLL) und verschiedener Interpolationsmöglichkeiten.

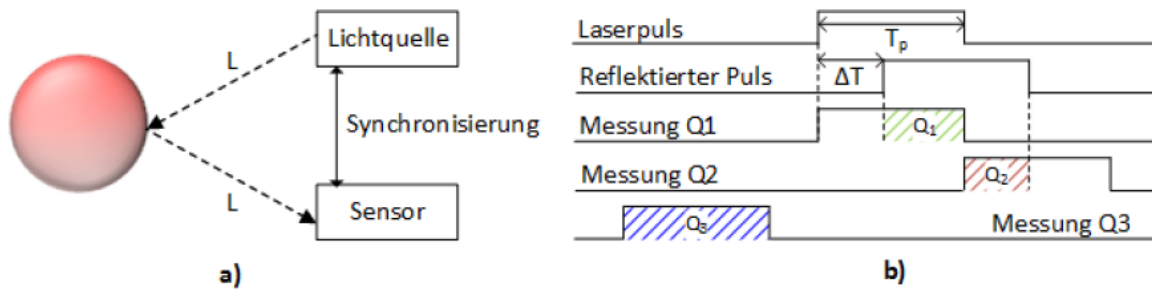
## 1.1 Anwendung

Die Elmos Semiconductor AG hat eine vollintegrierte 3D Kamera basierend auf dem Time-of-Flight (ToF) Prinzip für Anwendungen im Automobil entwickelt. Diese ermöglicht es, in schneller Abfolge Abstandsbilder aufzunehmen, um somit die Bewegung von Objekten zu detektieren und auszuwerten. Mithilfe der ToF-Kamera können Anwendungen wie die Gesteuererkennung, und somit Steuerung der Heckklappe des Fahrzeugs mittels Handbewegung, aber auch komplexere Systeme realisiert werden. Unter anderem kann der Innenraum des Fahrzeugs überwacht und somit im Falle eines Unfalls gezielt Sicherheitssysteme angesteuert werden, um die Insassen zu schützen. Eine weitere Anwendung ist im Bereich autonomes Fahren und Fahrassistenzsysteme, bei denen ToF-Kameras den Außenbereich des Automobils überwachen können. Diebstahlschutz mittels Überwachung auf Bewegung im Innenraum ist ein weiterer Nutzen dieser Technik im Automobilbereich.

Ziel dieser Thesis ist es, durch innovative Schaltungskonzepte die Distanzbestimmung zu verbessern und zugleich eine hohe Stabilität bezüglich PVT-Variationen, also Variationen der Prozesscorner, Versorgungsspannung und Temperatur, zu erreichen.

### 1.1.1 Time-of-Flight Kamera - Funktionsprinzip

Mithilfe der absoluten Lichtgeschwindigkeit, welche innerhalb des gleichen Mediums konstant ist, wird durch Verwendung einer Lichtquelle und eines Sensors in einer ToF-Kamera die Distanz bestimmt.



**Abbildung 1.1:** a) Optische Distanzmessung nach dem Time-of-Flight Prinzip b) Die durch den reflektierten Puls generierte Ladung teilt sich in Ladungspakete  $Q_1$  und  $Q_2$  auf.  $Q_3$  entspricht dem aus einer Umgebungslichtmessung entstandenen Ladungspaket.

Wie in Abbildung 1.1a zu sehen ist, wird Licht von einer Lichtquelle generiert, welches an einem Objekt mit dem Abstand  $L$  reflektiert und schließlich von einem Sensor in unmittelbarer Nähe von der Lichtquelle empfangen wird. Während der Laufzeit  $\Delta T$  des Lichtpulses hat der Lichtstrahl den Weg

$$D=2 \cdot L \quad (1.1)$$

zurückgelegt. Der Abstand  $L$  von Sensor bzw. Lichtquelle und dem Objekt kann durch den Ausdruck

$$L=1/2 \cdot c_0 \cdot \Delta T \quad (1.2)$$

berechnet werden.

Bei der 3D Kamera besteht der Sensor aus einer zweidimensionalen Struktur von lichtempfindlichen Pixelelementen, welche das empfangene Licht in elektrische Signale wandeln. Eine Steuereinheit synchronisiert dabei die Lichtquelle mit der Empfangseinheit und führt die Auslese der Pixelmatrix durch.

Bei dieser Messmethode wird gepulstes Licht einer festen Dauer  $T_p$  verwendet. Der reflektierte Lichtpuls fällt auf den Sensor und erzeugt dort elektrische Ladungen in den Pixeln der Matrix. Die Abstandsermittlung erfolgt mit zwei aufeinanderfolgenden Messungen, bei denen die generierten Ladungen über den Zeitraum  $T_p$  akkumuliert und schließlich ausgelesen werden. Wie in Abbildung 1.1b dargestellt, findet die Messung der Ladung  $Q_1$  synchron zum Lichtpuls statt, während die zweite Ladung  $Q_2$  direkt im Anschluss aufgenommen wird. Hier-

für werden elektronische Shutter auf Pixelebene durch Steuersignale betätigt. Je größer die Laufzeit  $\Delta T$  im Verhältnis zur Lichtpulsdauer  $T_p$  des reflektierten Lichtpulses ist, desto größer ist der Anteil der Gesamtladung, welcher während des zweiten Messintervalls ausgelesen wird, sodass der Ausdruck

$$\frac{\Delta T}{T_p} = \frac{Q_2}{Q_1 + Q_2} \quad (1.3)$$

gilt. Mithilfe der Laufzeit  $\Delta T$  kann der Abstand  $L$  zum Messobjekt durch den Ausdruck

$$L = \frac{C_0}{2} \cdot \Delta T = \frac{C_0}{2} \cdot T_p \cdot \frac{Q_2}{Q_1 + Q_2} \quad (1.4)$$

ermittelt werden.

Während der Messungen werden auch durch das Umgebungslicht Ladungen in den Pixeln erzeugt, welche die Messwerte verfälschen. Zur Kompensation dieses Effektes wird eine dritte Messung gleicher Dauer  $T_p$  ohne aktive Lichtquelle durchgeführt. Unter der Annahme, dass die Intensität des Umgebungslichtes nur langsam variiert, kann die bei der dritten Messung ausgelesene Ladung  $Q_3$  von der Ladung  $Q_1$  und  $Q_2$  abgezogen werden. Dadurch ergibt sich für den Abstand  $L$  zum Messobjekt folgender Ausdruck.

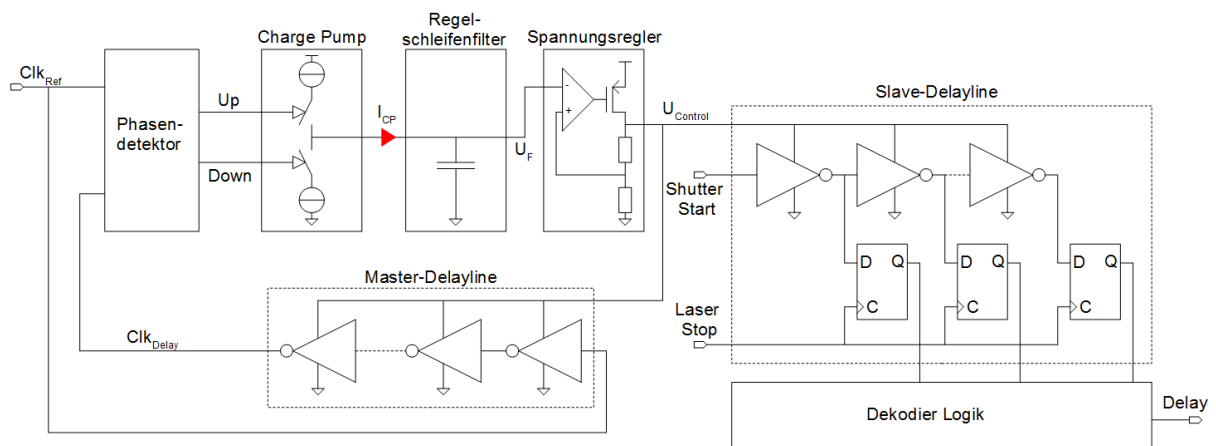
$$L = \frac{C_0}{2} \cdot T_p \cdot \frac{Q_2 - Q_3}{Q_1 + Q_2 - 2 \cdot Q_3} \quad (1.5)$$

Außer der eigentlichen Pixelmatrix besitzt der Sensor meist noch weitere Elektronik, welche der Auslese und Digitalisierung der Messwerte und der Synchronisation zwischen dem Send- und Empfangsteil dient. Eine zentrale Kontrolllogik definiert den genauen Ablauf der Messung, indem Pulse für die Ansteuerung des Lasers über einen Treiber an die externe Lichtquelle geleitet werden. Zeitgleich wird das Pulsmuster für die elektronischen Shutter zur Durchführung der Ladungsmessungen  $Q_1$  bis  $Q_3$  und dem Reset zur Entfernung der Ladung des vorherigen Messzyklus generiert. Um die Sensitivität der 3D Kamera zu erhöhen, werden meist mehrere Messzyklen hintereinander durchgeführt und die generierte Ladungsmenge akkumuliert, bevor die Auslese durchgeführt wird.

## 1.2 Motivation und Zielformulierung

Eine Einschränkung des in Kapitel 1.1.1 erläuterten Funktionsprinzips besteht in der zeitvarianten und temperaturabhängigen Einschaltverzögerung der Lichtquelle. Dadurch geht die Synchronisierung zwischen Lichtquelle und Sensor verloren, wodurch die elektronischen Shutter zu früh oder zu spät betätigt werden, was sich als Messfehler in den Distanzmessungen bemerkbar macht. Um diesem Effekt entgegenzuwirken werden im Rahmen dieser Thesis Schaltungsbestandteile zur kontinuierlichen Detektion der Einschaltverzögerung des Lasers untersucht und implementiert. Mithilfe dieser Daten kann eine Rekalibrierung der Verzögerungselemente zur Resynchronisation in der ToF-Kamera erfolgen.

Für die Erfassung des Einschaltzeitpunktes werden zusätzliche externe Komponenten benötigt. Die detektierte Einschaltverzögerung des Lasers wird anschließend über einen Time-to-Digital Converter mit den Shutter-Signalen verglichen. Als TDC kann die in Abbildung 1.2 vereinfacht dargestellte Schaltungsarchitektur verwendet werden.



**Abbildung 1.2:** Time-to-Digital Converter basierend auf einer Delay-Locked Loop.

Durch die Verwendung einer DLL wird eine Steuerspannung, welche die Verzögerungszeit der Inverter innerhalb der Master- sowie Slave-Delay-Line variiert, so eingeregelt, dass die Verzögerungszeit der Master-Delay-Line einer Periodendauer  $T_{CLK}$  des Referenzsignals entspricht. Die Taktsignale  $Clk_{Ref}$  und das um eine Periodendauer verzögerte Ausgangssignal der Master-Delay-Line  $Clk_{Delay}$  werden auf Phasengleichheit geregelt. Unter der Annahme, dass die Inverter der Kette homogen sind, bestimmt sich die Verzögerungszeit eines einzelnen Inverters der Kette aus dem Quotienten der Taktperiode  $T_{CLK}$  und der Anzahl  $N$  an Inverters in der Master-Delay-Line.

$$T_{Inverter} = \frac{T_{CLK}}{N} \quad (1.6)$$

Um die Phasenverschiebung zwischen den Shutter Signalen und der Lichtquelle zu quantifizieren, wird das Shutter Signal `Shutter_Start` an den Eingang der Slave-Delay-Line angelegt. Da die Slave-Delay-Line mit der gleichen Steuerspannung  $U_{Control}$  wie die Master-Delay-Line geregelt wird, kann angenommen werden, dass die Verzögerungszeit durch die einzelnen Gatter ebenfalls der Verzögerungszeit  $T_{Inverter}$  entspricht. Der Zustand der Slave-Delay-Line wird durch das Signal `Laser_Stop`, das die Information über die Einschaltverzögerung der Laserdiode trägt, abgespeichert. Durch die Analyse des abgespeicherten Bitmusters wird die Anzahl  $N$  der Gatter ermittelt, die vom Shutter Signal `Shutter_Start` bis zum Eintreffen des Lasersignals `Laser_Stop` durchlaufen worden sind. Die Verzögerungszeit  $T_{delay}$  zwischen dem Shutter- und dem Laser-Signal wird dann mit

$$T_{Delay} = N \cdot T_{Inverter} \quad (1.7)$$

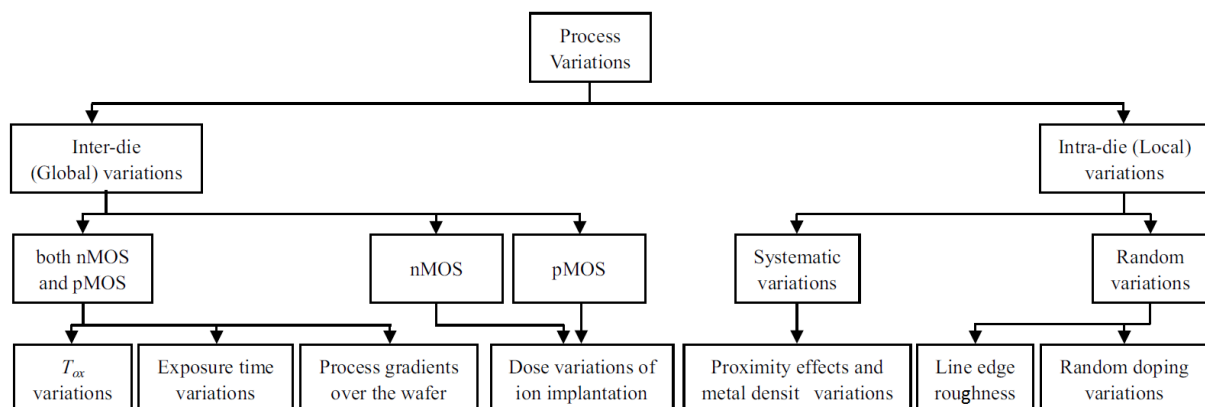
berechnet. Die Verzögerungszeit liegt als digitale Information vor und wird in der zentralen Kontrolleinheit für die Feinjustage der Verzögerungszeiten zwischen Laser- und Shuttersteuersignalen genutzt, um den oben beschriebenen systematischen Messfehler zu kompensieren.

Die Genauigkeit der zu messenden Verzögerungszeit zwischen dem Shutter- und dem Laser-Signal mit der in Abbildung 1.2 dargestellten Methode ist abhängig von der Durchlaufzeit eines einzelnen Inverters. Die höchstmögliche Auflösung dieses Verfahrens entspricht also der kleinstmöglichen Durchlaufzeit eines Inverters, welche wiederum von der eingesetzten Prozess-Technologie abhängt. Ziel dieser Thesis ist es, eine Genauigkeit kleiner der technisch kleinstmöglichen Verzögerungszeit eines Inverters zu erreichen, indem verschiedene Interpolationsmöglichkeiten untersucht werden. Ansätze hierfür sind der Vernier TDC, der Local Passive Interpolation TDC und der Pulse-Shrinking TDC. Wichtige Kennwerte bei der Auswertung des TDC sind die differenzielle Nichtlinearität (DNL) und die integrale Nichtlinearität (INL). Wobei DNL die Abweichung eines Auflösungsschrittes im Vergleich zu der idealen Auflösung und INL die Abweichung des Messergebnisses im Vergleich zu dem Messergebnis eines idealen TDC aufzeigt.

## 2 Delay-Locked Loop

Die Auflösung eines Time-to-Digital Converters ist abhängig von der Durchlaufzeit eines Inverters bzw. eines Buffers. Dementsprechend ist es nötig, dass die Inverterdurchlaufzeit einen bekannten konstanten Wert besitzt. Mithilfe einer DLL wird die Verzögerungszeit der Delay-Line (DL), bestehend aus einer großen Anzahl an Invertern, so geregelt, dass die Verzögerung der Periodendauer des Referenzsignals entspricht. Dadurch ist ebenso die Durchlaufzeit eines einzelnen Inverters bekannt und kann zur Bestimmung der Auflösung eines TDC verwendet werden. Der Vorteil bei dieser Vorgehensweise ist, dass die Variation der Signallaufzeit durch die Delay-Line, welche durch Prozess-, Spannungs- und Temperaturschwankungen (PVT-Variationen) verursacht werden, durch die Regelung der DLL kompensiert wird und somit stets der Periode des Referenzsignals entspricht.

Bei PVT-Variationen spricht man auch von globalen Variationen, welche innerhalb eines Wafers alle Bauteile gleichermaßen beeinflussen. Abbildung 2.1 gibt einen Überblick aller dominanten Prozessvariationen. Beispiele von globalen Variationen sind Unterschiede in der Dicke des Gate-Oxids und der Einwirkungszeiten im Herstellungsprozess, welche z.B. zu einer Abweichung der Weiten und Längen der Transistoren führen. Während diese Abweichungen beide Transistortypen betreffen, gibt es auch andere Faktoren, welche deutlich stärker auf die P-Kanal-Metall-Oxid-Halbleiter-Feldeffekttransistoren (PMOS) bzw. die N-Kanal-Metall-Oxid-Halbleiter-Feldeffekttransistoren (NMOS) einwirken. Ein Beispiel ist die Ungenauigkeit der Dotierung bei der Ionenimplantation, welche nur die Eigenschaften einer der beiden Transistortypen beeinflusst. Diese Effekte können in der Simulation durch die Prozesscorner slow pmos slow nmos (SS), slow pmos fast nmos (SF), fast pmos slow nmos (FS) und fast pmos fast nmos (FF) berücksichtigt werden.



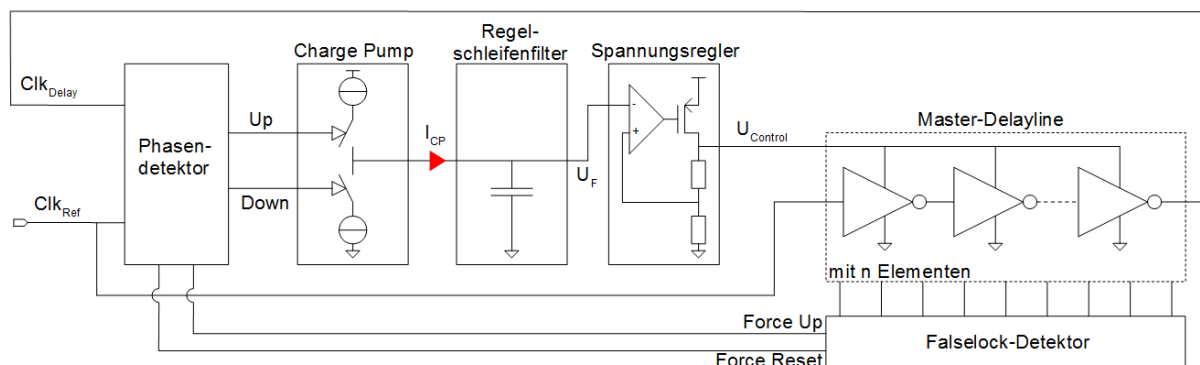
**Abbildung 2.1:** Klassifizierung der Hauptprozessvariationen in CMOS Delay-Lines [1].

Neben globalen Prozessvariationen entstehen bei der Herstellung auch lokale Prozessvariationen, welche leichte Unterschiede im Verhalten der einzelnen Inverter verursachen. Zwar entspricht das Delay der Inverterkette im eingeregelter Zustand der Referenzperiodendauer, allerdings treten Schwankungen in der Durchlaufzeit von einem zum anderen Inverter innerhalb der Kette auf. Die Verzögerung der Delay-Line entspricht dementsprechend dem Mittelwert der Durchlaufzeit aller Inverter multipliziert mit der Anzahl der Inverter. Wie in Abbildung 2.1 dargestellt, gehören zu den lokalen Variationen z.B. statistische Unterschiede in der Dostoffkonzentration und die Kantenrauigkeit sowie systematische Unterschiede aufgrund des Stromeinschnürungs- bzw. Stromverdrängungseffekts aufgrund eng benachbarter Leiter und Variationen der Metaldichte.

Eine DLL wird also eine Delay-Line, bestehend aus vielen Invertern, so regeln, das, trotz globaler Prozessvariationen sowie Temperatur- und Spannungsschwankungen, eine fest definierte Durchlaufzeit eingestellt wird. Allerdings bleibt die Variation der Durchlaufzeit der einzelnen Inverter aufgrund lokaler Prozessvariationen erhalten.

## 2.1 Funktionsprinzip der DLL

Eine DLL ist ein Regelkreis, der die Phasenlage des Ein- und Ausgangssignals vergleicht und dafür sorgt, dass im eingeschwungenen Zustand idealerweise keine Phasenverschiebung vorliegt. Die Phasengleichheit wird durch die Steuerung einer einstellbaren Verzögerungskette, auch Delay-Line genannt, erzielt. Im eingeschwungenen Zustand des Regelkreises entspricht die Verzögerungszeit der DL der Periodendauer des Referenztakts.



**Abbildung 2.2:** Überblick einer Delay-Locked Loop.



Das Referenzsignal  $\text{Clk}_{\text{Ref}}$  wird auf den Phasendetektor (PD) gegeben und mit dem Ausgangssignal der DLL, dem Signal  $\text{Clk}_{\text{Delay}}$ , auf Phasenlage verglichen. Ist das Referenzsignal dem Ausgangssignal voreilend, bedeutet dies, dass die Verzögerungszeit der Delay-Line zu groß ist. Demzufolge muss die DL schneller durchlaufen werden, um geringere Verzögerungszeiten zu erreichen. Der Phasendetektor erkennt die Phasenverschiebung beider Eingangssignale und setzt aufgrund des Voreilens des Referenzsignals den Up-Ausgang. Die Ladungspumpe, auch Charge Pump (CP) genannt, besteht im idealen Ersatzschaltbild aus zwei Stromquellen und zwei Schaltern, welche je nach Ansteuerung für einen Stromfluss in oder aus den Regelschleifenfilter sorgt und dementsprechend den Kondensator auf- bzw. entlädt. Beim Auftreten eines Up-Signals wird ein Stromfluss  $I_{\text{CP}}$  in den Filter eingestellt und die Filterspannung  $U_{\text{F}}$  steigt linear an. Die Filterspannung dient als Referenz für einen Spannungsregler und erzeugt eine last- und versorgungsspannungsunabhängige Spannung  $U_{\text{control}}$ . Die Ausgangsspannung des Spannungsreglers ist zugleich die Steuerspannung, mit der die Verzögerung der Delay-Line eingestellt wird. Der konkrete Einfluss der Steuerspannung auf die Verzögerung hängt dabei von den verwendeten Delay-Elementen ab. Möglich ist die Nutzung der Steuerspannung als Versorgungsspannung oder als Arbeitspunkteinstellende Spannung (BIAS-Spannung) für MOS-Transistoren. Eine hohe Spannung  $U_{\text{Control}}$  sorgt für ein schnelles Durchlaufen der Inverter der DL. Dies hat zur Folge, dass die Phasenverschiebung zwischen  $\text{Clk}_{\text{Ref}}$  und  $\text{Clk}_{\text{Delay}}$  kleiner wird.

Ist die Durchlaufzeit wiederum zu gering und somit das Referenzsignal dem Ausgangssignal der DLL nacheilend, wird der Phasendetektor den Down-Ausgang setzen und infolgedessen Ladungen vom Filterkondensator nach Masse abführen. Die Filterspannung  $U_{\text{F}}$ , und daraus resultierend die Steuerspannung  $U_{\text{control}}$ , werden kleiner und führen zu einer höheren Verzögerungszeit der Delay-Line. Durch die Erkennung der Phasenlage und das Setzen der Up- und Down-Ausgänge wird die Regelung der Verzögerungskette und die Funktion der DLL realisiert.

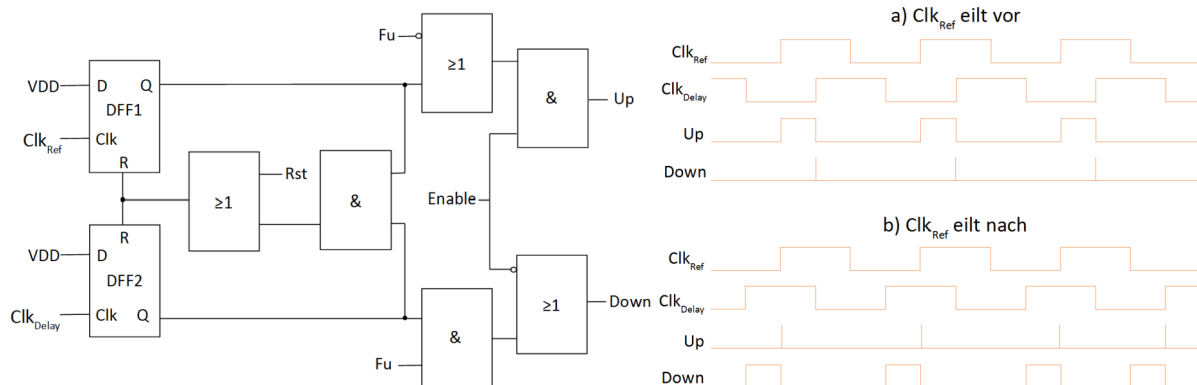
Mithilfe mehrerer Signale, welche von der DL abgegriffen werden, erkennt ein spezieller Detektor unerwünschte Arbeitspunkte im eingeschwingenen Zustand, welche auch als False-Lock bezeichnet werden. Mögliche False-Locks sind das Einschwingen auf die kleinstmögliche Verzögerungszeit  $t_{\text{min}}$  oder sogenannte Harmonic-Locks, welche ein Einschwingen der Verzögerung auf ganzzahlige Vielfache der Referenzperiodendauer zur Folge hat. Der False-Lock Detektor erkennt diese falschen Betriebszustände und kann zur Korrektur auf zwei verschiedene Weisen auf den Regelkreis einwirken. Entweder kann der Phasendetektor extern zurückgesetzt werden, was zu einem Wechsel von Up- zu Down-Signalen führt, oder es kön-

nen solange Up-Pulse erzwungen werden, bis jeder mögliche Harmonic-Lock ausgeschlossen ist. Diese Mechanismen werden in Kapitel 2.7 genauer erläutert.

Um das Verhalten der DLL auf Systemebene zu untersuchen, empfiehlt es sich, diese zunächst mithilfe idealisierter Modelle der einzelnen Baugruppen zu implementieren. Dafür werden Modelle in der Entwurfssprache Verilog-A verwendet, welche im Anhang unter Kapitel 9.1 zu finden sind. Anschließend können die idealisierten Modelle durch reale Schaltungen ersetzt und die Auswirkungen analysiert werden.

## 2.2 Phasendetektor

Der Phasendetektor besteht aus zwei D-Flipflops, drei AND- sowie drei OR-Gattern mit jeweils zwei Eingängen. Der Aufbau des Phasendetektors wird auch Positive-Edge-Triggered (PET) Phase-Detector genannt. Der PD hat die Aufgabe, beim Voreilen der Referenz Up-Pulse und beim Nacheilen Down-Pulse zu erzeugen.



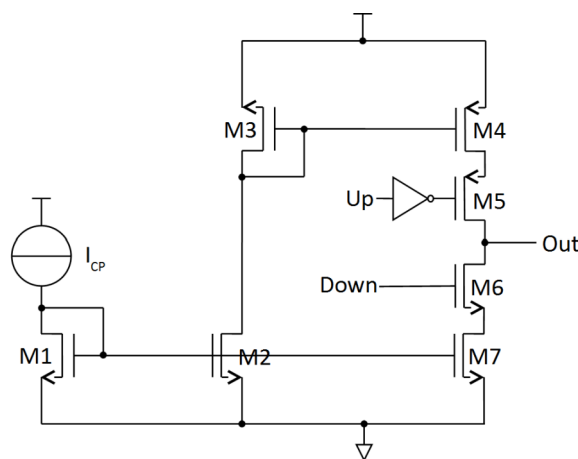
**Abbildung 2.3:** Phasendetektor mit externen Reset-, ForceUp- und Enable-Eingängen.

Sofern die Eingänge Rst (Reset), Fu (Force Up) und Enable die Werte  $Rst=low$  und  $Fu=Enable=high$  haben, befindet sich der Phasendetektor im normalen Betriebsmodus. Das bedeutet, dass die externe False-Lock Detektorschaltung kein Eingriff in den Phasendetektorbetrieb tätigt. In diesem Fall sorgt ein Voreilen von Clk<sub>Ref</sub>, wie in Abbildung 2.3a dargestellt, zu einem Setzen von DFF1 bzw. Q1 und somit zu einem Up-Puls, welcher so lange anhält, bis Clk<sub>Delay</sub> eine positive Flanke aufweist. Falls Clk<sub>Ref</sub> jedoch dem Signal Clk<sub>Delay</sub> nacheilt, wird zuerst DFF2 bzw. Q2 gesetzt und es wird ein Down-Puls, wie in Abbildung 2.3b zu sehen ist, erzeugt. Dieser ist so lange gesetzt, bis die steigende Flanke von Clk<sub>Ref</sub> erscheint.

Falls der False-Lock Detektor den Phasendetektor zurücksetzen muss, so kann dies über einen kurzen High-Puls auf den Rst-Eingang geschehen. Zur Vermeidung eines Harmonic-Locks kann der False-Lock Detektor über den Eingang  $F_u$  einen Up-Puls erzwingen. Hierbei entspricht das Anliegen einer logischen Null am  $F_u$ -Eingang dem Setzen des Up-Ausgangs. Das Enable-Signal dient zum Ein- bzw. Ausschalten der DLL. Ist Enable auf high-Potential, wird die DLL in ihren Arbeitspunkt einschwingen. Ist der Enable-Eingang allerdings auf low-Potential, werden Down-Pulse erzwungen, sodass die DLL stets bei einer Filterspannung von 0 V startet. Gleichzeitig werden Up-Pulse unterdrückt. Ein weiterer Vorteil ist, dass die Verzögerungszeiten im Up- sowie im Down-Pfad identisch sind, da beide jeweils mit einem AND- und einem OR-Gatter verschaltet sind. Diese Verschaltung sorgt aufgrund dieses Zusammenhangs für eine Verbesserung der Phasenverschiebung zwischen Ein- und Ausgang der DLL.

## 2.3 Charge Pump

Die Charge Pump (CP) verhält sich wie eine Konstantstromquelle, welche entweder Ladungen in den darauffolgenden Filterkondensator hinzufügt oder abzieht. In Abbildung 2.4 ist ein Grundkonzept einer CP in complementary metal-oxide-semiconductor (CMOS) -Technologie dargestellt.



**Abbildung 2.4:** Vereinfachte CMOS-Charge Pump.

Der Betrag des Lade- bzw. Entladestroms wird mit  $I_{CP}$  anhand einer Stromquelle eingestellt. Aufgrund des Stroms ergibt sich eine definierte Gate-Source Spannung für den Gate-Drain verbundenen MOS-Transistor M1. Dieser dient als Stromspiegel für M2 und M7. Sofern die Weite/Länge-Verhältnisse dieser drei Transistoren identisch sind, fließt durch diese drei Tran-

sistoren ein identischer Strom. Aufgrund des Stromflusses durch M2 muss derselbe Strom auch durch den darüber liegenden Transistor M3 fließen. M3 dient wiederum als Stromspiegel für M4. Somit wird an beiden Transistoren derselbe Arbeitspunkt eingestellt.

Wenn der Phasendetektor den Up-Ausgang setzt, wird M5 leitend. Es fließt ein Strom vom Versorgungsknoten zum Ausgangsport Out, dessen Betrag durch den Transistor M4 eingestellt wird. Dieser entspricht  $I_{CP}$ . Ist wiederum der Down-Ausgang des Phasendetektors gesetzt, wird M6 leitend, und es stellt sich ein Stromfluss vom Ausgangsport nach Masse über M6 und den stromeinstellenden Transistor M7 ein.

Bei der CMOS-CP Grundschaltung treten unerwünschte Effekte, wie unterschiedliche Up- und Downströme, Charge Sharing, Charge Injection und Clock Feed-through, auf. Stattdessen werden komplexere Schaltungen, wie geregelte Tristate- oder Current Steering Charge Pumps, verwendet. Für erste Simulationen ist ein simpler Aufbau mit einem Verilog-A Modell oder mit zwei spannungsgesteuerten Stromquellen ausreichend.

### 2.3.1 Vorstellung einer CMOS Charge-Pump

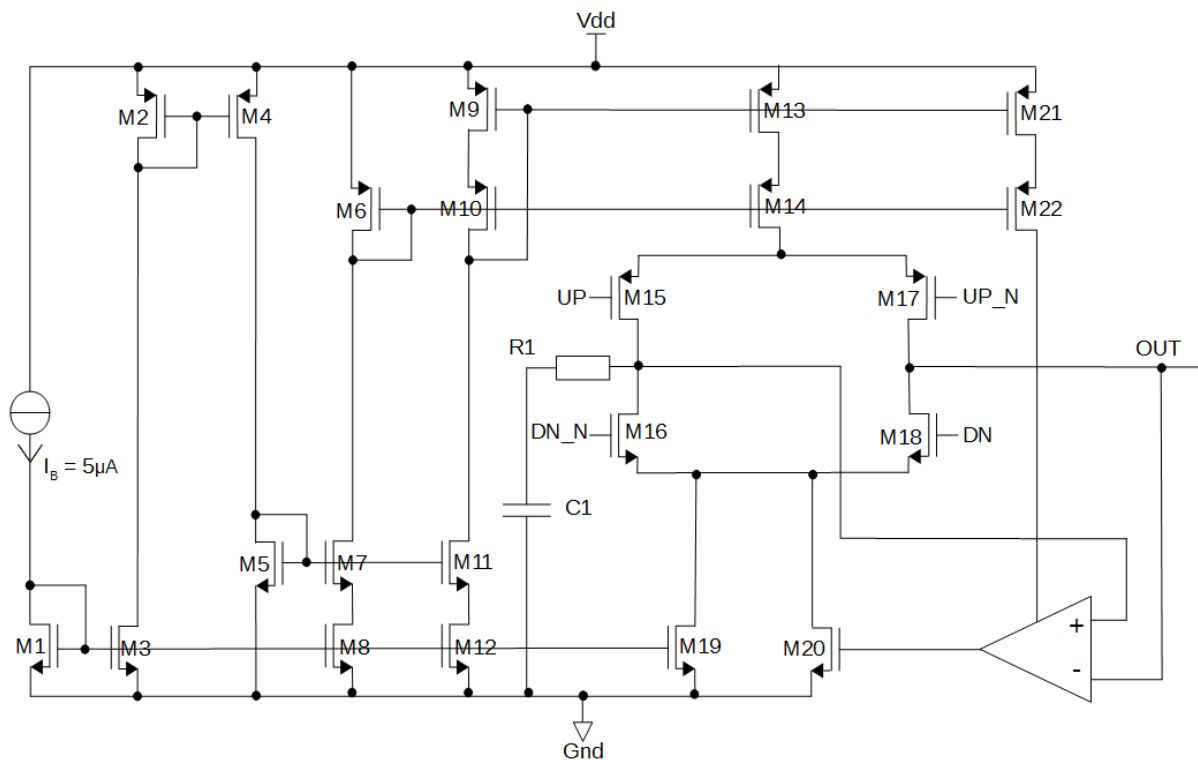


Abbildung 2.5: Darstellung einer Stromwaage-CP [2].

Die in Abbildung 2.5 dargestellte Charge Pump verfolgt das Prinzip der Stromwaage. Das bedeutet, dass die Metall-Oxid-Halbleiter-Feldeffekttransistoren (MOSFET) M13, M14, M19 und M20 einen dauerhaften Stromfluss haben. Um dies zu gewährleisten, sind bei Up-Pulsen die Transistoren M16 und M17 und bei Down-Pulsen die Transistoren M15 und M18 leitend. Aufgrund des virtuellen Kurzschlusses wird die Gate-Spannung von M20 stets so geregelt, dass die Potentiale am invertierenden und nicht-invertierenden Eingang identisch sind. Der Down-Strom wird demzufolge an den Up-Strom angepasst.

Als Verstärker wird ein gefalteter Transkonduktanzverstärker verwendet, welcher im Anhang in Kapitel 9.3 dargestellt wird.

## 2.4 Regelschleifenfilter

Der Regelschleifenfilter, auch Loop Filter (LF) genannt, besteht aus einem Kondensator mit seinem äquivalenten Serienwiderstand (ESR). Dieser wird von der Charge Pump stets mit einem definierten Strom geladen oder entladen.

$$Q = \int i \cdot dt \quad (2.1)$$

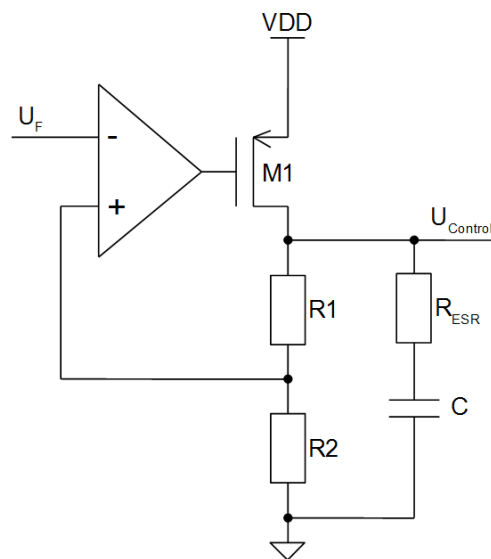
$$U = \frac{1}{C} \cdot \int i \cdot dt \quad (2.2)$$

Bei einem konstanten Ladestrom wird die Ladung im Kondensator ebenso wie die Filterspannung linear steigen. Der Kondensator ist ein Integrator und somit zuständig für den I-Anteil der Regelung. Der Vorteil hierbei ist, dass es sich um einen zwar langsamen, aber sehr genauen Reglertyp handelt. Aufgrund des I-Anteils wird es im eingeschwungenen Zustand keine bleibende Regelabweichung geben. Allerdings fügt der Filterkondensator der Übertragungsfunktion der DLL einen weiteren Pol hinzu.

$$G_F(s) = R_{ESR} + \frac{1}{sC} \quad (2.3)$$

## 2.5 Low Drop-Out Spannungsregler

Der Low Drop-Out (LDO) Spannungsregler hat die Aufgabe, die Filterspannung  $U_F$  von der Last zu entkoppeln. Durch diese Entkopplung wirkt lediglich die Charge Pump auf die Filterspannung, ohne dass Lastsprünge oder Versorgungsspannungsschwankungen diese beeinflussen. Stattdessen haben wir eine in Abhängigkeit von  $U_F$  geregelte Steuerspannung  $U_{Control}$  am Ausgang des LDO zur Verfügung, mit welcher die Verzögerung der Delay-Line variiert werden kann.



**Abbildung 2.6:** Darstellung eines Low Drop-Out Spannungsreglers.

Der LDO ist aus einem differentiellen Verstärker, einem PMOS-Transistor als Pass-Device, einem Spannungsteiler aus  $R_1$  und  $R_2$  sowie einer Ausgangskapazität mit ESR aufgebaut. Sind die Widerstände  $R_1$  und  $R_2$  gleich groß, liegt immer die halbe Ausgangsspannung am nicht-invertierenden Eingang des Verstärkers an. Der Operationsverstärker vergleicht die Filterspannung  $U_F$  mit der halbierten rückgeführten Ausgangsspannung. Steigt die Filterspannung an, sodass diese größer als das Potential am nicht-invertierenden Eingang ist, sinkt die Gate-Spannung von  $M_1$ . Aufgrund der erhöhten Source-Gate Spannung an  $M_1$  ergibt sich ein größerer Stromfluss von Source nach Drain. Dieser Strom lädt die Ausgangskapazität  $C$  auf und die Spannung steigt.

Wird die Filterspannung aufgrund von Down-Signalen auf ein niedrigeres Potential als am nicht-invertierenden Eingang fallen, steigt die Gate-Spannung von  $M_1$ . Durch die abfallende Source-Gate Spannung wird der Stromfluss zwischen Source und Drain verringert und die Ausgangskapazität wird mit einem geringeren Ladestrom versehen. Aufgrund des kontinuier-

lichen Stromflusses über den Spannungsteiler R1 und R2 sowie über die Stromentnahme der Last fällt die Ausgangsspannung ab.

Die Ausgangsspannung des Reglers ist abhängig von der Auswahl der Widerstandswerte R1 und R2.

$$U_{Control} = U_F \cdot \left( 1 + \frac{R1}{R2} \right) \quad (2.4)$$

Ein LDO mit einem PMOS Pass-Device hat im Gegensatz zu einem Linearregler mit einem NMOS Pass-Device den Vorteil, dass die maximale Ausgangsspannung um eine Schwellenspannung höher ist. Beim LDO fällt über den PMOS lediglich eine Sättigungsspannung des Transistors in Höhe von etwa 200 mV ab. Über den NMOS eines Linearreglers fällt jedoch eine Sättigungsspannung von etwa 200 mV sowie eine Schwellenspannung von ca. 500 mV ab. Somit hat der LDO einen höheren Wirkungsgrad und bietet für die DL einen größeren dynamischen Spannungsbereich an. Des Weiteren werden bei höheren Spannungen kürzere Durchlaufzeiten der Inverter erzielt, womit theoretisch höhere Auflösungen möglich sind. Ein Nachteil des LDO gegenüber dem Linearregler ist allerdings, dass dieser schwieriger zu stabilisieren ist.

Ein LDO weist zwei dominante Pole auf, welche für die Stabilität des Reglers entscheidend sind. Ein Pol  $\omega_1$  befindet sich am Ausgang des LDO. Er wird über den Lastwiderstand  $R_L$ , dem Ausgangswiderstand des Pass-Devices  $R_{DS1}$  und der Ausgangskapazität C definiert.

$$\omega_1 \approx \frac{1}{C \cdot R_{LG}} \quad (2.5)$$

$$R_{LG} = R_L \parallel (R_1 + R_2) \parallel R_{DS1} \quad (2.6)$$

Der Pol  $\omega_1$  ist stark vom Laststrom abhängig. Dieser verschiebt sich von sehr tiefen Frequenzen bei kleinen Lastströmen zu sehr hohen Frequenzen bei sehr großen Lastströmen. Der zweite dominante Pol  $\omega_2$  liegt am Ausgang des differentiellen Verstärkers und ist weniger stark vom Laststrom abhängig. Der zweite Pol wird über die Gate-Source- und Miller-Kapazität sowie den Ausgangswiderstand des Verstärkers  $R_{opamp}$  definiert.

$$\omega_2 \approx \frac{1}{(C_{gs} + (1 + g_m \cdot R_{LG}) \cdot C_{gd}) \cdot R_{opamp}} \quad (2.7)$$

Da die Pole  $\omega_1$  und  $\omega_2$  beide vom Laststrom abhängig sind, können diese bei ähnlichen Frequenzen liegen und somit zu einer Instabilität des Spannungsreglers führen. Um dies zu vermeiden wird eine Nullstelle mithilfe des Serienwiderstands  $R_{ESR}$  am Kondensator eingeführt, um den Pol  $\omega_2$  zu kompensieren.

$$\omega_z \approx \frac{1}{C \cdot R_{ESR}} \quad (2.8)$$

Die Einführung der Nullstelle  $\omega_z$  bewirkt, dass der Pol  $\omega_2$  keine Wirkung mehr hat und ermöglicht somit den stabilen Betrieb des Reglers.

### 2.5.1 Dimensionierung des LDO

Der LDO wird für die Spannungsversorgung der Verzögerungskette benötigt, welche aus den differentiellen Invertern mit NMOS-Kreuzkopplung besteht. Der RMS-Strom liegt je nach Prozesscorner zwischen 1,34 mA und 2,3 mA. Demnach wird der LDO für einen Laststrom von 3 mA dimensioniert.

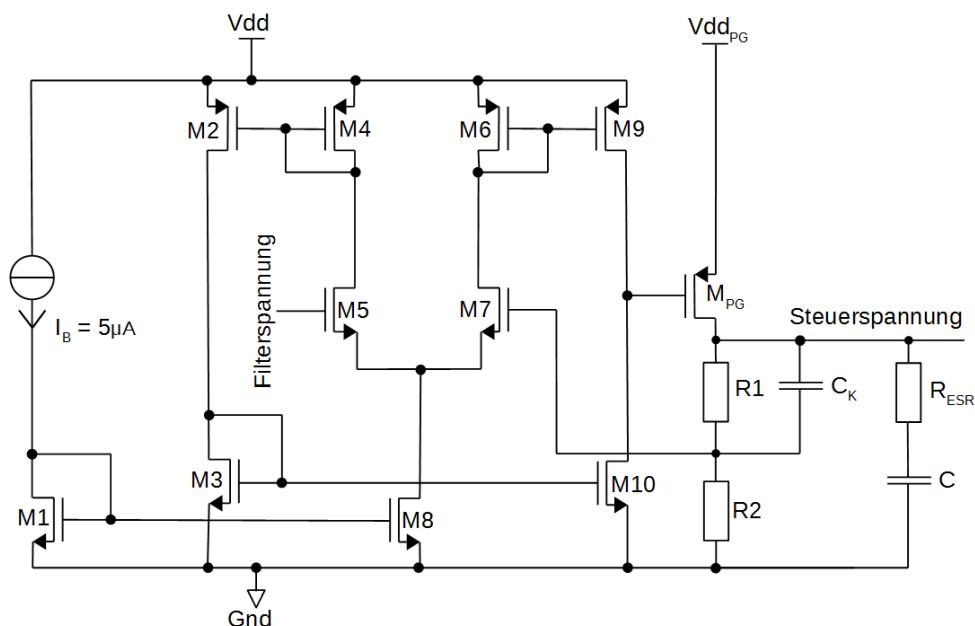


Abbildung 2.7: Vollständiger Aufbau des Low Drop-Out Spannungsreglers.



Der OPV wird als einfache differentielle Eingangsstufe verwendet, die aus den Transistoren M1 bis M10 besteht. Für den Operationsverstärker werden NNDIG-Eingangstransistoren verwendet, um auf kleine Eingangsspannungen reagieren zu können. Dabei handelt es sich um Natural NMOS Transistoren, welche eine sehr geringe Schwellenspannung aufweisen. Das Pass-Device wird mit einer Versorgungsspannung von 3,5 V gespeist, um am Ausgang des LDOs eine möglichst hohe Spannungsversorgung der Verzögerungskette zu erhalten. Typischerweise entspricht der Spannungsverlust über das Pass-Device einer Sättigungsspannung von etwa 200 mV. Die Parameter des LDO ergeben sich anhand von Simulationen zu:

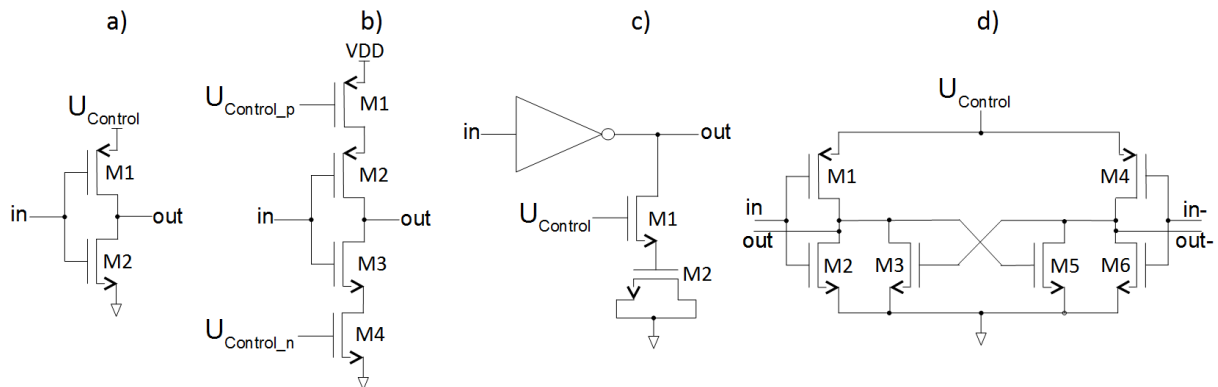
- $M_{PG} : W = 3 \text{ mm}; L = 360 \text{ nm}$
- $R1 = R2 = 4,125 \text{ k}\Omega$
- $C_K = 50 \text{ pF}$
- $R_{ESR} = 250 \text{ }\Omega$
- $C = 100 \text{ pF}$

Für den Pass-Gate (PG) Transistor  $M_{PG}$  ergibt sich aus der Bedingung, dass dieser immer im Sättigungsbereich betrieben wird, eine Weite von 3 mm. Die Ausgangskapazität soll auf dem Chip realisiert werden, weshalb hier ein maximaler Wert von 100 pF angesetzt ist. Mit dieser Dimensionierung ist der LDO für alle Prozesscorner mit einer Phasenreserve von über 60 Grad stabil. Lediglich bei einer sehr geringen Steuerspannung und einem geringen Laststrom werden Phasenreserven von mindestens 45 Grad erreicht. Diese Extremstellen sind allerdings nicht problematisch, da die Force-Up-Schaltung die Filterspannung solange erhöht, bis sich die DLL im Bereich des geforderten Arbeitspunktes befindet.

## 2.6 Delay-Line

Die Delay-Line ist eine in ihrer Durchlaufzeit variable Verzögerungskette, dessen Verzögerungszeit abhängig von der Spannung  $U_{Control}$  ist. In der DLL hat die DL die Aufgabe, eine Verzögerungszeit von einer Periodendauer der Referenz zu erreichen. Das bedeutet, dass innerhalb aller PVT-Variationen und parasitärer Effekte im Layout die Anzahl und Dimensionierung der Inverterstruktur so gewählt sein muss, dass ein Einschwingen auf  $T_{Ref}$  möglich ist. Bei einem Referenzsignal mit einer Periodendauer von 40 ns sollte die Verzögerungskette diesen Wert unter Einfluss der langsamsten Prozesscorner und Prozesstemperatur sicher erreichen können.

Die Verzögerungszeit jedes einzelnen Elements der Kette ist proportional zu ihrer RC-Zeitkonstante, wobei der effektive Widerstands- bzw. Kapazitätswert durch den Einfluss von  $U_{\text{Control}}$  veränderbar ist. In Abbildung 2.8 sind einige Möglichkeiten dargestellt, wie durch eine äußere Spannung die Durchlaufzeit verändert werden kann. Eine einstellbare Versorgungsspannung, wie in Abbildung 2.8a, sorgt über eine Änderung der Source-Gate Spannung von M1 bzw. Gate-Source Spannung von M2 für einen Stromfluss, welcher bei hohen Spannungen von  $U_{\text{Control}}$  größer und bei kleinen Spannungen geringer wird. Dadurch wird die Eingangskapazität des Folgeelements schneller bzw. langsamer umgeladen. In Abbildung 2.8b werden mittels eines Voltage-to-Current Converters (V2CC) die Spannungen  $U_{\text{control}_p}$  und  $U_{\text{control}_n}$  erzeugt, welche bei dem dargestellten Current Starved Inverter für eine Einstellung des über M1 und M4 fließenden Stroms sorgen und somit ebenfalls den Lade- und Entladestrom der Ausgangskapazität bestimmen.



**Abbildung 2.8:** Inverterstrukturen mit a) variabler Versorgungsspannung, b) variabler  $R_{\text{DS}}$ -Widerstand, c) variabler kapazitiver Last und d) in differentieller Struktur [3].

Eine andere Möglichkeit die Verzögerungszeit anzupassen, ist die Nutzung einer variablen Kapazität am Ausgang des Inverters, wie in Abbildung 2.8c dargestellt. Dazu kann z.B. die Gate-Kapazität eines MOS-Transistors genutzt werden. Am Ausgang eines konventionellen CMOS Inverters ist mithilfe des NMOS Transistors M1 die Gate-Kapazität eines weiteren Transistors M2 angeschlossen. Ist die Steuerspannung klein, wird der Kanalwiderstand von M1 einen hohen Wert haben und der Ausgang des Inverters nimmt nur die Gate-Kapazität des Folgeglieds wahr. Mit größer werdender Steuerspannung sinkt der Kanalwiderstand und die Gate-Kapazität von M2 wird als zusätzliche Lastkapazität am Ausgang zugeschaltet. Je nach Höhe der Steuerspannung wird somit die Ausgangskapazität verändert, was zu einem unterschiedlich langen Umladevorgang führt.

Für die Anwendung einiger Interpolationstechniken wird zusätzlich ein zum Ausgangssignal invertiertes Signal benötigt. Während es sich bei den in Abbildung 2.8a, 2.8b und 2.8c gezeigten Strukturen um Single-Ended Inverter handelt, ist der in 2.8d vorgestellte Aufbau ein so genannter differentieller Inverter, welcher mit zwei inversen Signalen angesteuert wird und ebenso zwei zueinander inverse Ausgangssignale ausgibt. Dieser besteht aus zwei Invertern mit jeweils M1 und M2 sowie M4 und M6 sowie einer Kreuzkopplung zwischen beiden Ausgängen über M3 und M5. Durch diese Kopplung sind die Ausgänge out und out- stets invers zueinander und die Anstiegs- und Abfallzeiten werden angeglichen. Die Verzögerung wird, wie in Abbildung 2.8a, über die Versorgungsspannung variiert.

### 2.7 False-Lock Detektor

Im eingeschwungenen Zustand soll die Durchlaufzeit durch die Verzögerungskette eine Periodendauer der Referenz entsprechen. Schwingt sich das System auf eine andere Zeit ein, so spricht man von einem False-Lock.

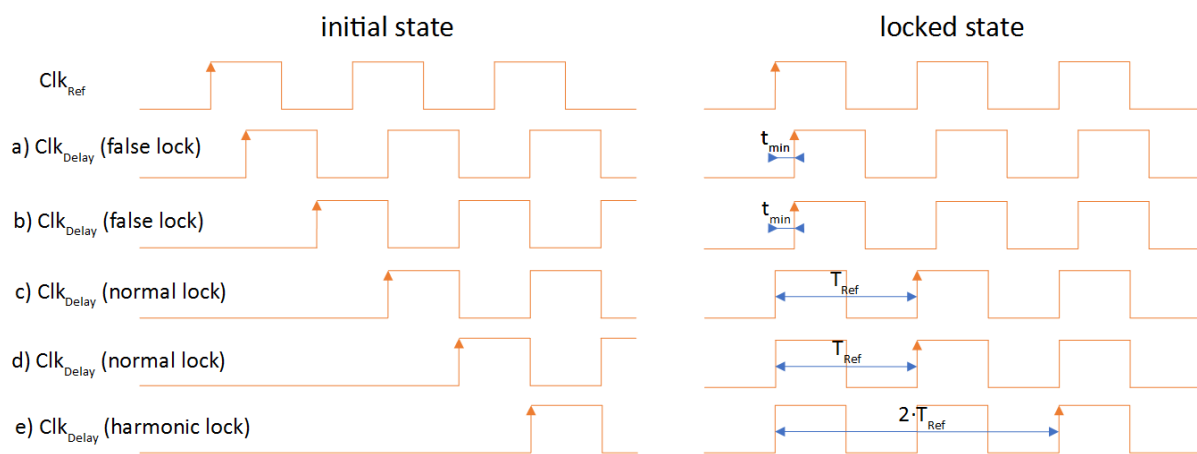
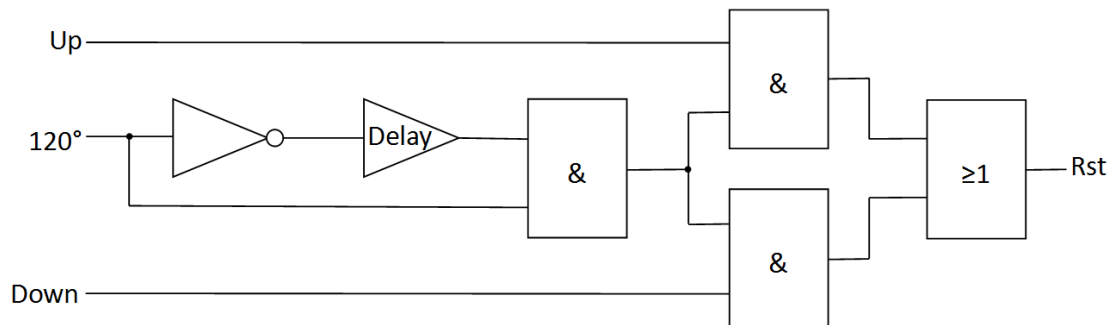


Abbildung 2.9: Auftreten von False- und Harmonic-Lock in der DLL.

Ein Beispiel für einen False-Lock ist das Einschwingen auf die minimale Durchlaufzeit  $t_{min}$ . In diesem Fall versucht die DLL eine unendlich kleine Durchlaufzeit zu erreichen, um eine minimale Phasenverschiebung zu erzielen. Dies ist im realen System nicht möglich. Stattdessen stellt sich eine Phasenverschiebung ein, die der minimalen Durchlaufzeit der Delay-L entspricht. Dieser Fall tritt ein, wenn die Durchlaufzeit bereits zum Start des Systems kleiner als eine Periodendauer ist oder der Einfluss des ersten Up-Pulses so groß ist, dass die Durchlaufzeit bereits geringer als eine Periodendauer der Referenz ist. Dieser Fall ist auch in Abbildung 2.9 a) und b) dargestellt. Eine besondere Art des False-Locks ist der Harmonic-

Lock. Hier wird die Durchlaufzeit der Delay-Line fälschlicherweise auf ein Vielfaches der Referenzperiodendauer eingestellt. Wie in Abbildung 2.9 e) zu sehen ist, tritt dieser Fall ein, wenn die Startverzögerung größer als die doppelte Referenzperiodendauer ist.

Ein False-Lock auf die minimale Durchlaufzeit tritt immer dann ein, wenn die initiale Durchlaufzeit der Delay-Line kleiner als eine Referenzperiodendauer ist und infolgedessen zu Beginn nur UP-Pulse generiert werden. Dieses Verhalten kann durch ein zusätzliches Reset des Phasendetektors vermieden werden. Aufgrund dieses Resets werden Up-Pulse auf eine bestimmte maximale Dauer beschränkt. Durch das Zurücksetzen des Up-Pulses erzeugt die anschließende steigende Flanke des Delaysignals  $\text{Clk}_{\text{Delay}}$  einen Down-Puls. Darüber hinaus wird das Ausgangssignal der Delay-Line im Folgenden anstatt nachteilend als voreilend erkannt und es werden gegebenenfalls weitere Down Pulse generiert.

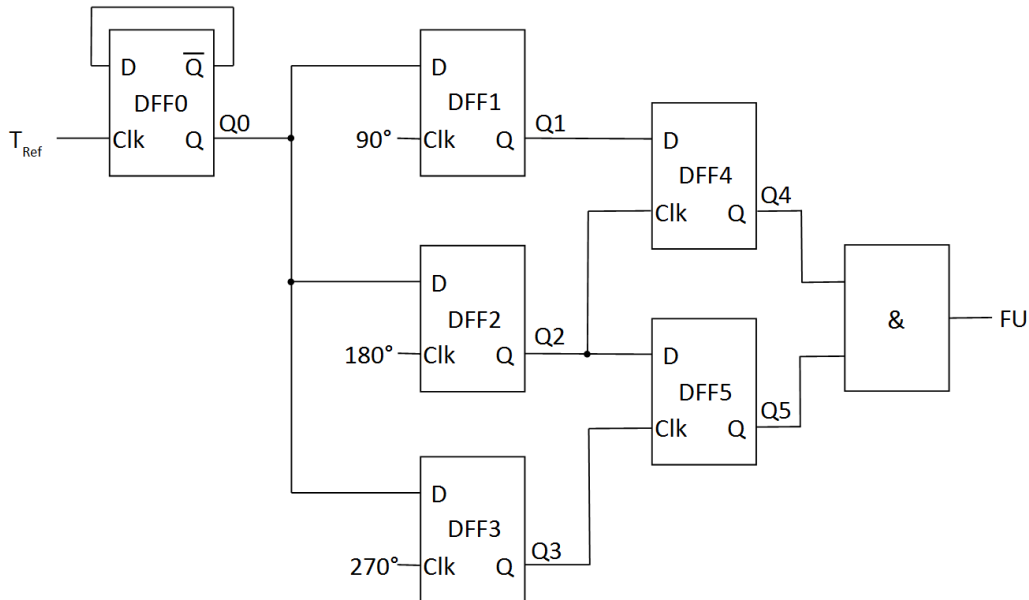


**Abbildung 2.10:** Reset-Schaltung des False-Lock Detektors [4].

Der benötigte Reset des Phasendetektors wird durch die in Abbildung 2.10 dargestellte Schaltung erzeugt. Ein kurzer Reset-Puls wird immer dann ausgelöst, wenn nach einem Drittel der Durchlaufzeit der Delay-Line immer noch ein Up- bzw. Down-Puls anliegt. Die korrekte Funktion der Reset-Schaltung ist nur für Verzögerungszeiten von maximal der 1,5-fachen Referenzperiodendauer sichergestellt. Das bedeutet, dass eine weitere Schaltung nötig ist, welche Up-Pulse erzwingt, bis die DLL in den Operationsbereich von  $0 \leq T_{DL} \leq 1,5 \cdot T_{REF}$  gelangt ist, wobei  $T_{DL}$  der Durchlaufzeit der Delay-Line entspricht.

Die Force-Up Schaltung in Abbildung 2.11 hat den Referenztakt und drei Abgänge der Delay-Line bei  $90^\circ$ ,  $180^\circ$  und  $270^\circ$  als Eingänge. Der Ausgang FU ist Low-Aktiv und dient als Eingang für den Phasendetektor. Eine logische Null des FU Signals erzwingt Up-Pulse, während eine logische Eins den normalen Betrieb des Phasendetektors gewähren lässt. Der Schaltungsblock zwischen  $\text{Clk}_{\text{Ref}}$  und Q0 entspricht einem Toggle-FlipFlop und wird auch als divide-by-2 Schaltung bezeichnet. Das Signal Q0 besitzt die halbierte Frequenz bzw. doppelte

Periodendauer der Referenz. Dieses Signal dient den Flipflops DFF1 -DFF3 als Dateneingang, während die Abgriffe der Delay-Line bei  $90^\circ$ ,  $180^\circ$  und  $270^\circ$  den Clock-Signalen der Flipflops entsprechen.

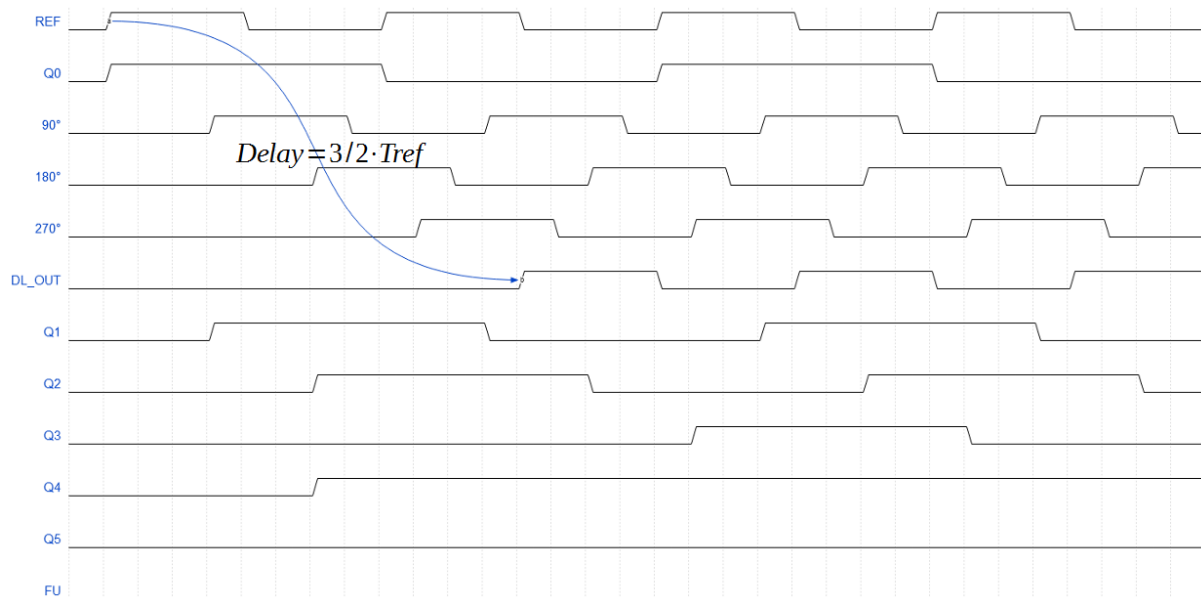


**Abbildung 2.11:** Force-Up Schaltung des False-Lock Detektors [3].

Die in Abbildung 2.11 beschriebene Schaltung prüft die Reihenfolge der Signale Q1, Q2 und Q3. Nur wenn diese in der richtigen Reihenfolge, d.h. nacheinander und beginnend mit Q1 auftreten, wird FU auf eine logische Eins gesetzt und den normalen Phasendetektorbetrieb ermöglichen. Bei steigender Verzögerungszeit tritt das Signal  $270^\circ$  zu einem immer späteren Zeitpunkt auf. Sobald dieses Signal in den nächsten Takt des Referenzsignals rückt, toggelt das Ausgangssignal des Flipflops Q0 von 1 auf 0 zurück. Dies hat zur Folge, dass das Flipflop Q3 anders als die Flipflops Q1 und Q2 eine logische Null statt einer logischen Eins sampelt, wodurch der Ausgang FU auf Null gesetzt wird.

Als Beispiel für die Funktion der Force-Up Schaltung bei zu hohen Verzögerungszeiten der DL dient Abbildung 2.12. In dem dargestellten Fall liegt die Verzögerungszeit bei  $T_{DL} = 1,5 \cdot T_{REF}$ , wodurch das Signal  $270^\circ$  in den folgenden Takt der Referenz rutscht. Das wiederum bedeutet, dass nun die Reihenfolge von Q1, Q2 und Q3 falsch ist. Zuerst werden die Signale Q1 und Q2 aufgrund der Eingänge  $90^\circ$  und  $180^\circ$  gesetzt. Da das Signal  $270^\circ$  in den nächsten Takt gerückt ist und Q0 auf Null steht, wird Q3 weiterhin auf Null bleiben. Sobald Q0 wieder auf logisch Eins wechselt, wird als nächstes das Signal  $270^\circ$  erscheinen und somit Q3 auf logisch Eins setzen. Erst danach werden Q1 und Q2 ebenfalls auf logisch Eins

wechseln. Q4 wird dauerhaft gesetzt sein, da Q2 nach Q1 umschaltet. Allerdings wird Q5 immer logisch Null bleiben, da zum Zeitpunkt der steigenden Flanke von Q3 das Signal Q2 stets logisch Null sein wird. Somit wird das Ausgangssignal FU immer auf logisch Null bleiben und Up-Pulse erzwingen, bis sich die Durchlaufzeit unterhalb der Grenze der Force-Up Schaltung befindet.



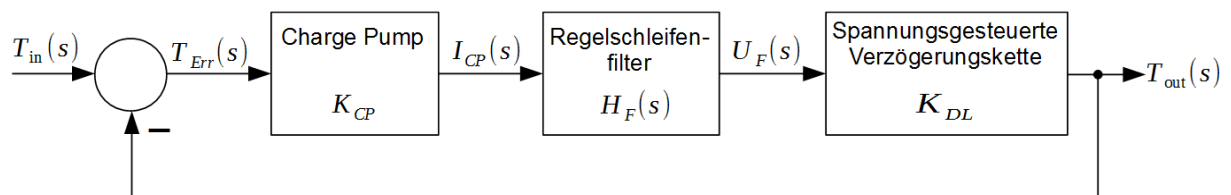
**Abbildung 2.12:** Funktionsschema der Force-Up Schaltung für zu hohe Verzögerungszeiten.

Da die Reset-Schaltung nur bis zu einer maximalen Verzögerungszeit der Delay-Line, welche der 1,5-fachen Referenzperiodendauer entspricht, korrekt funktioniert, muss die Force-Up Schaltung ab dieser Grenze Up-Pulse erzwingen. Die Aktivierungsschwelle der Force-Up Schaltung liegt bei drei gleichverteilten Abgängen der Delay-Line ( $90^\circ$ ,  $180^\circ$  und  $270^\circ$ ) bei einer Verzögerung von  $T_{DL} = 4/3 \cdot T_{REF}$ .

Mithilfe dieser beiden Ansätze wird die DLL für Verzögerungszeiten von  $0 \leq T_{DL} \leq 1,5 \cdot T_{REF}$  aufgrund der Reset-Schaltung immer in den normalen Lock übergehen. Darüber hinaus werden durch die Force-UP Schaltung ab  $T_{DL} = 4/3 \cdot T_{REF}$  Up-Pulse erzwungen, um die DLL in den Arbeitsbereich der Reset-Schaltung zu überführen. Somit sind Locking-Probleme ausgeschlossen und die DLL wird ein robustes Locking-Verhalten im eingeschwungenen Zustand zeigen.

## 2.8 Übertragungsfunktion der DLL

Um den Regelkreis der DLL auf sein Verhalten zu untersuchen, muss seine Übertragungsfunktion hergeleitet werden. Diese gibt das Verhalten des Ausgangs  $T_{out}(s)$  im Verhältnis zum Eingang  $T_{in}(s)$  der DLL wieder. Idealerweise liegt hier keine Phasendifferenz zwischen  $T_{in}(s)$  und  $T_{out}(s)$  vor. In Abbildung 2.13 ist das Blockdiagramm der DLL mit dem Phasendetektor als Vergleichler, der Charge Pump, dem Regelschleifenfilter und der spannungsgesteuerten Verzögerungskette dargestellt.



**Abbildung 2.13:** Blockdiagramm Delay-Locked Loop.

Die DLL beschreibt im eingeschwungenen Zustand ein einpoliges System und gilt deshalb als strukturstabil. Der Phasendetektor, hier als Vergleichler dargestellt, bildet die Differenzzeit  $T_{Err}(s)$ , welche zwischen dem periodischen Eingangssignal  $T_{in}(s)$  und dem periodischen Ausgangssignal  $T_{out}(s)$  vorliegt.

$$T_{Err}(s) = T_{in}(s) - T_{out}(s) \quad (2.8)$$

$T_{Err}(s)$  enthält Informationen über die zeitliche Verschiebung zwischen dem Ein- und Ausgangssignal. In der DLL werden für die Dauer dieser Verschiebung Up-Pulse zum Laden bzw. Down-Pulse zum Entladen des Regelschleifenfilters mit einem definierten Strom  $I_{CP}$  genutzt, um die Differenzzeit  $T_{Err}(s)$  zu minimieren. Der Ausgangsstrom der Charge Pump ergibt sich zu

$$I_{CP}(s) = K_{CP} \cdot (T_{in}(s) - T_{out}(s)) \quad (2.9)$$

Wobei  $K_{CP}$  der Proportionalitätsfaktor der Charge Pump ist und das Verhältnis des eingestellten Lade- bzw. Entladestroms zur Periodendauer des Eingangssignals  $T_{Clock}$  darstellt.

$$K_{CP} = \frac{I_{CP}}{T_{Clock}} \quad (2.10)$$

Die Filterspannung  $U_F(s)$  resultiert aus dem Ausgangsstrom  $I_{CP}(s)$  und dem Regelschleifenfilter  $H_F(s)$ , wobei  $H_F(s)$  als Integrator wirkt und mit  $1/sC$  beschrieben wird.

$$U_F(s) = \frac{I_{CP}(s)}{sC} = \frac{K_{CP}}{sC} \cdot (T_{in}(s) - T_{out}(s)) \quad (2.11)$$

Der Proportionalitätsfaktor der spannungsgesteuerten Verzögerungskette  $K_{DL}$  ergibt sich aus dem Quotienten des Ausgangssignals  $T_{out}(s)$  und der Filterspannung  $U_F(s)$ . Daraus resultiert folgender Zusammenhang für  $T_{out}(s)$ .

$$T_{out}(s) = K_{DL} \cdot U_F(s) = \frac{K_{DL} \cdot K_{CP}}{sC} \cdot (T_{in}(s) - T_{out}(s)) \quad (2.12)$$

Nach Umformung der Gleichung 2.12 in die allgemeine Form der Übertragungsfunktion eines einpoligen Systems ergibt dies den nachfolgenden Ausdruck:

$$G_{DLL}(s) = \frac{T_{out}(s)}{T_{in}(s)} = \frac{1}{1 + s \frac{C}{K_{DL} \cdot K_{CP}}} \quad (2.13)$$

Anschließend wird Gleichung 2.10 in Gleichung 2.13 eingesetzt, sodass die Übertragungsfunktion der DLL wie folgt beschrieben werden kann:

$$G_{DLL}(s) = \frac{T_{out}(s)}{T_{in}(s)} = \frac{1}{1 + s \frac{C \cdot T_{Clock}}{K_{DL} \cdot I_{CP}}} \quad (2.14)$$

Die Übertragungsfunktion eines einpoligen Systems wird allgemein mit der Formel 2.15 dargestellt [5].

$$G(s) = \frac{T_{out}(s)}{T_{in}(s)} = \frac{1}{1 + s\tau} \quad (2.15)$$



Anhand der Gleichung für die Anstiegszeit eines einpoligen Systems mit  $T_{rise} = 2,2\tau$ , kann die Einschwingzeit der DLL wie folgt bestimmt werden:

$$T_{rise} = \frac{2,2 \cdot C \cdot T_{Clock}}{K_{DL} \cdot I_{CP}} = \text{Anzahl der Perioden} \cdot T_{Clock} \quad (2.16)$$

Demzufolge kann die Anstiegszeit einer DLL durch eine kleine Filterkapazität oder einem großen Ladestrom verringert werden. Allerdings führen beide Maßnahmen zu höheren Spannungsschwankungen am Filter sowie einer erhöhten Regelabweichung im eingeschwungenen Zustand. Bei der Dimensionierung muss ein guter Kompromiss zwischen der Anstiegszeit und der bleibenden Regelabweichung gefunden werden [6, S. 594].

In der Realität besitzen die Ladungspumpe und der LDO eine Übertragungsfunktion, welche je nach Aufbau mehrere Pole aufweist und somit auch die Übertragungsfunktion der gesamten DLL beeinflussen kann. Beide Bauelemente sollten deshalb so ausgelegt sein, dass diese unter den vorherrschenden Betriebsbedingungen stets ihre Funktion erfüllen.

### 3 Time-to-Digital Converter – Theoretische Grundlagen

Time-to-Digital Converter (TDC) werden zur digitalen Erfassung von Zeitintervallen verwendet. Auch in der Hochenergiephysik werden TDCs schon seit Jahrzehnten erfolgreich für die Messung der Flugzeit von Elementarteilchen genutzt [6, S. 5]. Im Rahmen der Time-of-Flight Anwendung in dieser Thesis wird der TDC ebenfalls zur Messung von Zeitintervallen verwendet.

Wichtige Kenndaten zur Klassifizierung des TDC sind die Auflösung und die Standardmessabweichung. Während bei einfachen Aufbauten Auflösungen entsprechend einer Buffer- bzw. Inverterstufe erzielt werden, müssen für höhere Auflösungen komplexere TDC mit Sub-Gate-Delay Auflösung verwendet werden. Die Standardmessabweichung ergibt sich aus der Anfälligkeit des jeweiligen TDC in Hinsicht auf lokale Prozessvariationen.

#### 3.1 Time-to-Digital Converter – Ein Überblick

Der digitale Ausgang des TDC gibt Auskunft über die Zeit, die zwischen zwei Signalen liegt, sobald diese eine gewisse Schwellenspannung überschritten haben. Die Umwandlung von analogen zu digitalen Signalen führt zwangsweise zu einer Diskretisierung von zeitkontinuierlichen Signalen und somit zu einem Informationsverlust. Selbst ein idealer TDC ist von diesem systematischen Fehler betroffen, der oft auch als Quantisierungsrauschen bezeichnet wird. Reale TDC besitzen darüber hinaus noch weitere Fehlerquellen, wie z.B. das nichtideale Schaltverhalten des Komparators oder der Inhomogenität der Delay-Line.

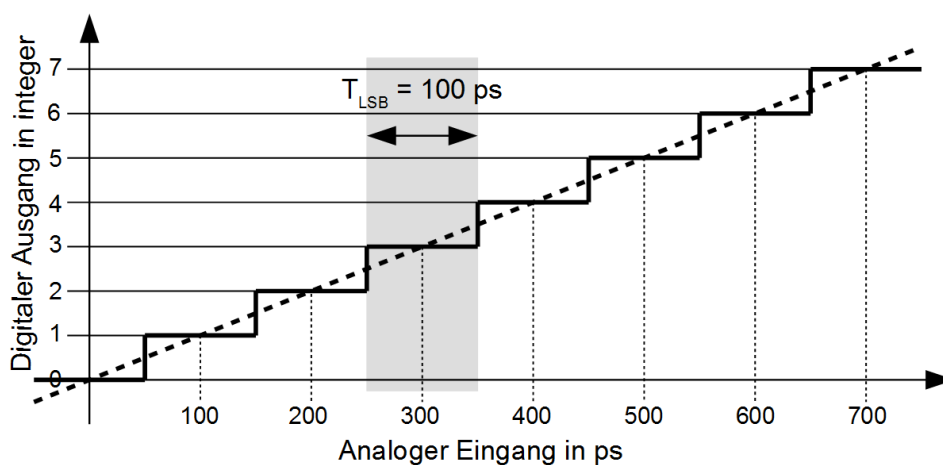


Abbildung 3.1: Übertragungsfunktion eines idealen TDC.

Ohne Diskretisierung des zeitkontinuierlichen Signals entspricht die Übertragungsfunktion des TDC der dick gestrichelten Linie wie in Abbildung 3.1 dargestellt. Dabei wird am analogen Eingang ein Start-Puls beim Achsenursprung stattfinden und der Stopp-Puls wird auf der Abszissenachse abgefahren. Durch die Diskretisierung entstehen Plateaus für die jeweiligen Ordinatenwerte, welche eine Breite von der kleinsten Auflösung des Systems aufweisen. Diese Breite, welche in Abbildung 3.1 grau eingezeichnet ist, entspricht der Wertigkeit des Least Significant Bit (LSB). Die ideale Diskretisierungskennlinie des TDC ist mit der dicken Linie dargestellt. Die Kennlinie ist so zu interpretieren, dass alle Werte innerhalb des grauen Bereichs von  $250 \text{ ps} \leq \text{Analog}_{\text{input}} \leq 350 \text{ ps}$  einen digitalen TDC Ausgangswert generieren, der in Dezimaldarstellung der Zahl drei entspricht. Alle Zeitintervalle, die im grauen Bereich liegen, werden mit den Wert  $3 \cdot 100 \text{ ps} = 300 \text{ ps}$  abgebildet.

### 3.1.1 Lokale Prozess-Variationen in TDCs und die differentielle und integrale Nichtlinearität

Für die Auflösung eines TDC ist die Verzögerungszeit eines Elements der Delay-Line von entscheidender Bedeutung. Die bereits in Abbildung 2.1 aufgeführten PVT-Variationen werden durch den Einsatz der DLL stets so geregelt, dass eine konstante Verzögerung der Delay-Line entsteht. Allerdings gibt es Unterschiede zwischen einzelnen Delay-Elementen untereinander. Dies wird auch als Mismatch bezeichnet. Die Variation der Verzögerungszeit der einzelnen Delayelemente verursacht eine TDC Übertragungskennlinie, welche stark von der idealen Kennlinie abweichen kann. Zwei Größen mit denen die Güte eines TDC beurteilt werden kann, ist die differentielle und integrale Nichtlinearität, auch Differential Nonlinearity (DNL) und Integral Nonlinearity (INL) genannt.

Die differentielle Nichtlinearität gibt einen Ausdruck über die Abweichung einer einzelnen Schrittweite  $T_{LSB,i} = \Delta t_i = t_{i+1} - t_i$  am Element  $i$  von ihrem idealen Wert  $T_{LSB,ideal}$  an [7].

$$t_{DNL,i} = \Delta t_i - T_{LSB,ideal} = t_{i+1} - t_i - T_{LSB,ideal} \quad (2.17)$$

$$t_{DNL,i} = T_{LSB,i} - T_{LSB,ideal} \quad (2.18)$$

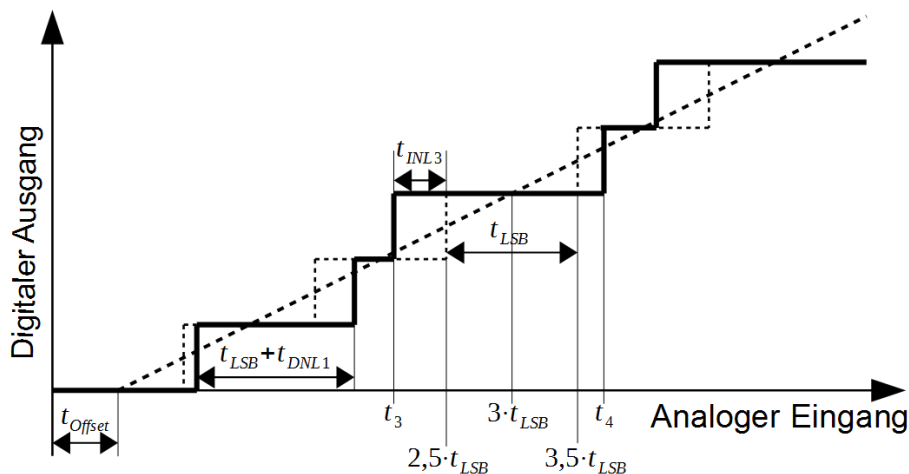
Üblicherweise wird  $t_{DNL,i}$  in der Einheit LSB angegeben. Dazu wird der Ausdruck aus Formel 2.18 mit  $T_{LSB,ideal}$  dividiert.

$$DNL_i = \frac{T_{LSB,i}}{T_{LSB,ideal}} - 1 \tag{2.19}$$

Der Wert  $DNL_i$  wird für jedes Element der Slave-Delay-Line, mit welcher die Zeitintervallmessung durchgeführt wird, separat angegeben. Der Erwartungswert der DNL entspricht dem Wert Null. In diesem Fall würde  $t_{DNL,i} = T_{LSB,ideal}$  gelten. Mithilfe der DNL-Werte aller Elemente kann die Standardabweichung  $\sigma_{DNL}$  ermittelt werden.

$$\sigma_{DNL} = \sqrt{\frac{\sum_{i=1}^n DNL_i^2}{n}} \tag{2.20}$$

In Abbildung 3.2 ist die Übertragungsfunktion eines realen TDC samt Mismatch gezeigt. Abweichungen bei der Ansteuerungen der DLL führen zu einem Offset-Fehler in der Kennlinie. Die DNL ist jetzt als Abweichung der Größe der tatsächlichen Schrittweite im Verhältnis zur idealen Schrittweite im Diagramm ablesbar. Zum Beispiel ist die Schrittweite von  $t_{LSB,1}$  etwas breiter als die des idealen TDC mit  $t_{LSB}$ . Die Breite entspricht in diesem Fall  $t_{LSB} + t_{DNL1}$  und weicht somit um  $t_{DNL1}$  von seinem Idealwert ab. Die DNL kann in gleicher Weise negative Werte annehmen und zu einer Verkleinerung der Schrittweite führen.



**Abbildung 3.2:** Übertragungsfunktion eines realen TDC mit Erläuterungen zu INL und DNL.

Ein weiterer wichtiger Parameter ist die integrale Nichtlinearität, womit der Messfehler eines gemessenen Zeitintervalls am Element  $i$  ausgedrückt wird. Es ist also ein Vergleich der Zeit-

messung des Ist-Werts mit dem Soll-Wert am Verzögerungselement  $i$  der Delay-Line. Dieser Zusammenhang wird mit folgender Formel dargestellt [5]:

$$t_{INL,i} = t_i - i \cdot T_{LSB,ideal} + \frac{1}{2} \cdot T_{LSB,ideal} - t_{Offset} \quad (2.21)$$

Bezogen auf die Einheit LSB ergibt sich daraus nachfolgende Gleichung:

$$INL_i = \frac{t_i}{T_{LSB,ideal}} - i + \frac{1}{2} - \frac{t_{Offset}}{T_{LSB,ideal}} \quad (2.22)$$

Ein idealer TDC hat nach dem ersten Element in der Delay-Line den Zeitwert  $t_1 = T_{LSB,ideal}$ , somit ergibt sich ein Wert von  $INL_1 = 0,5 \text{ LSB}$ . Der Erwartungswert entspricht also 0,5 LSB. Somit kann mithilfe aller INL-Werte die Standardabweichung  $\sigma_{INL}$  berechnet werden.

$$\sigma_{INL} = \sqrt{\frac{\sum_{i=1}^n (INL_i - \frac{1}{2})^2}{n}} \quad (2.23)$$

INL ist also eine Kenngröße für den akkumulierten Fehler aufgrund der Inhomogenität der Delay-Line.

### 3.1.2 Buffer-basierter TDC

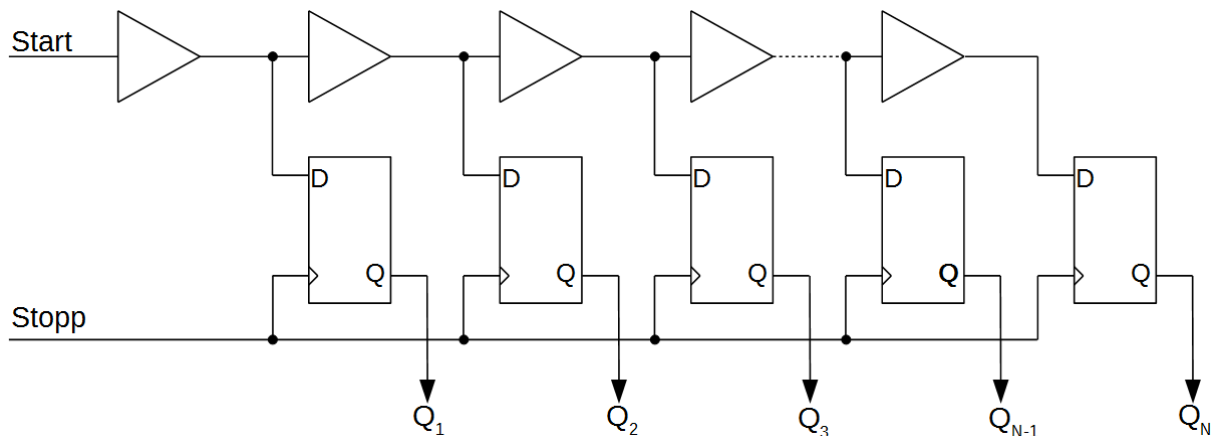
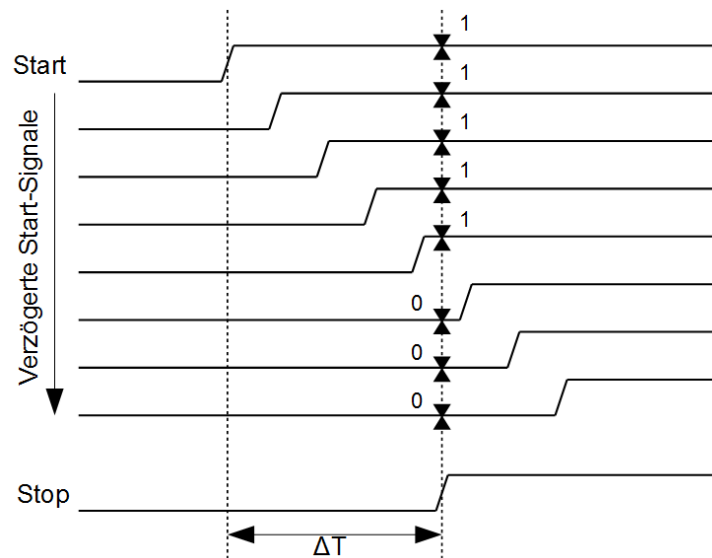


Abbildung 3.3: Implementierung eines Buffer-basierten TDC.

Eine Möglichkeit für den Aufbau eines TDC ist in Abbildung 3.3 dargestellt. Das zu messende Zeitintervall, welches mit dem Start-Signal beginnt und mit dem Stopp-Signal endet, wird hierbei mittels eines Buffer-basierten TDC (BB-TDC) gemessen, wobei die Durchlaufzeit eines Buffers der Auflösung des TDC entspricht [6, S. 15].

$$T_{LSB, BB-TDC} = t_d^{Buffer} \quad (2.24)$$

Das Start-Signal wirkt auf das erste Element der Delay-Line. Nach jedem Buffer innerhalb der Delay-Line entsteht ein dem Eingangssignal verzögertes nicht-invertiertes Signal, das um  $t_d^{Buffer}$  nacheilt. Der Ausgang jeder Bufferstufe, welche von dem Signal durchlaufen wird, wechselt vom Wert logisch Null auf den Wert logisch Eins. Alle nicht-durchlaufenen Elemente besitzen weiterhin den Ausgangswert Null. Mithilfe von D-Flipflops werden die Ausgangssignale der Bufferstufen zum Zeitpunkt der steigenden Flanke des Stopp-Signals detektiert bzw. gespeichert. Hierbei entspricht das Wandlungsergebnis des TDC der Anzahl  $N$  der durchlaufenden Buffer multipliziert mit deren Durchlaufzeit.



**Abbildung 3.4:** Funktionsprinzip des Buffer-basierten TDC.

In Abbildung 3.4 ist das Funktionsprinzip grafisch dargestellt. Das zu messende Zeitintervall  $\Delta T$  hat in diesem Beispiel eine Durchlaufzeit von vier Buffer-Elementen. Der systematische Messfehler liegt bei  $\pm t_d^{Buffer}$ . Die Anzahl der Buffer-Elemente muss so gewählt werden, dass die längste auftretende Messzeit der Durchlaufzeit der Delay-Line entspricht. Demnach bestimmt sich die Anzahl  $N$  an Buffern nach folgender Formel:

$$N = \frac{\Delta T}{T_{LSB, BB-TDC}} = \frac{\Delta T}{t_d^{Buffer}} \quad (2.25)$$

### 3.1.3 Inverter-basierter TDC

Die Auflösung des BB-TDC basiert auf der Durchlaufzeit eines Buffer-Elements, welches wiederum aus beispielsweise zwei CMOS Invertern besteht. Mit dem Ansatz des inverterbasier-ten TDC (IB-TDC) kann die Auflösung demnach verdoppelt werden, indem jeder Inverteraus-gang ausgelesen wird. Aufgrund der Invertierung der Signale innerhalb der Delay-Line ent-steht ein erhöhter Schaltungsaufwand für die Dekodierung des Wandlungswortes. Während bei dem BB-TDC die Zeitmessung durch die Detektion des High-Low-Übergangs in den ge-speicherten Bufferausgangssignalen erkannt wird, wird beim IB-TDC eine High-High- oder Low-Low-Folge in der Delay-Line das Ende der Zeitmessung kennzeichnen [6, S. 16].

1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	┌	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	BB-TDC
0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1	┌	0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1	IB-TDC

Bei diesem Verfahren sind identische Anstiegs- und Abfallzeiten von besonderer Wichtigkeit, was durch die Nutzung differentieller Inverter erzielt werden kann.

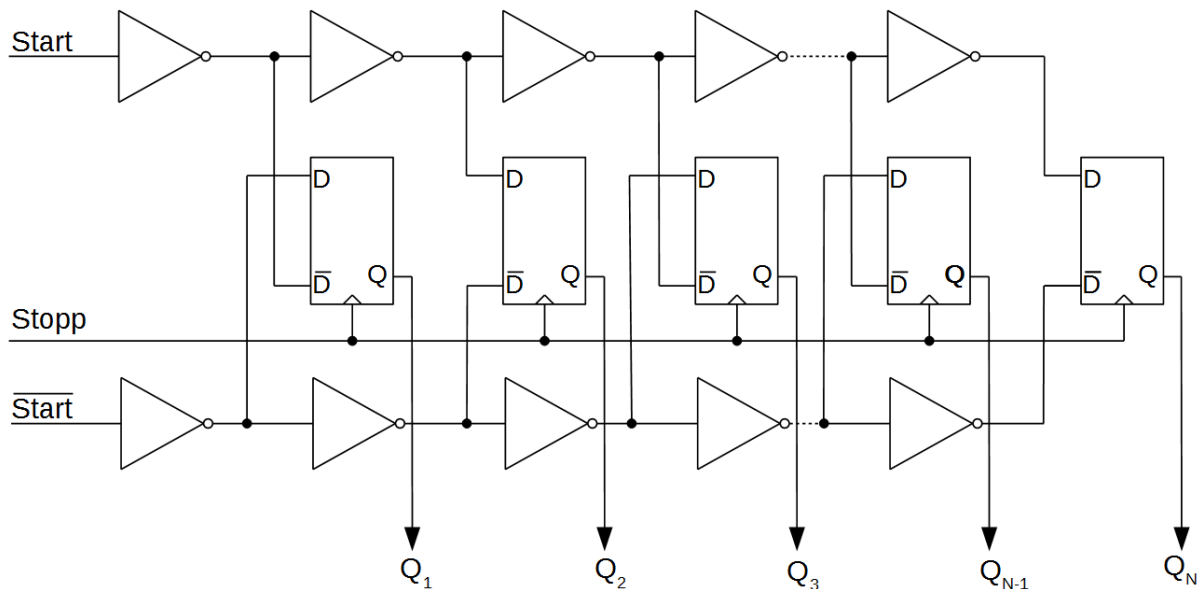


Abbildung 3.5: Implementierung eines Inverter-basierten TDC.

Wie in Abbildung 3.5 dargestellt, können differentielle Inverterketten prinzipiell wie zwei unabhängige Inverterketten mit zueinander negiertem Eingangssignal dargestellt werden. Dabei ist es besonders wichtig, dass die Durchlaufzeiten beider Delay-Lines möglichst identisch ist. Dazu können Schaltungsstrukturen zur Kreuzkopplung zwischen den beiden invertiert zueinander laufenden Inverterketten geschaltet werden. Darüber hinaus ist auch auf ein auf Matching optimiertes Layout zu achten, um eine gute Symmetrie zu erhalten. Alle Flipflops, welche an Inverter angeschlossen sind, die bereits von dem Start-Puls durchlaufen worden sind, besitzen eine logische Eins am Ausgang. Alle anderen Flipflops besitzen eine logische Null am Ausgang, wodurch sich das Messintervall  $\Delta T$  aus der Multiplikation der Durchlaufzeit eines Inverters mit der Anzahl  $n$  der durchlaufenen Elemente ergibt. Die Auflösung  $T_{LSB,IB-TDC}$  entspricht der Verzögerung eines Inverters  $t_d^{Inverter}$ .

$$\Delta T = n \cdot T_{LSB,IB-TDC} \quad (2.26)$$

Beim Inverter-basierten TDC entspricht die Anzahl  $N$  an Elementen in beiden Delay-Lines dem Quotienten aus dem maximal zu messenden Zeitintervall und der Verzögerung eines Inverters.

$$N = \frac{\Delta T}{T_{LSB,IB-TDC}} = \frac{\Delta T}{t_d^{Inverter}} \quad (2.27)$$

### 3.2 Time-to-Digital Converter mit Sub-Gate-Delay Auflösung

Die Auflösung eines Time-to-Digital Converter wie dem BB-TDC oder dem IB-TDC wird durch die Durchlaufzeit bzw. das Gate-Delay eines bzw. zweier Inverter bestimmt. Das minimale Gate-Delay wiederum ist eine Eigenschaft der verwendeten CMOS Technologie und kann nicht ohne Wechsel zu einem CMOS Prozess mit kleinerer Strukturgröße unterschritten werden. Für die Kategorisierung der Leistungsfähigkeit der verwendeten Interpolationstechnik wird der Interpolationsfaktor  $IF$  verwendet. Dieser beschreibt das Verhältnis der erzielten Auflösung im Vergleich zum minimalen Delay eines Inverters  $t_{d,min}^{Inverter}$ , hier auch  $t_{tech}$  genannt.

$$IF = \frac{t_{tech}}{T_{LSB}} \quad (3.1)$$



Zur Definition der technisch kleinstmöglichen Verzögerungszeit eines Inverters wird das Fan-Out-2 Delay herangezogen [6, S. 70]. Hierbei wird ein Inverter gegebener Treiberstärke am Ausgang mit einem Inverter doppelter Treiberstärke belastet und am Eingang von einem Inverter halber Treiberstärke angesteuert. Im 350 nm Prozess L035 der Firma Elmos ergibt sich ein Fan-Out-2 Wert von etwa 125 ps. Im Falle der ToF-Kamera ist die Auflösung des TDC gleichstehend mit der Genauigkeit der Distanzbestimmung.

### 3.2.1 Vernier TDC

Ein Lösungsansatz für eine Auflösung im Sub-Gate-Delay Bereich bietet der Vernier TDC. Wie in Abbildung 3.6 gezeigt, verfügt dieser über zwei Delay-Lines mit unterschiedlich eingestellten Durchlaufzeiten. Die langsamere DL wird vom Start-Signal und die schnellere DL vom Stopp-Signal durchlaufen. Die langsamere DL wird vom Start-Signal und die schnellere DL vom Stopp-Signal durchlaufen.

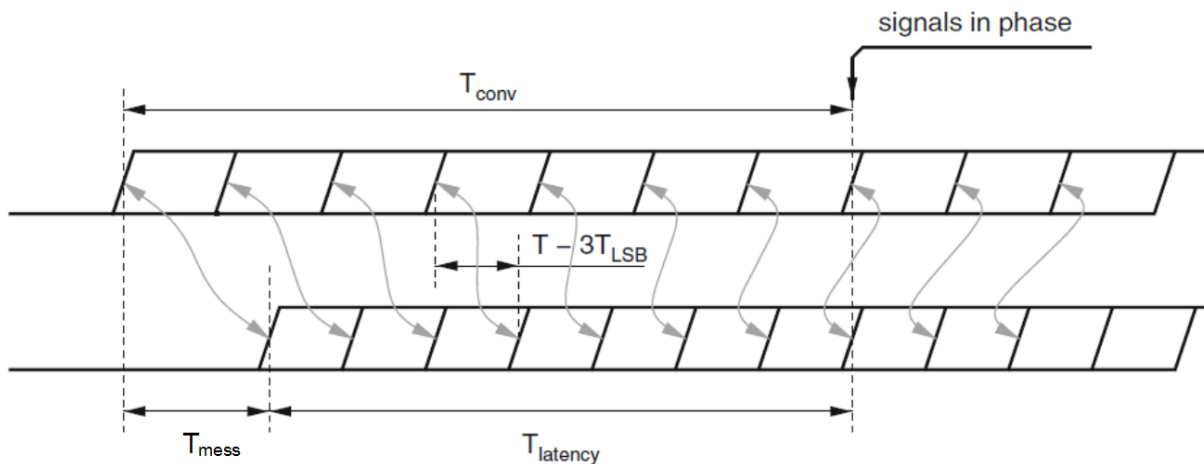


Abbildung 3.6: Funktionsschema des Vernier TDCs [6, S. 75].

Aufgrund der kürzeren Verzögerungszeit wird der Low-High-Wechsel der Stopp-DL den Low-High-Wechsel der langsameren Start-DL bei Element  $n$  einholen. Zu diesem Zeitpunkt gilt:

$$n \cdot t_{d1} = T_{mess} + n \cdot t_{d2} \quad (3.2)$$

Durch die einfache Umformung ergibt sich für die Messzeit  $T_{mess}$ :

$$T_{mess} = n \cdot (t_{d1} - t_{d2}) \quad (3.3)$$

Die Auflösung des TDC wird dementsprechend aus der Differenz der Verzögerung der ersten Delay-Line  $t_{d1}$  und der Verzögerung der zweiten Delay-Line  $t_{d2}$  definiert.

$$T_{LSB, Vernier} = t_{d1} - t_{d2} \quad (3.4)$$

Im Beispiel aus Abbildung 3.6 hat die Stopp-DL die Start-DL nach Element Sieben eingeholt. Somit entspricht das Messintervall  $T_{mess} = 7 \cdot T_{LSB, Vernier}$ .

Da in diesem Verfahren die Auflösung mit der Differenz der verschiedenen Durchlaufzeiten der Buffer beider Delay-Lines definiert wird, steigt auch die Auswertzeit (conversion time) an. Bis das Ergebnis der Messung an den Flipflops vorliegt, vergeht die Zeit  $T_{conv}$ .

$$T_{conv} = \frac{T_{mess}}{T_{LSB}} \cdot t_{d1} = \frac{t_{d1}}{t_{d1} - t_{d2}} \cdot T_{mess} \quad (3.5)$$

Das entspricht einer Latenzzeit nach Erscheinen des Stopp-Events von  $T_{latency}$ .

$$T_{latency} = T_{conv} - T_{mess} = \frac{T_{mess}}{T_{LSB}} \cdot t_{d2} = \frac{t_{d2}}{t_{d1} - t_{d2}} \cdot T_{mess} \quad (3.6)$$

Mit geringer werdender Auflösung steigt auch die Anzahl an Elementen in der Vernier-Delay-Line proportional an. Die benötigte Anzahl  $N$  an Elementen ergibt sich aus dem Quotienten des maximal zu messenden Zeitintervalls  $T_{mess, max}$  und der Auflösung  $T_{LSB, Vernier}$ .

$$N = \frac{T_{mess, max}}{T_{LSB, Vernier}} \quad (3.7)$$

In Abbildung 3.7 ist eine Implementierung mit einem D-Flipflop als Bindeglied zwischen den beiden Delay-Lines gezeigt. Die Buffersignale der langsamen Delay-Line sind dabei mit den Dateneingängen und die Buffersignale der schnellen Delay-Line mit den Clockeingängen der Flipflops verbunden. Anhand der Signalverläufe ist zu erkennen, dass mit jeder Bufferstufe die Differenz zwischen der steigenden Flanke der Start-DL und der steigenden Flanke der Stopp-DL um  $T_{LSB, Vernier}$  abnimmt. Solange die langsamere Delay-Line der schnelleren vor-eilt, werden die Flipflops eine logische Eins mit der steigenden Flanke des Clockeingangssignals speichern. Sobald die schnellere Verzögerungskette die langsamere eingeholt hat, ist

dies durch eine logische Null am Ausgang der Flipflops zu erkennen. Das gemessene Zeitintervall  $T_{mess}$  ergibt sich aus der Auflösung multipliziert mit der Anzahl  $n$  der Flipflops, welche auf logisch Eins umgeschaltet haben.

$$\Delta T = n \cdot T_{LSB, Vernier} = n \cdot t_{d1} - t_{d2} \tag{3.8}$$

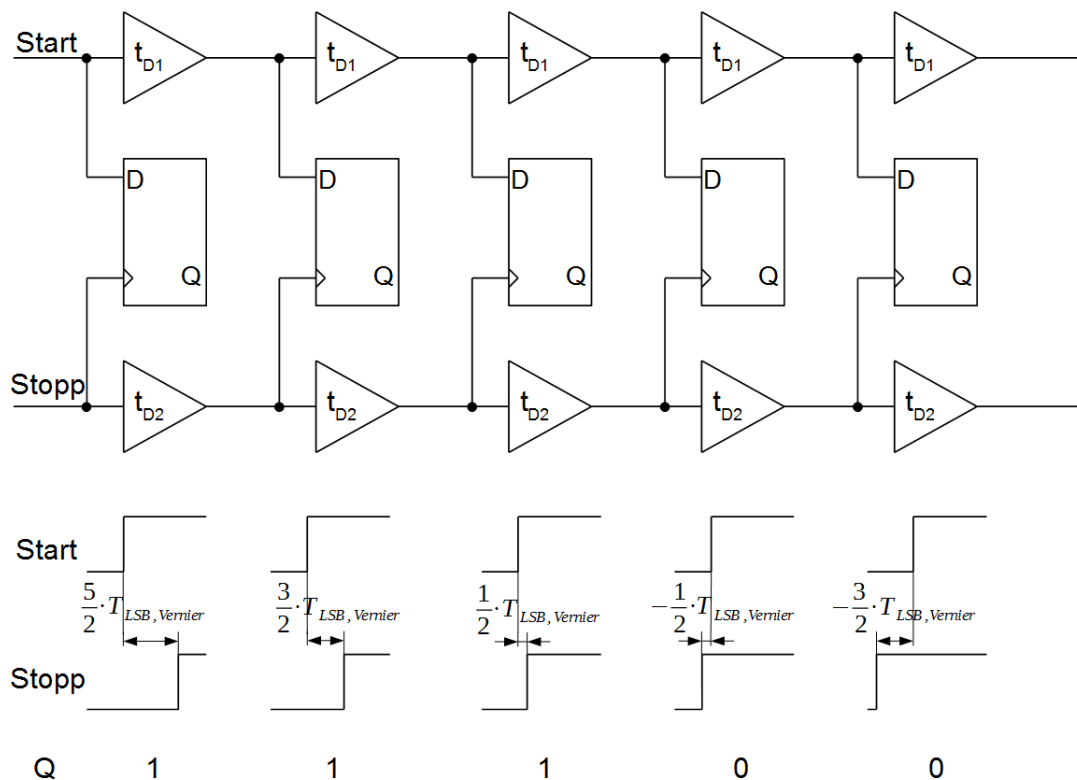


Abbildung 3.7: Vereinfachte Darstellung des Vernier TDC.

Der Vorteil des Vernier TDC ist, dass die Auflösung  $T_{LSB, Vernier}$  theoretisch beliebig klein gewählt werden kann. Allerdings können reale TDC aufgrund von Mismatch innerhalb der Verzögerungsketten keine unendlich kleinen Auflösungen erzielen. Außerdem werden aufgrund der zwei unterschiedlich schnellen Delay-Lines zwei Delay-Locked Loops für die Regelung benötigt und ein zusätzlicher Platz- und Leistungsbedarf entsteht. Ein Nachteil des Vernier TDC liegt in der hohen Konvertierungs- bzw. der zusätzlichen Latenzzeit, was jedoch im Zusammenhang mit der anvisierten Time-of-Flight Anwendung kein Problem darstellt, da Intervalle von mindestens einer Mikrosekunde zwischen den Zeitmessungen liegen. Bei einer Auflösung von ca. 100 ps und einer Durchlaufzeit von maximal einer Nanosekunde pro Buffer ergibt dies für Zeitmessungen von bis zu 50 ns eine Latenzzeit von 500 ns. Bei kleineren Auflösungen kann die Konvertierungszeit jedoch problematisch werden und das System zusätzlich verlangsamen.

### 3.2.2 Local Passive Interpolation TDC

Ein anderer Ansatz, welcher ebenfalls TDC Anwendungen mit Sub-Gate-Delay Auflösungen ermöglicht, ist die Local Passive Interpolation (LPI). Diese Architektur verwendet im Gegensatz zum Vernier TDC nur eine einzige Verzögerungskette. Dabei werden Interpolationselemente zwischen den Ein- und Ausgang der Verzögerungszellen platziert, wodurch weitere zu einander verzögerte Signale entstehen, welche für Vergleiche herangezogen werden können. Eine Implementationsmöglichkeit besteht in der Verwendung differentieller Inverter, bei denen mehrere Widerstände zwischen den Ein- und Ausgängen geschaltet werden, wodurch der Abgriff und Vergleich weiterer Spannungssignale ermöglicht wird. Wie in Abbildung 3.8 dargestellt, wird das Start-Signal auf einen Splitter gegeben. Dieser erzeugt zwei zueinander invertierte synchrone Signale, welche an den Eingängen eines differentiellen Inverters angeschlossen sind. Die Verzögerungskette ist so aufgebaut, dass die Interpolationswiderstände jeweils zwischen den Ausgängen der Verzögerungselemente gleicher Polarität angeschlossen sind. Dementsprechend befindet sich eine Widerstandskette jeweils zwischen den zwei nicht-invertierten Ausgängen zweier Verzögerungselemente, wodurch die zusätzlichen Signale  $R_i$  und  $F_i$  entstehen. In diesem Aufbau ist bei positivem Flankenwechsel des Start-Signals der Durchlauf des Low-High Übergangs an den Ausgängen  $R_i$  sowie des High-Low Übergangs an den Ausgängen  $F_i$  zu beobachten. Das bedeutet, dass vor jeder Zeitmessung des TDC alle Signale  $R_i$  eine logische Null und alle Signale  $F_i$  eine logische Eins besitzen. Hat allerdings der Flankenwechsel des Start-Signals bereits die Verzögerungskette durchlaufen, so haben die Signale  $R_i$  eine logische Eins und die Signale  $F_i$  eine logische Null angenommen.

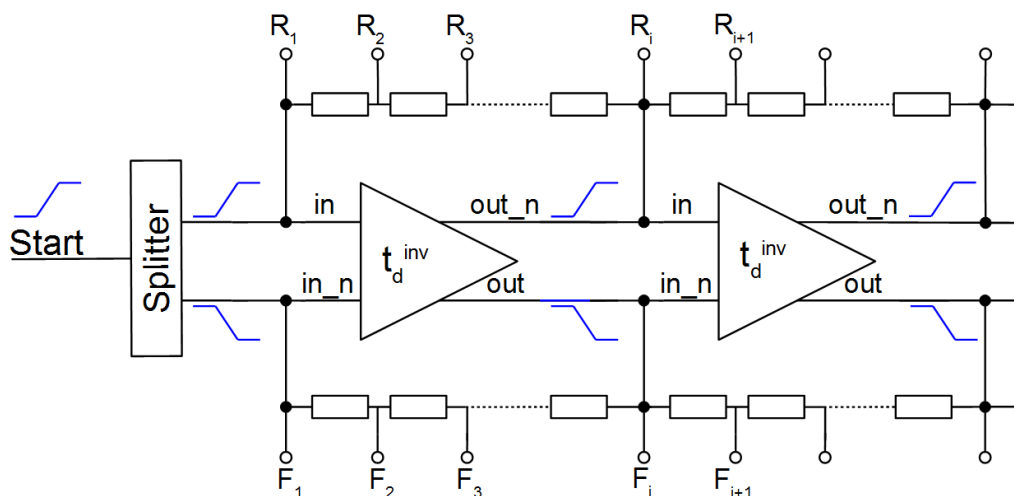


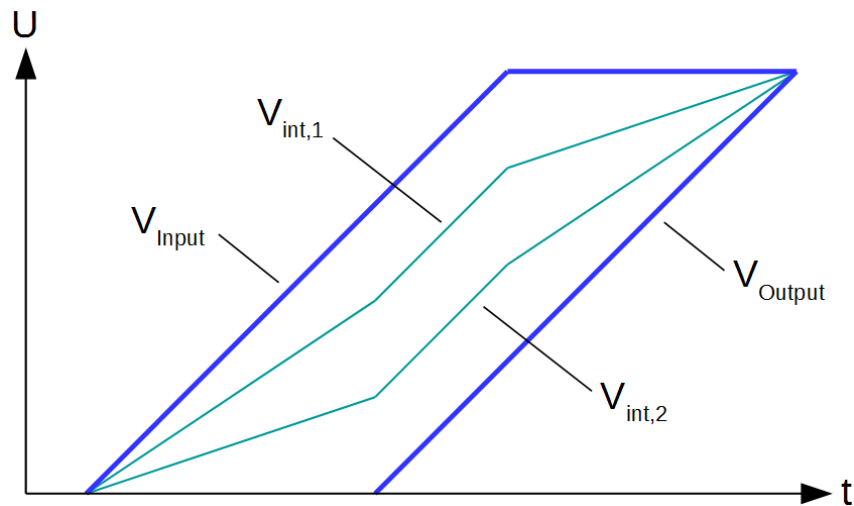
Abbildung 3.8: Funktionsprinzip des Local Passive Interpolation TDC [6, S. 87].

Die interpolierte Spannung  $V_{int,i}$  ergibt sich aus den zueinander verzögerten nicht-inversen Signalen  $V_{Input}$  und  $V_{Output}$  am Eingang und Ausgang eines differentiellen Inverters sowie der Anzahl an Interpolationswiderständen  $n_{Res}$ .

$$V_{int,i} = V_{Output} + \frac{n_{Res}-i}{n_{Res}} \cdot (V_{Input} - V_{Output}) \quad \text{mit } i = 1 \dots n_{Res}-1 \quad (3.9)$$

Hierbei entspricht  $V_{int,0}$  der Eingangsspannung  $V_{Input}$  und  $V_{int,n_{Res}}$  der Ausgangsspannung  $V_{Output}$ . In Abbildung 3.9 sind die interpolierten Spannungen der Signale  $R_i$  mit drei Interpolationswiderständen dargestellt. Der Interpolierungsfaktor IF wird hierbei aus der Anzahl der Interpolationswiderstände mit  $IF = n_{Res}$  bestimmt. Die Auflösung ergibt sich anhand des Interpolationsfaktors und der Verzögerung des differentiellen Inverters  $t_d^{Inv}$ .

$$T_{LSB, LPI TDC} = \frac{1}{IF} \cdot t_d^{Inv} \quad (3.10)$$



**Abbildung 3.9:** Interpolierte Spannungskurven mit drei Interpolationswiderständen.

Wie bereits erwähnt, haben die Signale  $R_i$  und  $F_i$  vor Eintreffen des Start-Events die Werte  $R_i=0$  und  $F_i=1$ , und nachdem der Flankenwechsel des Start-Signals die Inverterkette durchlaufen hat, die Werte  $R_i=1$  und  $F_i=0$ . Das bedeutet, dass ein Vergleich der Werte  $R_i$  und  $F_i$  zum Stopp-Zeitpunkt die Information enthält, ob der Flankenwechsel des Start-Events bereits das Element  $i$  erreicht hat. Für den Fall, dass  $R_i > F_i$  an Element  $i$  ist, gilt der



Das zu messende Zeitintervall  $T_{mess}$  ergibt sich aus dem Produkt der Anzahl  $n$  an Komparatoren, deren Ausgang  $Q$  auf logisch Eins ist, mit der Auflösung  $T_{LSB, LPI TDC}$  des TDC.

$$T_{mess} = n \cdot T_{LSB, LPI TDC} = n \cdot \frac{1}{IF} \cdot t_d^{Inv} \tag{3.11}$$

Im Gegensatz zum Vernier-Funktionsprinzip steigt die Anzahl benötigter Inverter in diesem Verfahren nicht an. Es muss lediglich das maximale Zeitintervall, welches gemessen werden soll, mit der Delay-Line abgedeckt werden.

$$N = \frac{T_{mess, max}}{t_d^{Inv}} = \frac{1}{IF} \cdot \frac{T_{mess, max}}{T_{LSB, LPI TDC}} \tag{3.12}$$

Ein weiterer Vorteil des LPI TDC ist die geringe Auswertzeit ohne zusätzliche Latenz.

$$T_{conv} = \Delta T \tag{3.13}$$

Das Interpolationsverfahren birgt jedoch auch Nachteile. Zum einen werden für eine gute Linearisierung der interpolierten Spannungskurven geringe Widerstandswerte benötigt, was zu hohen Querströmen über den Elementen führt. Des Weiteren ist die Auflösung von der Verzögerungszeit des differentiellen Inverters abhängig und deswegen im Gegensatz zum idealen Vernier TDC limitiert. Für hohe Auflösungen muss also ein sehr schneller differentieller Inverter genutzt werden, der wiederum eine erhöhte Leistungsaufnahme mit sich bringt.

### 3.3.3 Pulse-Shrinking TDC

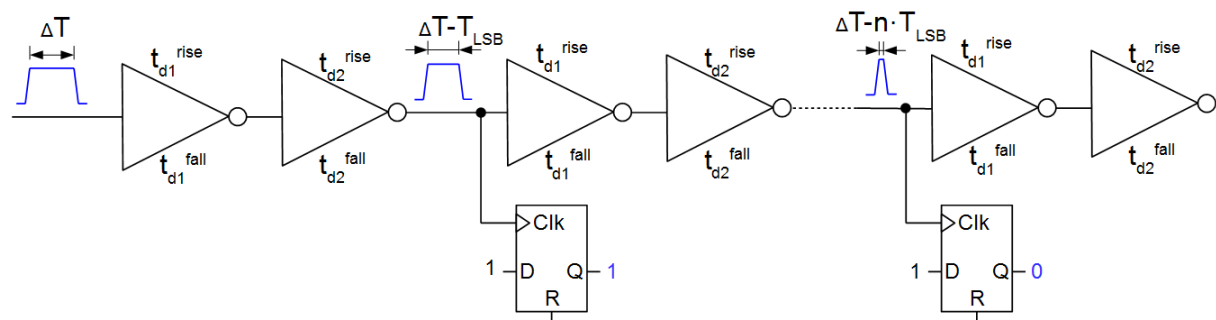


Abbildung 3.11: Implementierung eines Pulse-Shrinking TDC.

Ein weiterer Ansatz mit Sub-Gate-Delay Auflösung bietet der Pulse-Shrinking TDC (PS-TDC). Bei diesem Verfahren wird mittels der Anstiegs- oder Abfallzeiten von Invertern die Pulsbreite eines Messintervalls  $T_{mess}$  nach jedem Buffer um eine Auflösungsstufe  $T_{LSB, PSTDC}$  verkürzt. Dieser Puls wird so oft um eine Auflösungsstufe verkürzt, bis er schließlich nicht mehr detektiert wird. Dabei kann anhand der Anzahl durchlaufener Buffer  $n$  und der Auflösung  $T_{LSB, PSTDC}$  die ursprüngliche Länge berechnet werden.

$$T_{mess} = n \cdot T_{LSB, PSTDC} \quad (3.14)$$

Eine Implementierung eines PS TDC ist in Abbildung 3.11 dargestellt. Das Signal mit der Pulsdauer  $T_{mess}$  wird auf die Delay-Line gegeben. Nach jedem Buffer wird die Dauer des Messsignals um  $T_{LSB}$  verringert, bis der Puls letztendlich so schmal wird, dass er von der Auswertelogik nicht mehr erkannt wird. Nach jedem Buffer ist der Clock-Eingang eines D-Flipflops angeschlossen. Am Dateneingang liegt dauerhaft eine logische Eins an. Hat der Puls an Element  $i$  noch eine ausreichende Breite, schaltet das D-Flipflop auf High um. Durch die Anzahl der Flipflops mit High-Zustand und der Auflösung des Systems kann die Dauer des Messsignals mithilfe der Gleichung 3.11 berechnet werden. Die benötigte Anzahl der Elemente wird aus dem Quotienten des maximalen Messintervalls  $T_{mess, max}$  mit der Auflösung  $T_{LSB, PSTDC}$  bestimmt.

$$N = \frac{T_{mess, max}}{T_{LSB, PSTDC}} \quad (3.15)$$

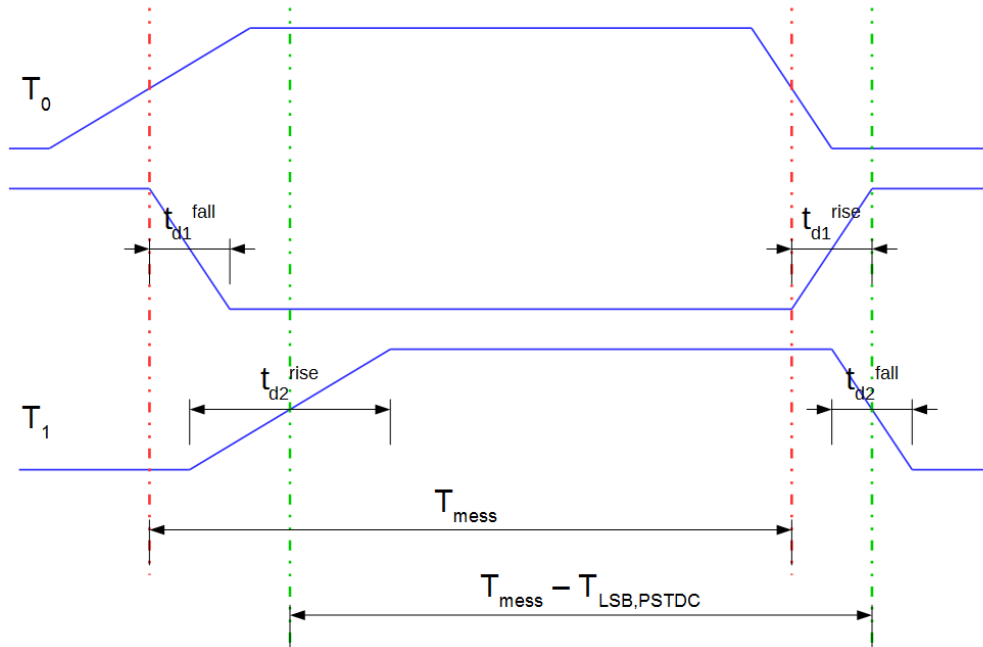
In Abbildung 3.12 ist die Pulsverringering anhand des Eingangssignals  $T_0$  und dem Ausgangssignal  $T_1$  eines Buffer veranschaulicht. Alle Anstiegs- und Abfallzeiten der Buffer bis auf die Anstiegszeit des zweiten Buffer seien identisch. Dadurch wird der Puls  $T_{mess}$  nach jedem Buffer um  $t_{d2}^{rise} - t_{d1}^{rise}$  verkürzt. Werden zusätzlich noch unterschiedliche Anstiegszeiten verwendet, ergibt sich für die Auflösung der folgende Zusammenhang.

$$T_{LSB, PSTDC} = t_{d2}^{rise} - t_{d1}^{rise} + t_{d1}^{fall} - t_{d2}^{fall} \quad (3.16)$$

Das Messintervall  $T_{mess}$  an  $T_0$  wird also am Ausgang  $T_1$  um eine Zeitdauer verkürzt, die der Auflösung des Systems entspricht. Unterschiedliche Anstiegs- oder Abfallzeiten können durch die Anpassung der Weite oder Länge des PMOS Transistors bzw. des NMOS Transis-



tors in einem Inverter erzielt werden. Alternativ kann ein Widerstand in Form eines Gate-Drain verbundenen Transistors oder in Form eines weiteren Transistors mit geregelter BIAS-Spannung hinzugefügt werden.



**Abbildung 3.12:** Beispiel der Pulsverringering einer Stufe des PS-TDC [8, S. 81].

Die Auswerte- und Latenzzeit ist viel größer als die eigentliche Messzeit.

$$[6] \quad t_{conv} = \frac{T_{mess}}{T_{LSB}} \cdot (t_{d1}^{fall} + t_{d2}^{rise}) \quad (3.17)$$

$$[6] \quad t_{latency} = \frac{T_{mess}}{T_{LSB}} \cdot (t_{d1}^{rise} + t_{d2}^{fall}) \quad (3.18)$$

Da die Variation der Anstiegs- oder Abfallzeiten beispielsweise durch die Wahl unterschiedlicher W/L-Verhältnisse eingestellt wird, ist der Pulse-Shrinking TDC sehr stark von Prozessschwankungen und Mismatch betroffen, was zu hohen INL- und DNL-Werten führt. Des Weiteren ergeben sich keine Vorteile bezüglich der Auflösung und der Auswertungsgeschwindigkeit im Vergleich zu anderen TDC Architekturen. Aus diesem Grund wird dieses Verfahren nicht weiterführend für die Umsetzung eines TDC in Sub-Gate-Delay Auflösung betrachtet.

## 4 Entwicklung und Analyse eines Vernier TDC

Aufgrund der theoretisch beliebig hohen Auflösung eines Vernier TDC und der Tatsache, dass große Latenzzeiten im Kontext der ToF Anwendung für Auflösungen von bis zu 50 ps keine Probleme darstellen, wird der in Kapitel 3.2.1 vorgestellte Vernier TDC mit Sub-Gate-Delay Auflösung näher betrachtet und in der Synopsys-Entwicklungsumgebung untersucht. Nachfolgend werden mehrere Komparatoren und ein Delay-Element für die Vernier-Delay-Line beschrieben. Zum Schluss erfolgt die Analyse des Vernier TDC mit Angabe der INL- und DNL-Werte. Im Anhang unter Kapitel 9.2 ist das TCL-Skript beschrieben, welches die Untersuchung des TDC stark vereinfacht.

Die Analyse schließt die Untersuchung von Prozessvariationen im Rahmen von Corner und Monte-Carlo Simulationen ein. Bei einer Corner-Analyse werden die Parameter aller verwendeten Bauteile in gleicher Weise verändert, um den Einfluss von globalen Prozessvariationen zu erkennen. Das Corner Mapping sieht wie folgt aus:

- C0: typical
- C1: fast nmos, fast pmos
- C2: fast nmos, slow pmos
- C3: slow nmos, fast pmos
- C4: slow nmos, slow pmos

Des Weiteren gibt es noch Corner C5 und C6, bei denen die im Prozess benutzten Kapazitäten und Widerstände variiert werden. Eine Abschätzung der Homogenität der Delay-Line ist durch eine Monte-Carlo Simulation möglich. Bei dieser Simulation werden neben den globalen Variationen (Corner) auch lokale Variationen berücksichtigt. Dazu werden lokale Variationen für alle Bauteile zufällig verteilt, was z.B. zu einer leicht unterschiedlichen Verzögerung der Inverter untereinander führt.

### 4.1 Untersuchung geeigneter Komparatoren

An dem Komparator, der im vereinfachten Schaltbild in Abbildung 3.7 als D-Flipflop dargestellt ist, werden hohe Anforderungen in Bezug auf seine Reaktionsgeschwindigkeit gestellt. Dabei stellen die sehr kurz aufeinanderfolgenden Signaländerungen am Daten- und Clock-Eingang die größte Herausforderung dar. Reagiert der Komparator nicht ideal, kann das Aus-

gangssignal verfrüht oder verspätet umschalten und dadurch die berechnete Messzeit verfälschen.

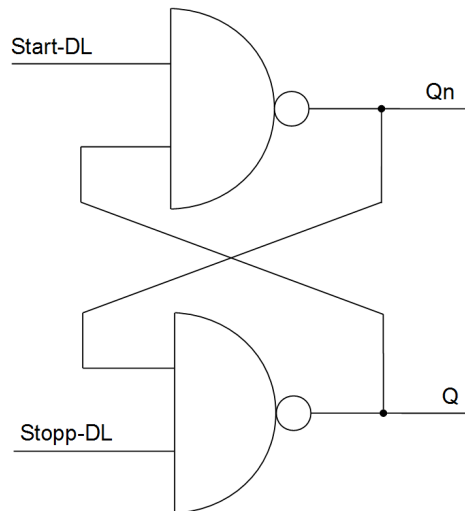
Weitere Probleme entstehen durch spannungsgesteuerte Verzögerungselemente, die durch eine variable Versorgungsspannung geregelt werden. Im Vernier-Verfahren werden zwei unterschiedlich schnelle Delay-Lines genutzt, welche aufgrund der unterschiedlich hohen Versorgungsspannungen auch Ausgangssignale mit unterschiedlich hohen Spannungen generieren. Durch die unsymmetrische Ansteuerung mit unterschiedlich hohen Eingangssignalen kommt es zu weiteren Messfehlern, da die Komparatoreingänge symmetrisch sind und bei identischer Spannungsschwelle schalten. Deshalb empfiehlt es sich, einen Inverter zu nutzen, dessen Verzögerung nicht durch die Versorgungsspannung geregelt wird und dadurch immer gleich hohe Ausgangssignale erzeugen.

In den folgenden Abschnitten werden verschiedene Komparatoren auf ihre Eignung untersucht. Dazu gehören das Standard-D-Flipflop aus der LU35C Bibliothek, einem Latch bestehend aus NAND-Gattern und zwei differentielle Komparatoren, wobei einer mit und einer ohne Flankenerkennung arbeitet.

#### **4.1.1 D-Flipflop aus der Bibliothek LU35C**

Bei dem D-Flipflop aus der Bibliothek LU35C handelt es sich um ein nicht-differentielles Bauteil, welches für logische Baugruppen ausgelegt ist. Es handelt sich hierbei also um kein auf Timing optimiertes Bauteil für den Einsatz in einem TDC. Die Flanken der Eingangssignale vom Daten- sowie Clock-Eingang werden nach jedem durchlaufendem Element näher aneinander rücken, bis die Flanke der schnellen Delay-Line die Flanke der langsamen Delay-Line überholt. Anschließend werden die Abstände beider Signalflanken wieder größer. Bei einem realen D-Flipflop kommt es aufgrund von Umladezeiten und nicht-idealem Verhalten der Bauteile zu einem metastabilen Zustand. Zu diesem Zeitpunkt ist ungewiss, ob der Ausgang des Flipflops auf logisch Null oder logisch Eins schaltet. Die Entfernung des metastabilen Zustands vom idealen Umschaltzeitpunkt wird weiterhin als Ungenauigkeit bezeichnet. Simulationen für die Corner c0 bei 30° C zeigen bereits eine Ungenauigkeit von etwa 300 ps, welche für die Anwendung mit einer Zielvorgabe für die Auflösung von mindestens 100 ps zu einem Messfehler von drei LSB-Stufen führt. Der Messfehler würde in den Corner c1-c4 und Monte-Carlo-Simulationen höher ausfallen.

### 4.1.2 Latch mit NAND-Gattern



**Abbildung 4.1:** Latch mit NAND-Gattern [9].

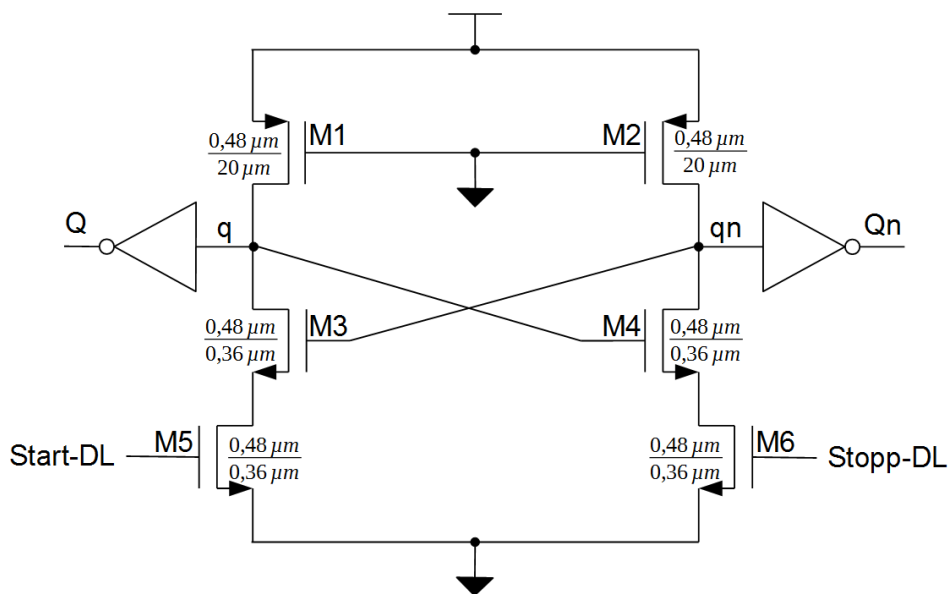
Der in Abbildung 4.1 aufgeführte Latch fungiert als Zeitkomparator. Vor Beginn der Messung hat das Start- und Stopp-Signal eine logische Null. Demzufolge haben Q und Qn eine logische Eins. Erscheint nun der Flankenwechsel der Start-DL vor der Stopp-DL, so wird Qn auf Null wechseln und Q fest bei Eins bleiben. Im Fall, dass das Stopp- das Start-Signal eingeholt hat, wird Qn auf Eins bleiben und Q auf Null wechseln.

Die Ungenauigkeit dieser Schaltung beträgt bei der Prozesscorner c0 und einer Simulationstemperatur von 30°C etwa 50 ps. Dementsprechend trägt der Komparator einen Fehler von einer halben Auflösungsstufe bei.

### 4.1.3 Differentieller Komparator

Der differentielle Komparator aus Abbildung 4.2 führt aufgrund der Kreuzkopplung mithilfe der Transistoren M3 und M4 zu einer geringen Ungenauigkeit. Die Ungenauigkeit ergibt sich aus der Entfernung des realen Umschaltzeitpunktes im Vergleich zum Umschaltzeitpunkt eines idealisierten Komparators. Mit den PMOS Transistoren M1 und M2 wird ein dauerhafter Stromfluss eingestellt. Damit dieser Strom nicht zu hoch ist, werden Transistorlängen von 20  $\mu\text{m}$  gewählt. Vor Beginn der Messung sind M5 und M6 sperrend, und die Potentiale q und qn werden aufgrund des kontinuierlichen Stromes durch M1 und M2 auf VDD aufgeladen. Zwischen q und Q bzw. qn und Qn ist jeweils ein Inverter geschaltet. Somit sind Q und Qn auf Masse-Potential. Die hohen Potentiale an den Knoten q und qn sorgen dafür, dass M3 und

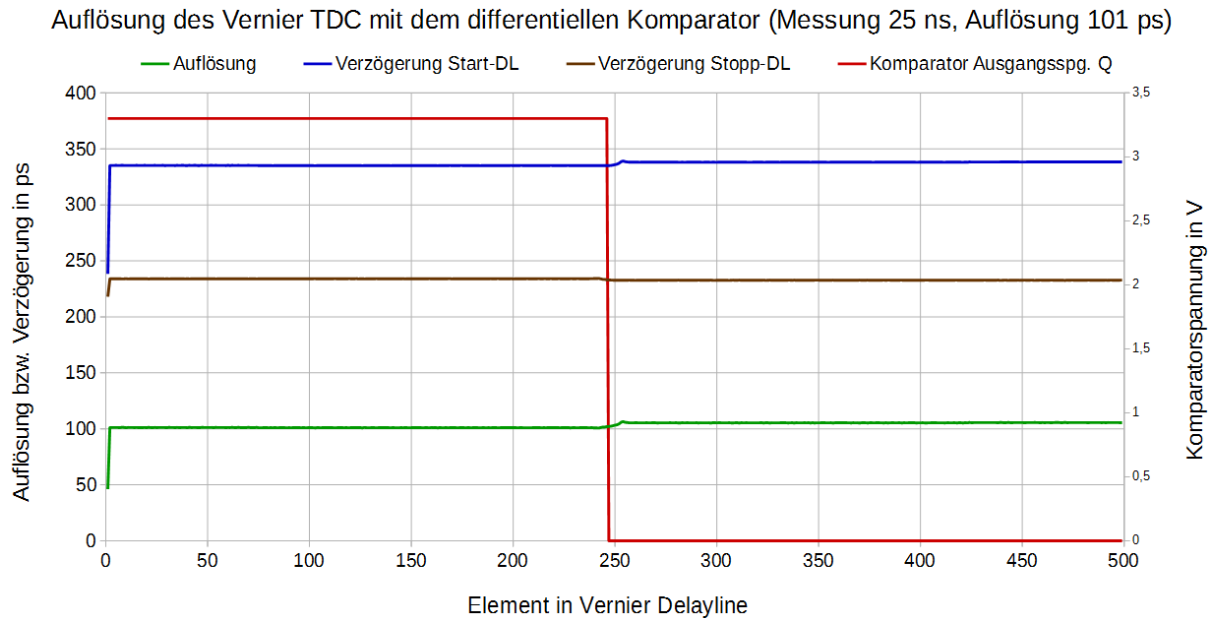
M4 leitend sind. Erscheint die positive Flanke der Start-DL zuerst, wird M5 leitend. Aufgrund des im Vergleich zu M1 höheren Stromflusses durch die Transistoren M3 und M5 kommt es zu einer Entladung von q auf sehr niedrige Spannungen. Als Folge wird Q auf VDD geladen. Da das niedrige Potential q nun M4 sperrt, wird das Erscheinen der positiven Flanke der Stopp-DL das Potential qn nicht mehr beeinflussen. Dadurch wird qn VDD-Pegel bzw. Qn den GND-Pegel beibehalten. Im Fall, dass zuerst die positive Flanke der Stopp-DL eintrifft, wird Qn auf VDD umschalten und Q sein GND-Potential beibehalten.



**Abbildung 4.2:** Differentieller Komparator [10].

Diese differentielle Struktur hat eine sehr geringe Ungenauigkeit, welche selbst unter allen Prozesscorner kleiner als eine Pikosekunde ist. In Abbildung 4.3 ist eine Simulation eines Vernier TDC für eine Messzeit von 25 ns und einer Auflösung von 100 ps dargestellt. Aufgeführt sind die Ausgangssignale, die Verzögerungszeiten und die daraus resultierende Auflösung als Funktion der Ordnungszahl der Komparatorelemente in dem Vernier TDC. Wie in der Abbildung zu sehen, haben Elemente, welche nach Ende des Messzyklusses eine logische 0 am Ausgang besitzen unterschiedliche Verzögerungszeiten und damit auch eine unterschiedliche Auflösung als Elemente mit einer logischen 1 am Ausgang. Hervorgerufen wird dieser Effekt durch die sich verändernden Arbeitspunkte der Eingangstransistoren im Schaltmoment. Insbesondere die Kapazität der Eingangstransistoren, welche von den Eingangssignalen umgeladen werden müssen, hängen von der Phasenlage der Eingangssignale des Komparators ab. Dieser Effekt wirkt bereits bei Elementen, bei denen die schnelle Verzögerungskette die langsame Verzögerungskette noch nicht eingeholt hat, aber lediglich ein kleiner Phasenunterschied vorhanden ist. Dies führt demzufolge zu einem systematischen

Messfehler, der stark von globalen und lokalen Variationen des Prozesses abhängt. Ein weiterer Nachteil dieser Schaltung ist der dauerhafte Stromfluss, der sich aufgrund von M1 und M2 einstellt, nachdem entweder M5 oder M6 leitend ist.



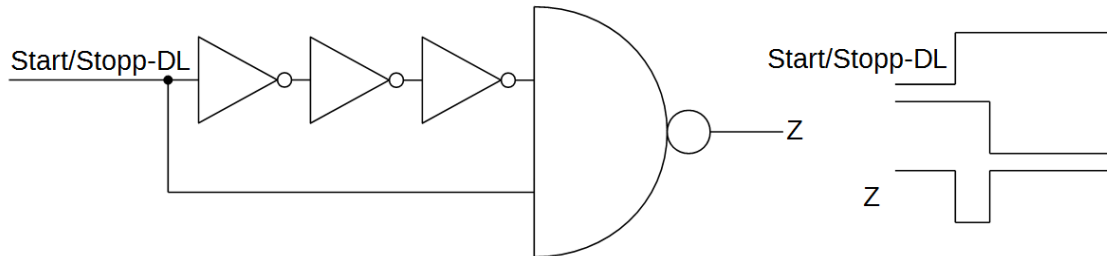
**Abbildung 4.3:** Auflösung des Vernier TDC mit dem differentiellen Komparator bei einer Messung von 25 ns und einer Auflösung von 101 ps.

Für die Simulation der Ergebnisse aus Abbildung 4.3 wird ein CMOS Inverter genutzt, welcher in seiner Versorgungsspannung variabel ist, um seine Verzögerung anzupassen. Das hat zur Folge, dass in diesem Beispiel die Versorgungsspannung der Start-DL bei 2,45 V und der Stopp-DL bei 3,3 V liegt. Dadurch vergleicht der Komparator zwei unterschiedlich hohe Spannungshöhen und fügt der Messung eine systematische Fehlerquelle hinzu. Aufgrund dieses Verhaltens entsteht in der Simulation eine Abweichung von der tatsächlichen Messzeit von etwa 150 ps. Deshalb empfiehlt es sich Inverter zu benutzen, welche nicht über die Versorgungsspannung, sondern über andere Mechanismen in ihrer Verzögerungszeit geregelt werden und damit konstante Ausgangspegel generieren.

#### 4.1.4 Differentieller Komparator mit Flankenerkennung

Um den Einfluss von Übersprecheffekten auszuschließen und eine Entkopplung der Ausgänge der Verzögerungsketten von den Komparatoreingängen zu erzielen, kann der in Abbildung 4.4 dargestellte Flankendetektor eingesetzt werden. Der Komparator wird durch die Nutzung des Flankendetektors lediglich für einen kurzen Zeitraum angesteuert, welcher der

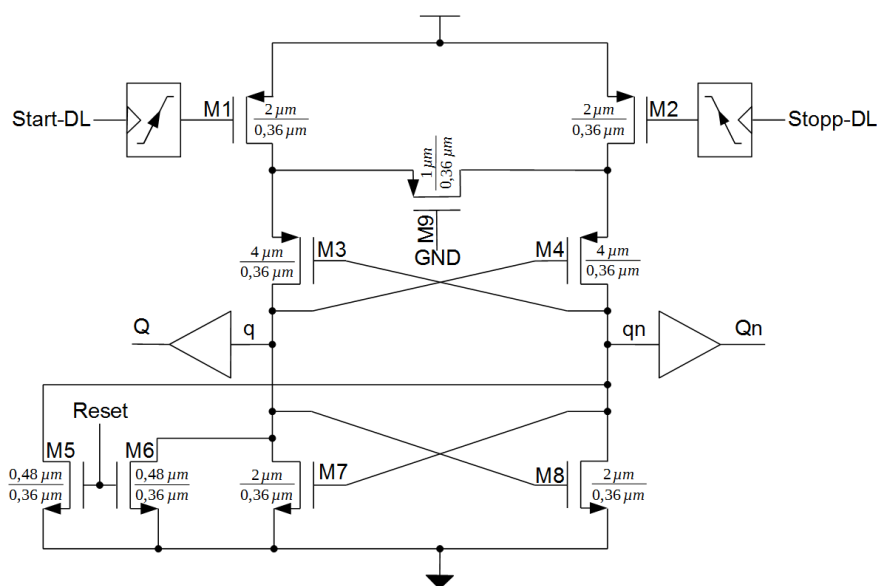
Breite des Ausgangspulses Z entspricht, wodurch sich die Stromaufnahme des Komparators reduziert.



**Abbildung 4.4:** Flankenerkennung für steigende Signale.

Während der Eingang der Flankenerkennung auf Masse ist, wird der Ausgang auf VDD aufgeladen. Findet ein Low-High-Flankenwechsel statt, so wird für die Dauer von einigen Invertdelays der Ausgang Z auf Masse gezogen und anschließend wieder auf VDD aufgeladen. Die Flankenerkennung resultiert aus einer NAND Verknüpfung des verzögerten mit dem nicht-verzögerten Signal.

Der Komparator aus Abbildung 4.5 hat vor den Transistoren M1 und M2 jeweils einen Flankendetektor. Vor Beginn der Messung sind die Z-Ausgänge der Flankendetektoren auf dem Potential VDD, wodurch die Transistoren M1 und M2 sperren. Außerdem wird vor jeder Messung der Komparator mit einem High-Puls auf Reset zurückgesetzt, sodass durch die Transistoren M5 und M6 die Potentiale q und qn auf Masse gezogen werden.



**Abbildung 4.5:** Differentieller Komparator mit Flankenerkennung [11].

Aufgrund des Massepotentials an  $q$  und  $q_n$  sind M7 und M8 gesperrt, während M3 und M4 leiten. Erscheint nun die steigende Flanke der Start-DL vor der steigenden Flanke der Stopp-DL, sorgt der Low-Puls des Flankendetektors an M1 für ein Aufladen des Potentials  $q$ . Nähert sich  $q$  immer mehr VDD an, so wird aufgrund der Kreuzkopplung M4 sperren und M8 leiten. Im Umkehrschluss bedeutet dies, dass das Potential  $q_n$  durch die nachfolgende Flanke der Stopp-DL nicht aufgeladen werden kann und damit auf Masse bleibt. Der Transistor M9 sorgt für einen schnelleren Umladevorgang an den Ausgängen, indem er das Potential auf die jeweils andere Seite überträgt. Bei einem Voreilen der Start-DL wird also Q auf VDD aufgeladen, während Qn auf GND verharrt. Eilt die Start-DL nach, so wird Qn auf VDD aufgeladen und Q auf GND stehenbleiben. Nach der Auswertung aller Komparatoren kann mithilfe eines High-Reset-Pulses die Schaltung zurückgesetzt werden, sodass Q und Qn wieder auf GND-Potential liegen und die Ausgangssituation wieder hergestellt ist.

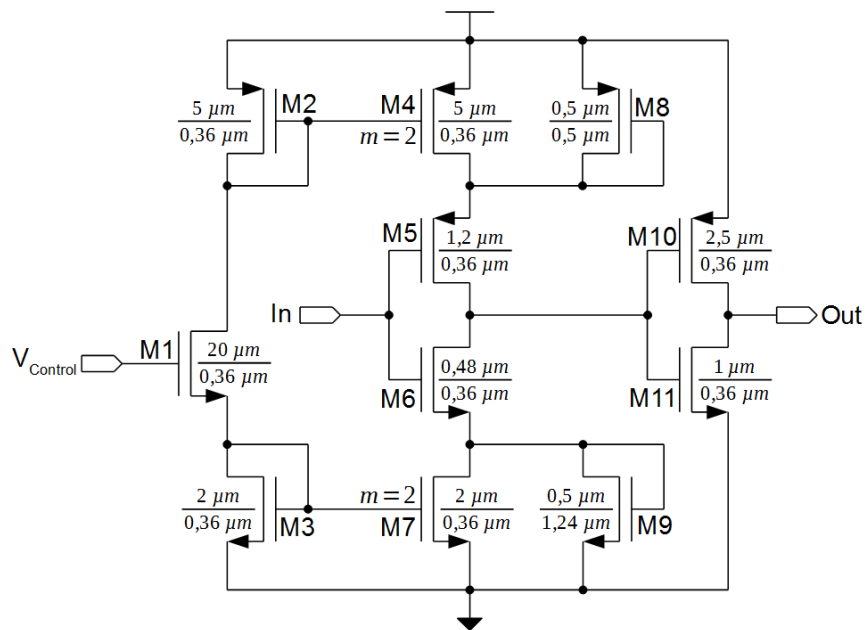
Diese Schaltungsstruktur besitzt für alle Prozesscorner (C0 bis C6) und im Bereich von  $-50^{\circ}\text{C}$  bis  $120^{\circ}\text{C}$  eine Ungenauigkeit von ungefähr einer Pikosekunde. Die Ungenauigkeit mit der Monte-Carlo Simulation (500 Iterationen) samt aller Corner liegt bei 25 ps bei  $-50^{\circ}\text{C}$ , 30 ps bei  $30^{\circ}\text{C}$  und 35 ps bei  $120^{\circ}\text{C}$ . Somit würde im Worst Case diese Schaltung einen Messfehler von maximal 35 ps verursachen. Aufgrund seiner geringen Ungenauigkeit und der geringen Leistungsaufnahme wird der differentielle Komparator mit Flankenerkennung für den Vernier TDC genutzt.

## 4.2 Dimensionierung und Auswertung des Current Starved Inverters

Für den Aufbau des Vernier TDC bietet sich der Current Starved Inverter an, da dieser, bei der in Abbildung 4.6 dargestellten Struktur, nicht in seiner Ausgangsspannungshöhe variiert wird und einen hohen regelbaren Verzögerungsbereich besitzt. Die Current Starved Inverter (CSI) Architektur nutzt die aus Transistor M5 und M6 bestehende Inverterstruktur, wobei der Stromfluss durch den Inverter über den Arbeitspunkt der Transistoren M4 und M7 eingestellt wird. Die Arbeitspunkteinstellung erfolgt dabei über die Transistoren M1 bis M3, wobei M2 und M3 für die Stromspiegelung und M1 als stromeinstellender Transistor verwendet werden. Dabei ist zu beachten, dass M4 und M7 einen Multiplikator von zwei haben, und somit der in M1 eingestellte Strom verdoppelt wird, um eine schnelle Durchlaufzeit zu erzielen. Bei einer geringen Steuerspannung  $V_{Control}$  wird der eingestellte Strom sehr klein werden. Der Stromfluss innerhalb der Inverterstruktur wird dann durch die Gate-Drain verbundenen Transisto-



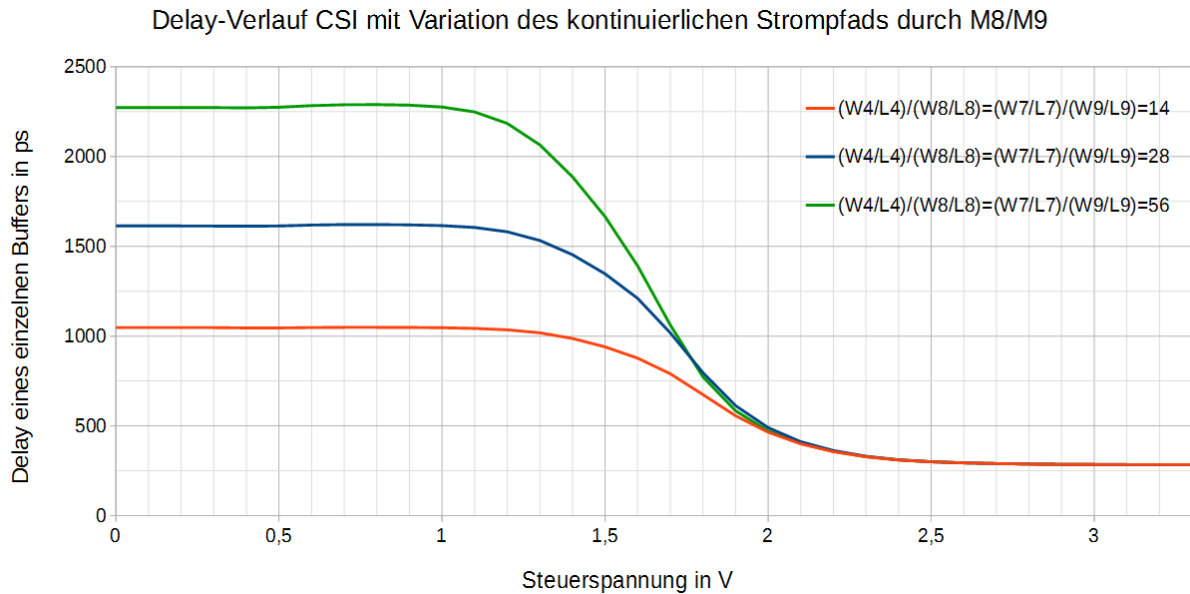
ren M8 und M9 bestimmt, wodurch eine Limitierung der maximalen Verzögerungszeit und eine Linearisierung der Ansteuerkurve des Delayelements erreicht wird. Je nach gewähltem  $(W_4/L_4)/(W_8/L_8)$  bzw.  $(W_7/L_7)/(W_9/L_9)$  Verhältnis entfernt die Ansteuerkurve sich stärker von einer Hyperbelform und geht in eine lineare Funktion außerhalb des Sättigungsbereiches über [12]. Je höher der Stromfluss durch die Gate-Drain verbundenen Transistoren ist, desto stärker wird jedoch der dynamische Bereich einstellbarer Verzögerungszeiten beschränkt. Dieser Zusammenhang ist in Abbildung 4.7 veranschaulicht.



**Abbildung 4.6:** Aufbau des Current Starved Inverter mit Erzeugung der BIAS-Spannungen [13].

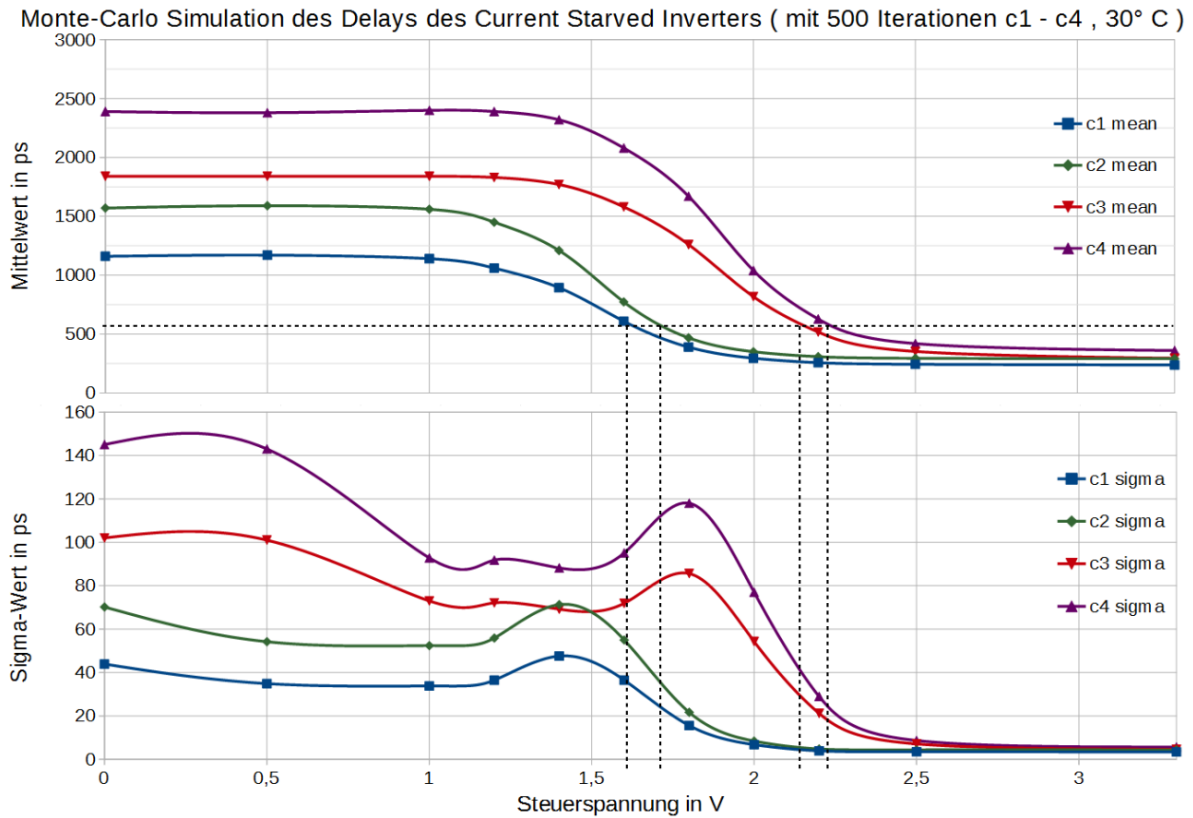
Am Ausgang des Current Starved Inverters ist ein CMOS Inverter angeschlossen, da für das Vernier-Verfahren lediglich Buffer benötigt werden und die Durchlaufzeit eines CMOS Inverters sehr schnell ist.

Unter Berücksichtigung aller Prozesscorner und Prozesstemperaturen im Bereich zwischen  $-50^\circ\text{C}$  und  $120^\circ\text{C}$  ergibt sich ein dynamischer Bereich der Delay-Line für die Transistorgeometrien  $(W_4/L_4)/(W_8/L_8) = (W_7/L_7)/(W_9/L_9) = 28$  zwischen 439 ps und 947 ps. Für Referenzperioden von 40 ns und einem Regelbereich von  $\pm 10\text{ ns}$  muss die Delay-Line also mindestens einen Bereich von 30 ns bis 50 ns abdecken. Bei der Wahl von 65 Elementen in der Delay-Line ergibt dies einen dynamischen Bereich von 28,54 ns bis 61,55 ns. Der RMS-Strom einer Delay-Line beträgt bei einer Steuerspannung von 0 V ca. 180  $\mu\text{A}$  und bei 3,3 V ca. 440  $\mu\text{A}$ .



**Abbildung 4.7:** Delay-Verlauf des Current Starved Inverters mit Variation des kontinuierlichen Strompfads von M8 und M9.

Eine wichtige Eigenschaft der Delay-Line ist die Homogenität, welche mithilfe von Monte-Carlo Simulationen geprüft werden kann. Je höher die Homogenität, desto feiner kann die Auflösung des Vernier TDC eingestellt werden. In Abbildung 4.8 erkennt man den Mittelwert und die Standardabweichung bei variabler Steuerspannung. Die Simulation wird für die Prozesscorner c1 bis c4 durchgeführt. Es werden 500 Iterationen durchlaufen, wodurch der Sigma-Wert eine Abweichung aufweist, die kleiner als  $\pm 5\%$  ist. Die Standardabweichung sigma gibt Auskunft darüber, wie groß die zu erwartenden Variationen der betrachteten Größen sind. 68,27 % aller hergestellten Produkte werden eine Abweichung von  $\leq \pm \sigma$ , 95,45 % eine Abweichung von  $\leq \pm 2\sigma$  und 99,73 % eine Abweichung von  $\leq \pm 3\sigma$  vom Mittelwert der Verteilung aufweisen. Eine Durchlaufzeit von 40 ns bei 65 Elementen entspricht etwa 600 ps pro Element. Die Grenze bei 600 ps ist mithilfe der gestrichelten Linie gekennzeichnet. Anhand dessen ist der Sigma-Wert der einzelnen Corner bei einer Durchlaufzeit von 600 ps abzulesen. Dieser liegt im Bereich von 25 ps bis 35 ps.



**Abbildung 4.8:** Monte-Carlo Simulation des Current Starved Inverters mit variabler Steuerspannung.

Für den Vernier TDC werden zwei DLL benötigt und somit zwei verschiedene Steuerspannungen erzeugt. Für eine Auflösung von 100 ps bei 65 Elementen in der Verzögerungskette wird also eine DLL mit einer Referenzperiode von z.B. 37 ns und eine weitere mit 43,5 ns benötigt. Daraus resultiert für die Start-DL eine Durchlaufzeit von 670 ps und für die Stopp-DL eine Durchlaufzeit von 570 ps. Anhand dessen ergeben sich die in der unteren Tabelle angegebenen Standardabweichungen für die Verzögerungszeiten und Auflösungen des Vernier TDC.

	Start-DL		Stopp-DL		Auflösung			
	Mittelwert in ps	Sigma in ps	Mittelwert in ps	Sigma in ps	Mittelwert in ps	Sigma in ps	Maximum in ps	Minimum in ps
C1	690	41,2	581	34,5	108,7	54,2	295	-60
C2	673	46	571	34,6	101,7	58,6	321	-77
C3	690	39,3	579	27,8	110,9	48,7	302	-33
C4	672	34,2	571	22,8	101	42	267	-27

**Tabelle 4.1:** Mittelwerte und Standardabweichungen beim Vernier TDC.

Die Auflösung variiert im Worst Case mit einem Sigma-Wert von 58,6 ps. Dies kann in Extremfällen zu einer Auflösung von 321 ps oder -77 ps führen. Bei ungünstiger Produktion kann es also sein, dass mehrere Elemente hintereinander sehr hohe Abweichungen im Vergleich zum Mittelwert haben und daraus ein hoher Messfehler resultiert. Die Auswirkungen beeinflussen vor allem den INL-Wert, welcher in Kapitel 4.3 dargestellt ist, womit letztendlich auch ein Maß für den voraussichtlichen Messfehler angegeben ist.

Die Fehlerfortpflanzung der Standardabweichung zweier Fehlerquellen, die im Vernier TDC aus der Standardabweichung der Start- und Stopp-DL bestehen, ergibt sich mit folgender Gleichung:

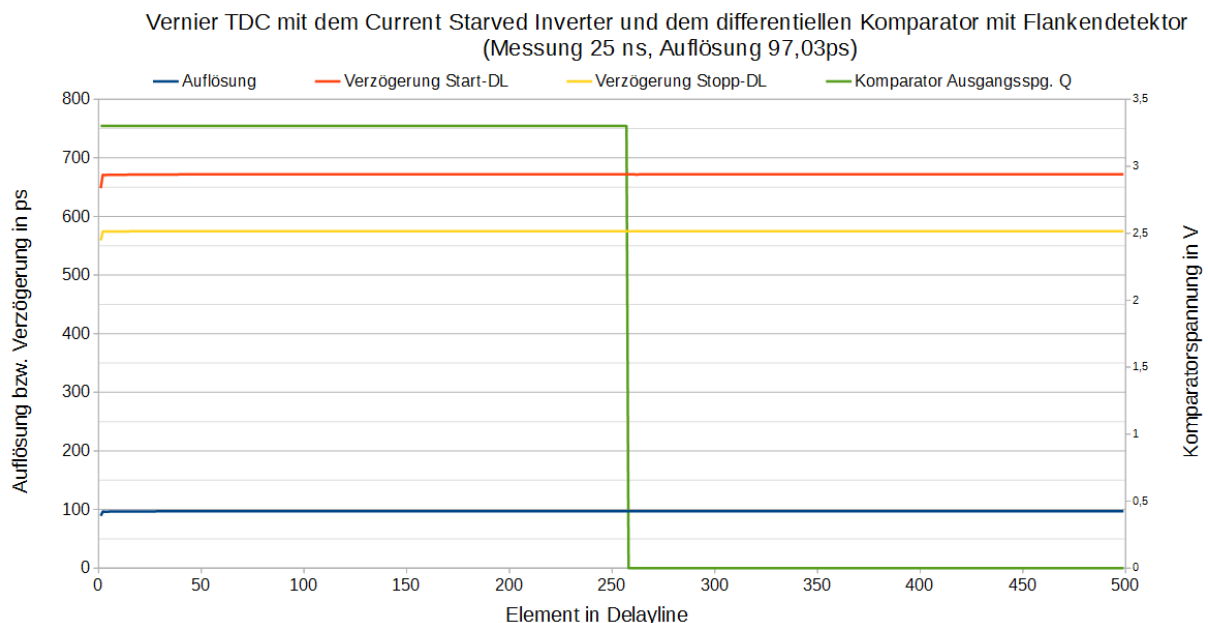
$$\sigma_{LSB} = \sqrt{\sigma_{Start-DL}^2 + \sigma_{Stopp-DL}^2} \quad (4.1)$$

Für Temperaturen von -50° C und einer Durchlaufzeit von 600 ps hat der Current Starved Inverter Sigma-Werte zwischen 40 ps und 50 ps. Demnach ergibt sich im Worst Case eine Standardabweichung  $\sigma_{LSB}$  von ca. 70 ps.

### 4.3 Analyse des Vernier TDC

Der differentielle Komparator mit Flankendetektor bietet von den untersuchten Komparatoren die meisten Vorteile. Er hat eine hohe Genauigkeit bei Corner- und Monte-Carlo-Simulationen und lediglich im Umschaltzeitraum einen Stromfluss. Der Current Starved Inverter ist ein Delayelement, dessen Ausgangssignalpegel nicht von der eingestellten Verzögerungszeit abhängig ist. Somit wird ein systematischer Messfehler am Komparator aufgrund des Vergleichs von Signalen mit unterschiedlicher Spannungspegel vermieden. Ein weiterer Vorteil des CSI ist die Möglichkeit, die maximale Verzögerung bei kleiner Steuerspannung durch die Dimensionierung der Transistoren M8 und M9 einzustellen. Abbildung 4.9 zeigt die Auflösung und die eingestellte Verzögerung der Start- und Stopp-DL am jeweiligen Element der Vernier-Delay-Line ohne Monte-Carlo-Einflüsse. Für alle Prozesscorner (C0 bis C4), also bei globalen Variationen, wird der Graph den dargestellten Verlauf annehmen. Wie der Abbildung zu entnehmen ist, wird, ausgenommen dem ersten Delay-Element, eine konstante Verzögerung für beide Verzögerungsketten eingestellt. Die Abweichung beim ersten Element entsteht durch die im Vergleich zu den anderen Elementen abweichende Ansteuerung durch ein D-Flipflop. Das D-Flipflop weist andere Anstiegs- und Abfallzeiten und eine andere Treiberstärke als die Inverter der Verzögerungskette auf. Aufgrund dieser Unterschiede weicht die Auflö-

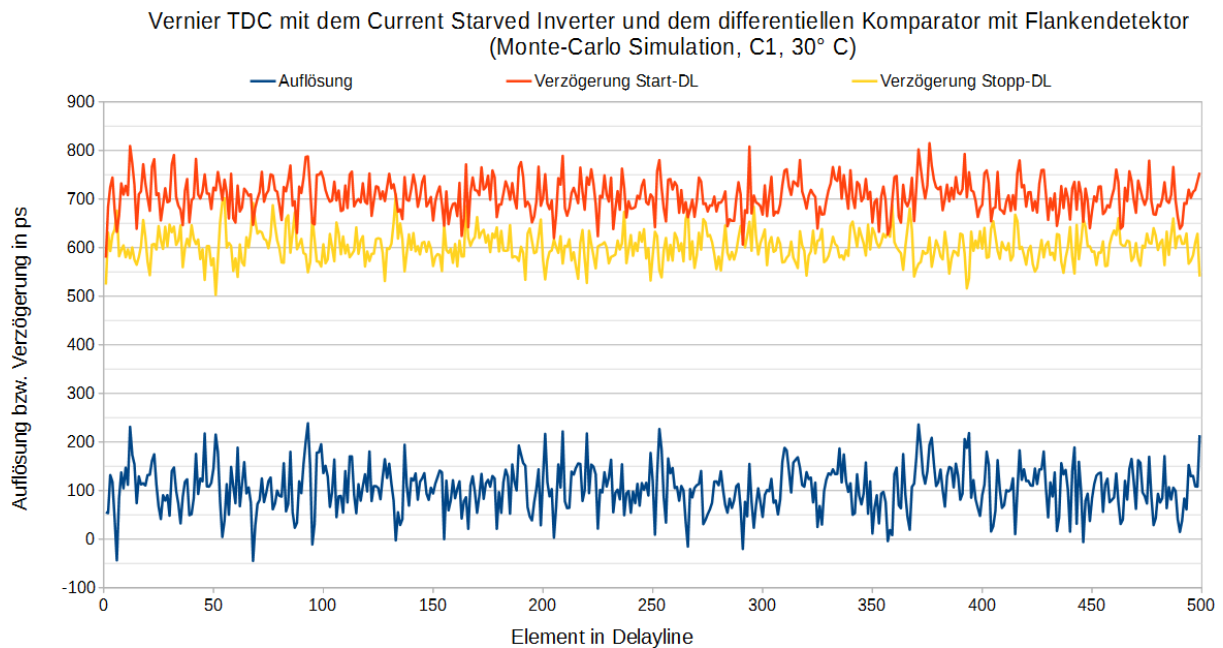
sung des ersten Elements leicht ab. Des Weiteren ist in Abbildung 4.9 eine Zeitintervallmessung mit einem Intervall zwischen Start und Stopp von 25 ns bei einer Auflösung von 97,03 ps dargestellt. Dank des Einbaus des differentiellen Komparators mit Flankenerkennung verändern sich die Verzögerungszeiten der Delay-Lines vor und nach dem Überholvorgang des Stopp-Signals nicht. An Hand der dargestellten Ausgangsspannung der Komparatorausgänge Q ist auch die aufgenommene Messzeit ablesbar. Bis einschließlich Element 257 ist der Ausgang auf VDD, alle nachfolgenden Elemente sind auf GND. Dies entspricht einem gemessenen Zeitintervall von  $257 \cdot 97,03 \text{ ps} = 24,937 \text{ ns}$ . Es ergibt sich also eine Abweichung von 63 ps. Dieser Wert ist kleiner als die anvisierte Auflösung und erfüllt damit die Spezifikation. In dieser Simulation hat  $\sigma_{DNL}$  den Wert 0,0037 LSB. Dieser Wert ist zum einen der abweichenden Auflösung des ersten Elements und zum anderen der Simulationsungenauigkeit geschuldet. Die Standardmessabweichung  $\sigma_{INL}$  beträgt etwa 0,097 LSB, wodurch ein möglicher Messfehler von  $3\sigma_{INL}$  bzw. 30 ps vorliegen kann.



**Abbildung 4.9:** Auflösung und Verzögerungszeiten der Vernier DL mit dem Current Starved Inverter und dem differentiellen Komparator mit Flankendetektor.

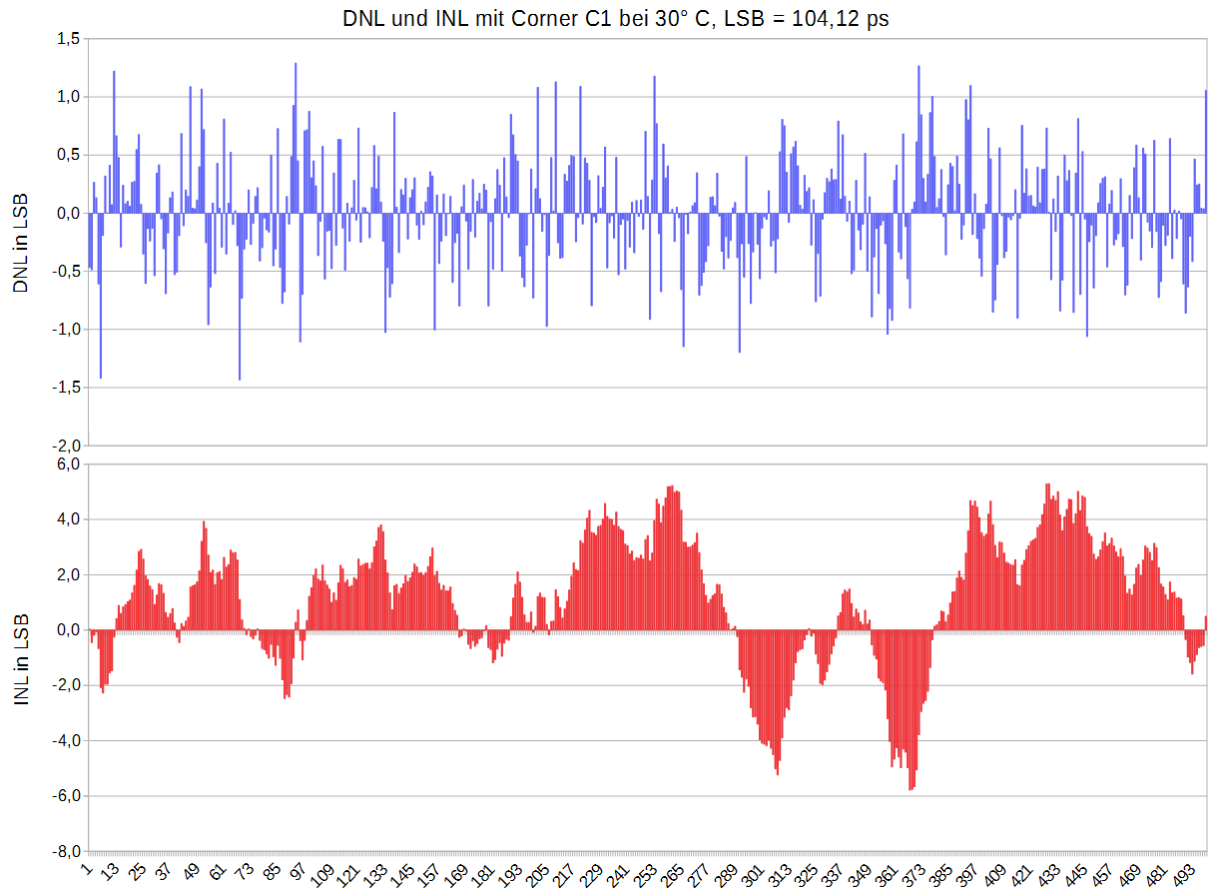
Die in Abbildung 4.9 dargestellten Ergebnisse berücksichtigen jedoch keine zufällig verteilten lokalen Variationen und sind damit nicht realitätsnah. Der Einfluss dieser Variationen kann durch eine Monte-Carlo Simulation untersucht werden. In Abbildung 4.10 sind die Simulationsergebnisse mit Angabe der Auflösung sowie der Verzögerungszeiten der Start- und Stopp-DL graphisch dargestellt. Der Current Starved Inverter hat bei den hier eingestellten Verzögerungszeiten eine Standardabweichung  $\sigma$  zwischen 34 ps und 41 ps. Das bedeutet,

dass vereinzelt auch Abweichungen von bis zu 120 ps auftreten können. Wie in Abbildung 4.10 zu sehen ist, ergeben sich bei einer eingestellten Verzögerungszeit von 690 ps vereinzelt Werte von 600 ps bis 810 ps. Aufgrund der Fehlerfortpflanzung von  $\sigma_{\text{Start-DL}}$  und  $\sigma_{\text{Stopp-DL}}$  ist zu erwarten, dass  $\sigma_{\text{LSB}}$  Werte von bis zu 55 ps annimmt. Dies hat zur Folge, dass die Auflösung um ihren eingestellten Wert von ca. 104 ps um 165 ps schwankt und es können Auflösungs-werte von -50 ps bis 240 ps auftreten.



**Abbildung 4.10:** Auflösung und Verzögerung der Vernier DL mit dem Current Starved Inverter und dem differentiellen Komparator mit Flankendetektor und Monte-Carlo Simulation.

Die Interpretation der Abweichungen in der Auflösung wird in Abbildung 4.11 mit Angabe der DNL und INL dargestellt. Die differentielle Nichtlinearität hat einen Erwartungsbereich von  $-1,43 \text{ LSB} < \text{DNL} < 1,29 \text{ LSB}$  und ihre Standardabweichung  $\sigma_{\text{DNL}}$  entspricht 0,464 LSB. Die integrale Nichtlinearität erreicht Werte von  $-5,79 \text{ LSB} < \text{INL} < 5,29 \text{ LSB}$  und hat eine Standardabweichung  $\sigma_{\text{INL}}$  von 2,355 LSB. Da der Erwartungswert von INL bei 0,5 LSB liegt, beträgt die im Worst Case vorliegende Messabweichung 6,29 LSB bzw. 654,9 ps. Der in Kapitel 4.2 vorgestellte Current Starved Inverter hat bei niedrigen Temperaturen ( $-50^\circ \text{ C}$ ) eine um ca. 10 ps höhere Standardabweichung, während er bei hohen Temperaturen ( $120^\circ \text{ C}$ ) eine um ca. 10 ps geringere Standardabweichung hat. Demzufolge werden auch die Ergebnisse der DNL und INL bei geringeren Temperaturen schlechtere bzw. bei höheren Temperaturen bessere Resultate vorweisen.



**Abbildung 4.11:** DNL und INL des Vernier TDC bei 30° C, Prozesscorner C1 und einer eingestellten Auflösung von 104,12 ps.

## 5 Entwicklung und Analyse eines Local Passive Interpolation TDC mit Slave-Delay-Line

Der Local Passive Interpolation TDC erzeugt zusätzliche interpolierte Spannungsabgriffe zwischen Ein- und Ausgang eines differentiellen Inverters. Das bedeutet, dass im Gegensatz zum Vernier TDC, die Auflösung nicht beliebig klein gewählt werden kann, sondern von der Verzögerungszeit des verwendeten Inverters, der Prozesstechnologie und der Anzahl an Interpolationsstufen abhängig ist. Durch die Anwendung dieser Interpolationsmethodik ist es möglich, trotz der Einschränkungen der L035 CMOS Technologie, Auflösungen von unter 100 ps zu erzielen. Nachfolgend werden der differentielle Komparator und der differentielle Inverter untersucht. Des Weiteren werden INL- und DNL-Werte durch Monte-Carlo Simulationen des LPI TDC generiert.

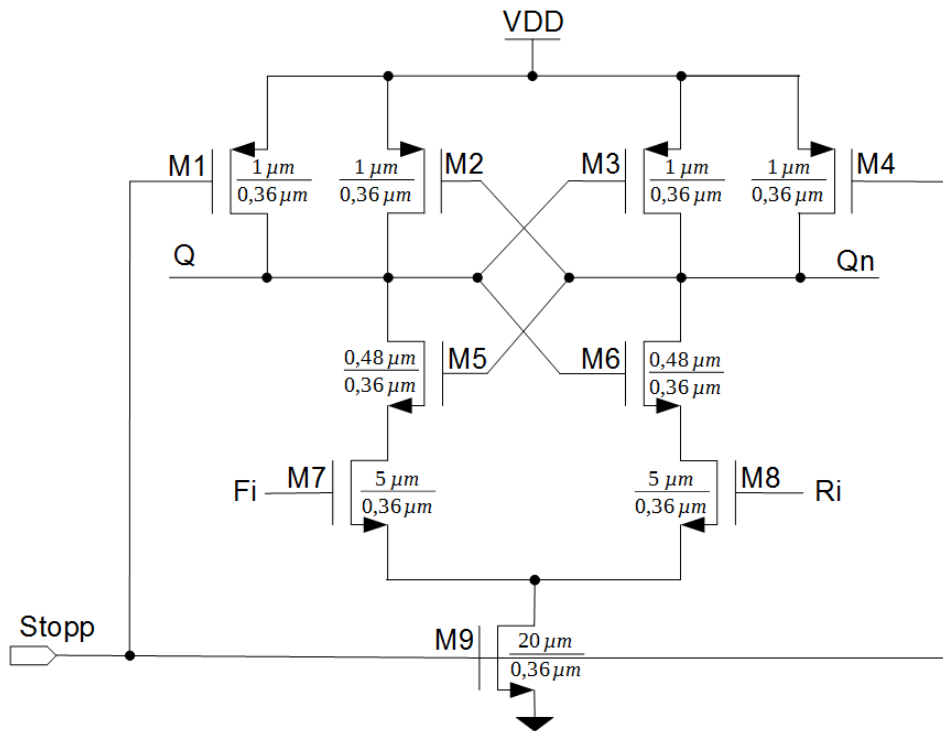
### 5.1 Dimensionierung und Auswertung des differentiellen Komparators

Im Idealfall vergleicht der Komparator die Ausgangsspannungen  $F_i$  und  $R_i$  des LPI TDC im Moment der steigenden Flanke des Stopp-Signals auf ihre Spannungshöhe und setzt entsprechend den Ausgang Q. Der in Abbildung 5.1 dargestellte differentielle Komparator benötigt jedoch einige Zeit für die Umladung der Ausgangssignale Q bzw. Qn und ist während dieser Zeit weiterhin auf Änderungen an den Eingängen  $F_i$  und  $R_i$  sensitiv. Erst nachdem Q oder Qn sehr niedrige Potentiale annehmen, werden Änderungen an den Eingängen ignoriert. Aufgrund dieses Verhaltens kommt es zu Messfehlern des TDC, welche sich jedoch durch schnelle Umladevorgänge an den Ausgängen Q bzw. Qn verringern lassen. Für ein schnelles Umladen von Q bzw. Qn werden die Transistoren M7, M8 und M9 sehr groß dimensioniert. Bei einer Steuerspannung von 3,3 V beträgt dieser Fehler ca. 45 ps und kann bis zu 190 ps bei einer Steuerspannung von 1,4 V erreichen, wodurch ein Messfehler von bis zu zwei LSB-Stufen durch den Einsatz des Komparators entsteht.

Ein metastabiler Zustand kommt zustande, wenn die Flankenwechsel von  $R_i$  und  $F_i$  sehr nah aneinander rücken. Die steigende Flanke  $R_i$  führt zu einem schnellen Entladen von Qn, sodass M5 bereits sperrt, während Q seinen Entladevorgang noch nicht abgeschlossen hat. Dadurch ist es möglich, dass das Potential Q zwischen VDD und GND stehenbleibt. Dies ist möglich, da die Spannung  $F_i$  immer kleinere Werte annimmt und somit auch das Entladen



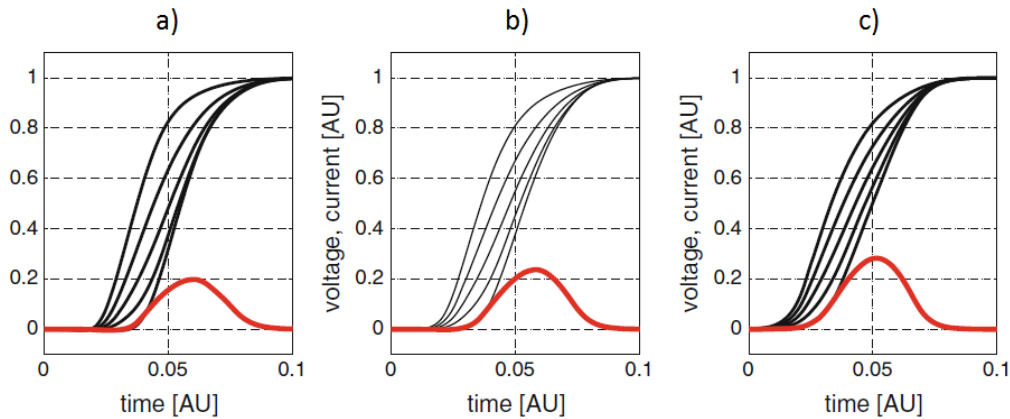
von Q langsamer abläuft, während die wachsenden Spannungswerte von  $R_i$  zu einem fortwährend schneller werdenden Entladen von  $Q_n$  führt. Ein Buffer am Ausgang ist nötig, um definierte High- bzw. Low-Zustände zu erhalten.



**Abbildung 5.1:** Differentieller Komparator für LPI TDC.

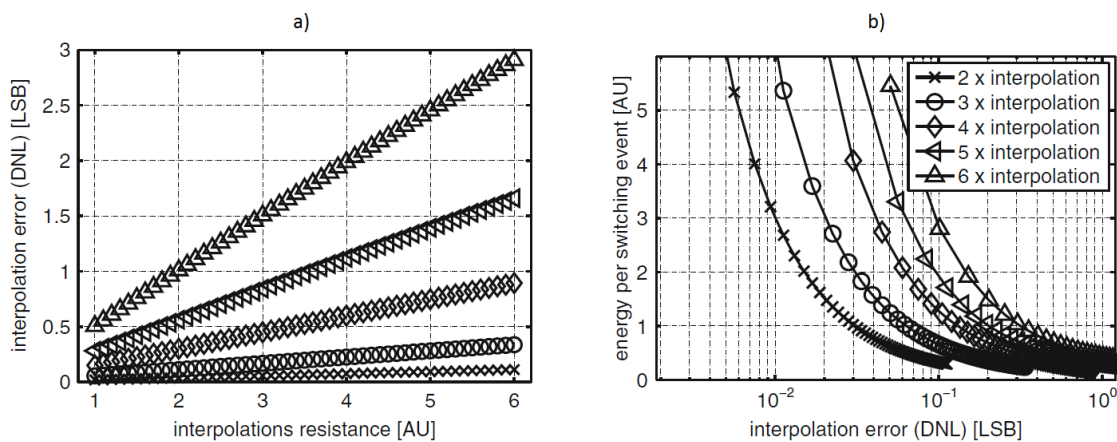


senen Verbesserung der Linearität. Für die Regelung der Verzögerungszeit müsste für diesen Ansatz also ein anderer Mechanismus genutzt werden.



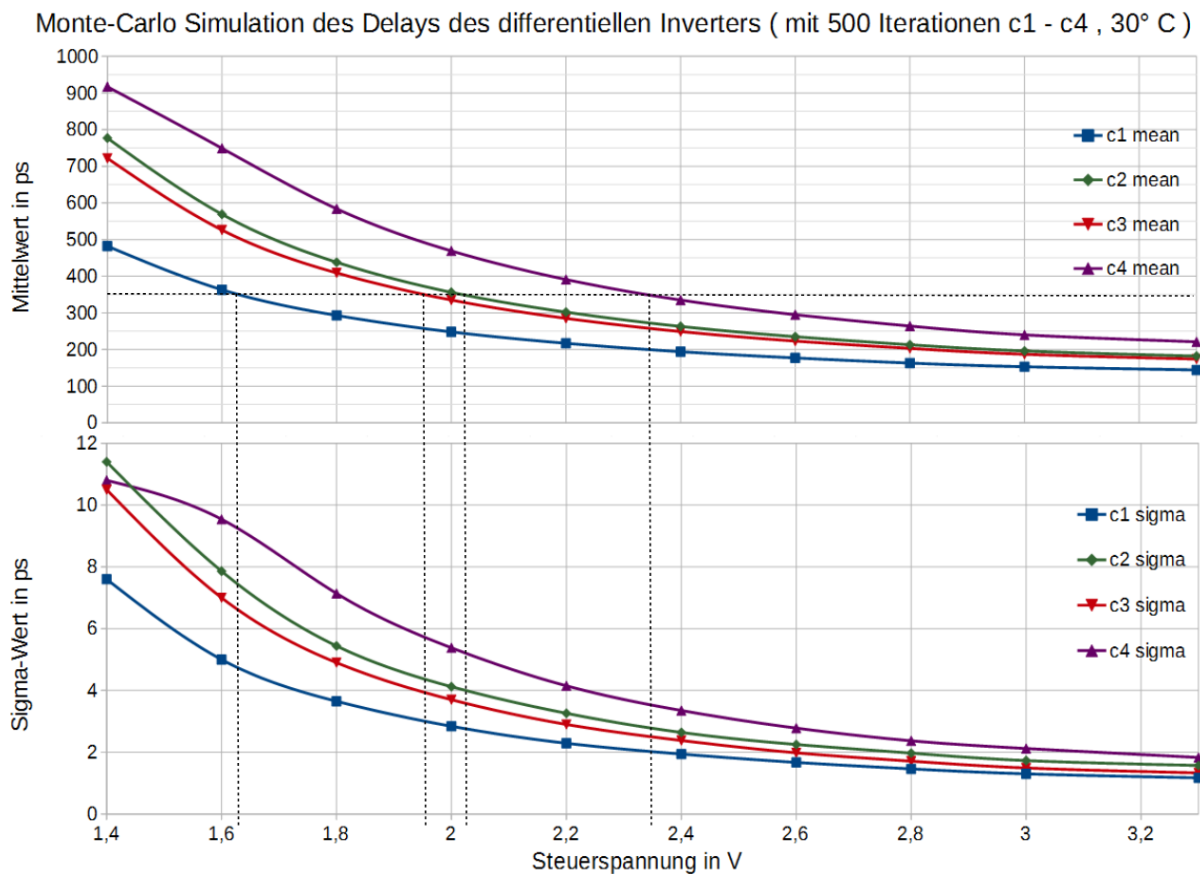
**Abbildung 5.3:** Trade-Off zwischen Linearität der interpolierten Spannungskurven des LPI TDC und dem Strombedarf [6, S. 90].

Aus den beiden Diagrammen in Abbildung 5.4 ist der Einfluss der Anzahl an Interpolationswiderständen ablesbar. In Abbildung 5.4a ist zu sehen, dass eine Erhöhung der Interpolationsstufen und eine daraus folgende höhere Auflösung auch zu einem proportional steigenden DNL-Fehler führt. Des Weiteren ist in Abbildung 5.4b der Energieverbrauch in Abhängigkeit der DNL dargestellt. Mit geringer werdenden Widerstandswerten und somit kleineren DNL-Werten wächst der Energieverbrauch entsprechend eines hyperbolischen Zusammenhangs an. Ist nur eine Interpolationsstufe verbaut, ist in Folge auch der Gesamtwiderstand, bestehend aus der Reihenschaltung aller Interpolationswiderstände, sehr gering, sodass es in diesem Szenario zum maximalen Energieverbrauch kommt.



**Abbildung 5.4:** Einfluss der Anzahl an Interpolationswiderständen auf a) DNL und b) Energieverbrauch über DNL [6, S. 91].

Wie den Ergebnissen der Monte-Carlo Simulation in Abbildung 5.5 zu entnehmen ist, weist der differentielle Inverter weit geringere Abweichungen im Vergleich zum Current Starved Inverter auf. Nach Analyse des Inverters unter Berücksichtigung aller Prozesscorner wird stets eine Durchlaufzeit im Bereich von  $253 \text{ ps} < t_{\text{delay}} < 466 \text{ ps}$  über den kompletten dynamischen Bereich der Steuerspannung erzielt. Daraus resultiert eine Anzahl von 114 Elementen für die Delay-Line und eine eingestellte Durchlaufzeit von etwa 350 ps pro Inverter bei einer Referenzperiode von 40 ns. Unter diesen Bedingungen ergibt sich eine Standardabweichung von maximal 4,3 ps.

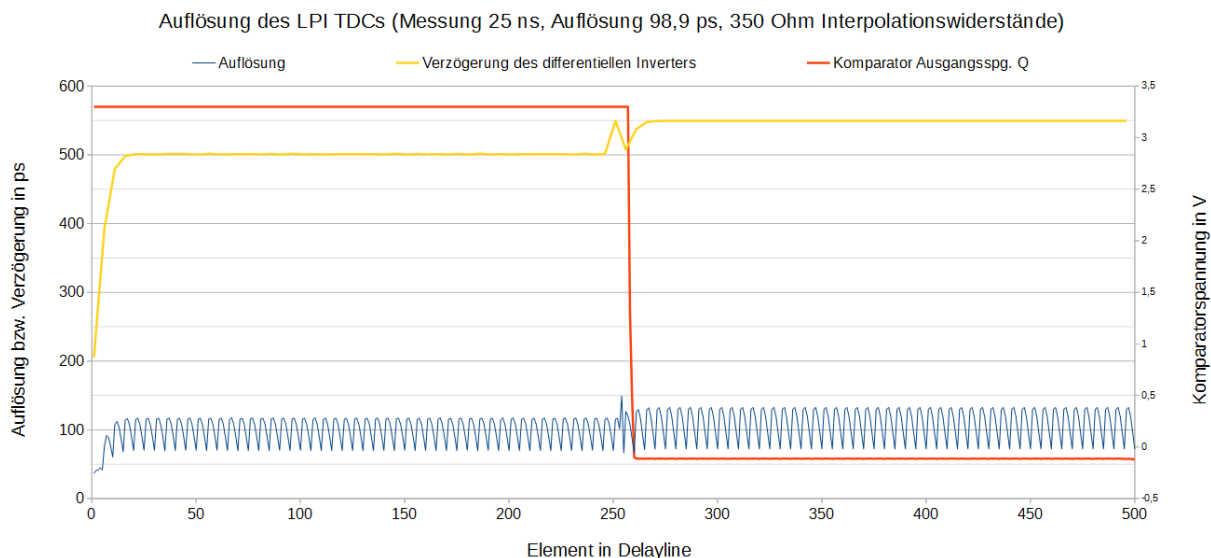


**Abbildung 5.5:** Monte-Carlo Simulation des differentiellen Inverters der Corner C1 bis C4.

Der RMS-Strombedarf der Delay-Line für eine Durchlaufzeit von 40 ns beträgt ungefähr 1,49 mA (C1), 1,86 mA (C2), 1,85 mA (C3) und 2,23 mA (C4).

### 5.3 Analyse des LPI-TDC mit Slave-Delay-Line

Wie bereits beim Vernier TDC erwähnt, ist in Abbildung 5.6 ebenfalls zu sehen, dass innerhalb der ersten zwei differentiellen Inverter der Slave-Delay-Line abweichende Delays auftreten. Da das erste Element von einem D-Flipflop getrieben wird und die Ausgänge dieser Bauteile andere Eigenschaften als die nachfolgenden Inverterausgänge aufweisen, führt dies zu einem signifikanten Auflösungsfehler innerhalb der ersten zehn Interpolationsschritte. Des Weiteren zeigen die Verzögerungselemente, die kurz vor und nach Eintreffen des Stopp-Events durchlaufen werden, eine abweichende Verzögerungszeit zu den vorherigen, was durch die Änderung der Eingangsimpedanz des Komparators bei Eintreffen des Stopp-Signals verursacht wird. Auffällig ist auch das periodische Muster im Graphen der Auflösung. Dies wird durch die Inhomogenität der Interpolationsschritte verursacht. Bei jedem differentiellen Inverter ist der erste Interpolationsschritt etwas größer und der letzte Interpolationsschritt etwas kleiner als der Mittelwert. Zuletzt kommt noch der in Kapitel 5.1 beschriebene Messfehler des Komparators hinzu, welcher aufgrund der Umladezeiten der Ausgangskapazität entsteht. Dieser Fehler variiert zwischen 45 ps und 190 ps.

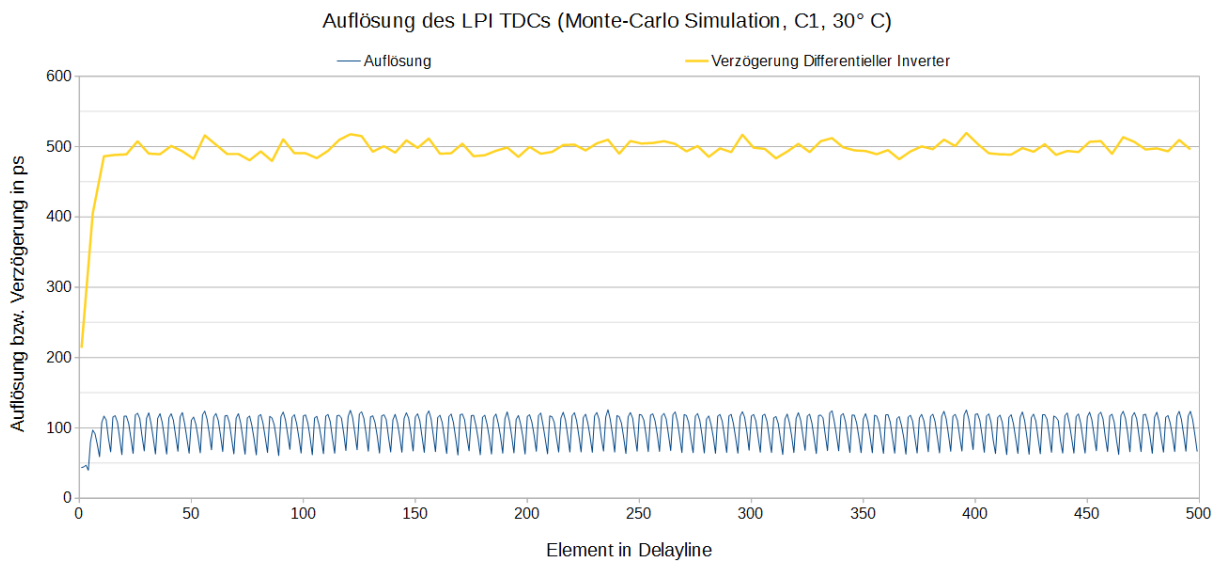


**Abbildung 5.6:** Auflösung des LPI TDCs bei einer Testmessung von 25 ns.

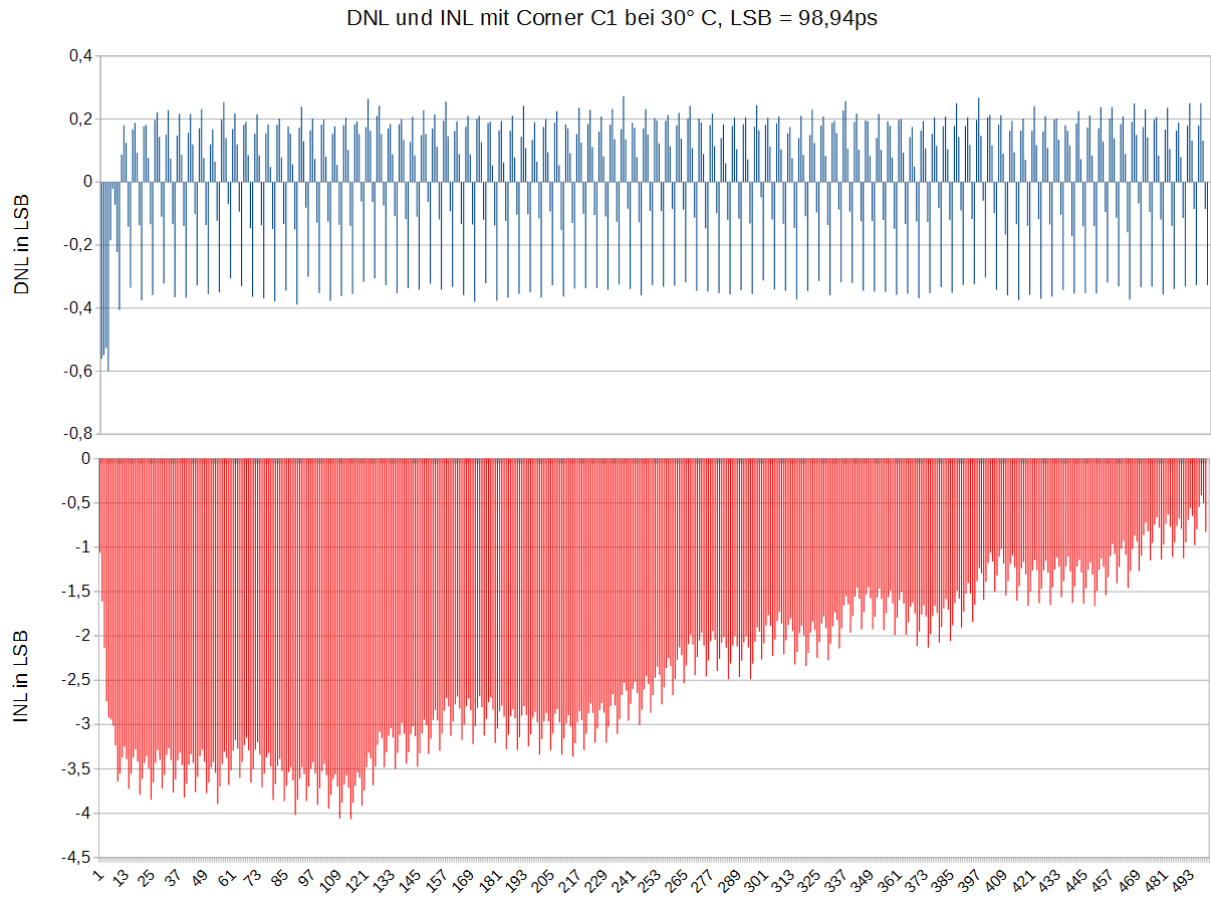
Durch die Überlagerung der eigentlichen Fehlerquellen entsteht bei einer simulierten Messung mit einem Messzeitraum von 25 ns zwischen dem Start- und Stopp-Signal und einer Auflösung von 98,9 ps ein Messfehler von 418 ps. Bei Berücksichtigung aller Fehlerquellen wird bereits ohne Monte-Carlo Simulation ein hoher INL-Wert von bis zu -3,6 LSB erreicht.

In Abbildung 5.7 ist eine Monte-Carlo Simulation mit Angabe der Auflösung sowie der Durchlaufzeit des differentiellen Inverters ohne Auftreten des Stopp-Events, also dem Ausschluss der Laständerung aufgrund des Komparators, gezeigt.

Dank der geringen Inhomogenität der DL mit Standardabweichungen von maximal 5 ps in allen Prozesscornern schwankt die Verzögerung der einzelnen Inverter in der Delay-Line lediglich im Bereich von  $480 \text{ ps} < t_{\text{delay}} < 520 \text{ ps}$ . Allerdings bleibt das systematische Alternieren der Auflösung aufgrund der Inhomogenität der interpolierten Spannungskurven zueinander bestehen. Mithilfe der Ergebnisse der Monte-Carlo Simulation können die DNL- und INL-Werte generiert werden. In Abbildung 5.8 ist zu sehen, dass aufgrund des Messfehlers der ersten Delay-Line-Elemente die DNL für diese Elemente stark negativ ist. Entsprechend zeigt der INL-Verlauf zunächst eine sehr hohe Messabweichung zu negativen Werten, welche nach und nach in Richtung eines INL-Werts von -0,5 LSB übergehen. Hierbei liegt die Standardabweichung  $\sigma_{DNL}$  bei 0,22 LSB und  $\sigma_{INL}$  bei 2,6 LSB. Der maximale INL-Wert beträgt -4,07 LSB, und entspricht einem Messfehler von ca. 450 ps.



**Abbildung 5.7:** Auflösung des LPI TDCs mit Monte-Carlo Simulation.

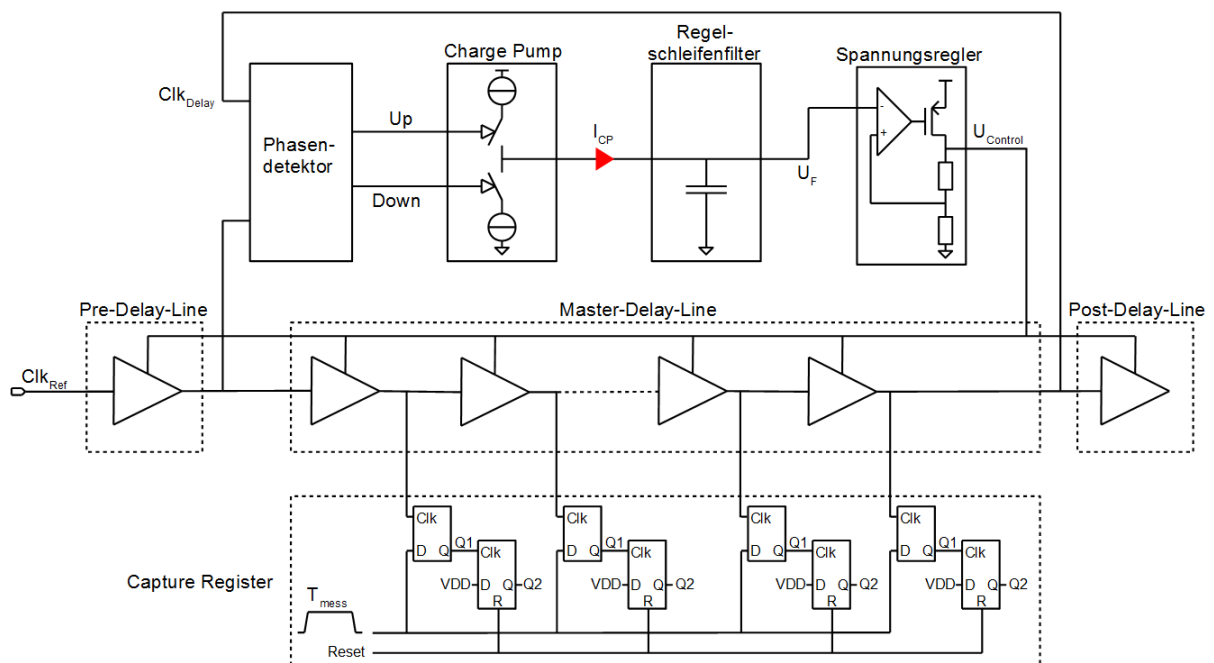


**Abbildung 5.8:** DNL und INL des LPI TDC.

## 6 Entwicklung und Analyse eines Local Passive Interpolation TDC ohne Slave-Delay-Line

Aus den in 5.3 aufgezeigten Problemstellen des LPI-TDC ergibt sich die Diskussion, ob für den Aufbau eines TDC zwangsläufig eine Slave-Delay-Line notwendig ist. Erfolgt die Auswertung des Messsignals  $T_{mess}$  innerhalb der Master-Delay-Line, wird die Variation der eingestellten Verzögerung bei den ersten Inverter-Elementen aufgrund unterschiedlicher Treiberstärken ausgeschlossen. Der Grund dafür ist, dass die Master-Delay-Line mit Dummy-Elementen in Form einer Pre- und Post-Delay-Line ausgestattet werden kann und somit die Treiberstärke für Elemente nach der Pre-Delay-Line konstant ist. Dies ist beim Aufbau mit einer Slave-DL nicht möglich, da hier bereits ab dem ersten verbauten Verzögerungselement die Messung beginnt.

Ein Aufbau des Local Passive Interpolation TDC ohne Slave-Delay-Line ist in Abbildung 6.1 dargestellt. Der Aufbau der DLL hat sich nicht verändert. Die einzigen Unterschiede sind, dass das Auswerteregister ein anderes Funktionsprinzip verfolgt und ausschließlich gebufferete Signale abgegriffen werden.



**Abbildung 6.1:** Aufbau des LPI-TDC ohne Slave-Delay-Line.

Für die Auswertung werden zwei D-Flipflops benötigt, wobei das am Ausgang der Verzögerungskette angeschlossene Flipflop eine möglichst geringe Ungenauigkeit aufweisen sollte.



Das dahinter verbundene Flipflop kann ein weniger genaues Standardbauteil aus der Bibliothek sein. Da für diesen Aufbau nur verzögerte nicht-invertierte Signale benötigt werden, sollten differentielle Inverter genutzt werden, weil diese eine geringere Durchlaufzeit im Vergleich zum Buffer, bestehend aus zwei CMOS Invertern, aufweisen. Jeder Abgang der Delay-Line bzw. jeder Clock-Eingang der am Ausgang angeschlossenen Flipflops hat pro Durchlauf der Verzögerungskette einen positiven Flankenwechsel. Mit Anlegen des Messsignals  $T_{mess}$  am Dateneingang schaltet mit jedem Flankenwechsel innerhalb der Verzögerungskette der Ausgang Q1 eines Flipflops auf VDD, sofern eine Zeitmessung stattfinden soll und somit der Dateneingang auf VDD liegt. Der Abstand des Flankenwechsels aufeinanderfolgender Inverter und somit die Auflösung des TDC wird durch die Verzögerungszeit eines einzelnen Inverters bestimmt. Durch Umschalten von Q1 auf VDD wird mithilfe des dahinter verbauten Flipflops dieser Zustand gespeichert. Q2 wird ebenfalls auf VDD gesetzt. Endet die Messdauer und  $T_{mess}$  schaltet wieder auf GND um, wird im nächsten Durchlauf der Verzögerungskette Q1 wieder auf GND geschaltet. Q2 behält jedoch die Information, ob an diesem Abgang eine steigende Flanke während der Messdauer aufgetreten ist und kann erst durch einen definierten Reset zurückgesetzt werden. Die digitale Logik muss schließlich noch die Anzahl der Ausgänge Q2 zählen, welche auf VDD umgeschaltet haben. Diese Anzahl multipliziert mit der Auflösung des TDC ergibt wiederum die Messdauer  $T_{mess}$ .

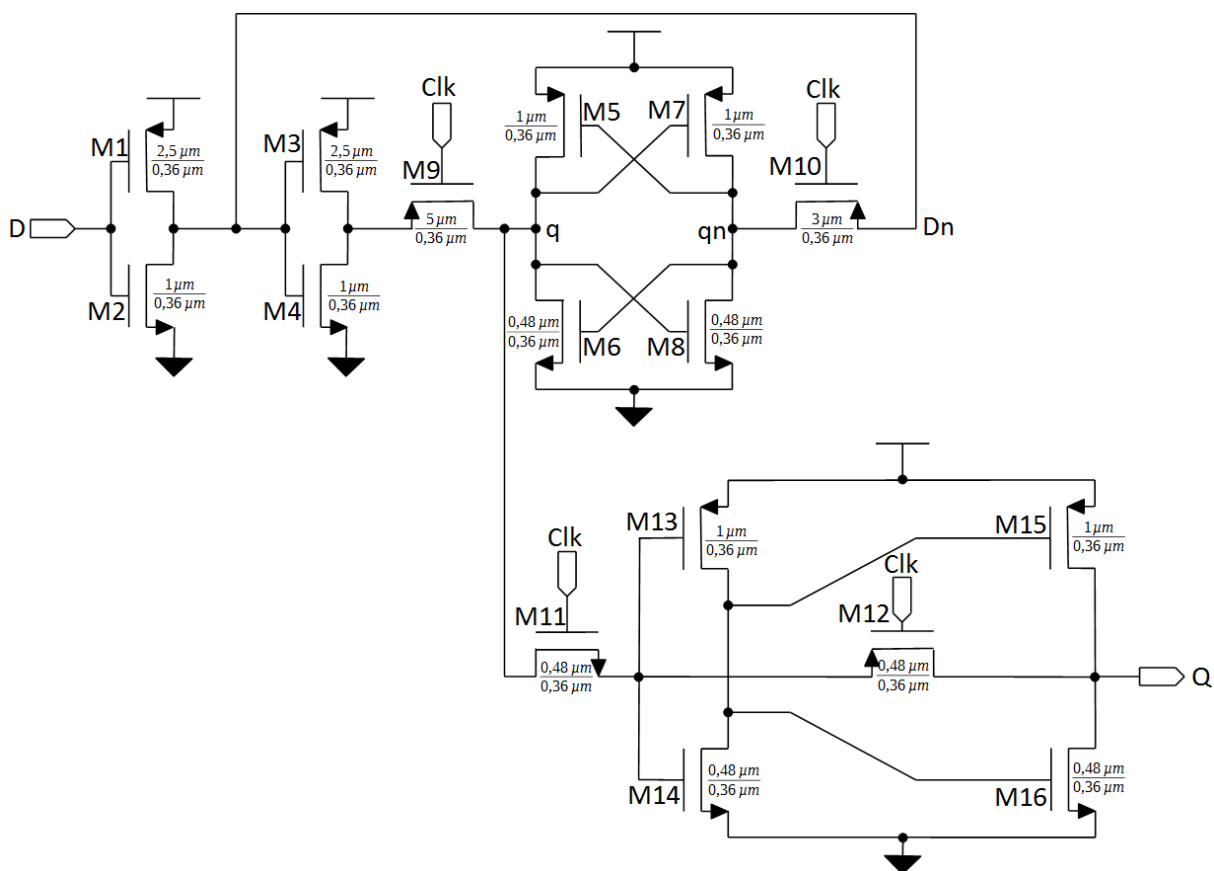
Die schematische Darstellung zur Erklärung der Funktion ist mit Buffern aufgezeigt. In Realität wird hier weiterhin das Funktionsprinzip der Local Passive Interpolation genutzt. Das bedeutet, dass zwischen den Bufferausgängen Interpolationswiderstände zusätzliche Spannungsabgriffe erzeugen, welche zu einer Erhöhung der Auflösung führen.

Ein weiterer Vorteil dieses Ansatzes ist, dass zwischen Beginn und Ende der Messung immer unterschiedliche Abgänge der Verzögerungskette verwendet werden, da das erste Element einer Messung jeder beliebige Abgriff sein kann. In der Time-of-Flight Anwendung werden stets mehrere Messungen hintereinander ausgeführt. Da für jede einzelne Messung unterschiedliche Abgänge genutzt werden, wird der Messfehler, hervorgerufen durch lokale Prozessvariationen der Inverter und Auswerteelemente, infolgedessen gemittelt. Bei mehreren Messungen wird hier also ein Mittelwert eines dominanten Messfehlers gebildet.

Für die Analyse werden nachfolgend die drei wichtigsten Prozesscorner untersucht. Diese sind Typical bei 30°C, Slow Slow (SS) bei 120°C und Fast Fast (FF) bei -50°C.

## 6.1 Dimensionierung und Auswertung des differentiellen D-Flipflops

Die zueinander verzögerten Signale der Verzögerungskette haben einen Abstand von einer Auflösungsstufe, wobei die Auflösung, je nach genutzten Invertertypen und Anzahl der Interpolationsstufen, Werte von bis zu 16 ps annehmen kann. Daraus resultiert der Bedarf eines möglichst genauen Auswerteelements. In Abbildung 6.2 ist ein differentielles D-Flipflop dargestellt, dessen obere Struktur, bestehend aus den Transistoren M1 bis M10, auf Timing optimiert sein muss.



**Abbildung 6.2:** Differentielles D-Flipflop optimiert für Timing-Anwendungen [13, F. 43].

Es gilt zu beachten, dass es sich bei M9, M10 und M12 um PMOS Transistoren und bei M11 um einen NMOS Transistor handelt. Die Ausgangssituation jeder Messung ist, dass der Dateneingang auf GND liegt. Das Clock-Signal wird, verschoben zum Referenzsignal der DLL, mit einem Duty-Cycle von 50 Prozent auftreten. Bei einer Referenzperiodendauer von 40 ns wird die Spannung am Clock-Eingang also 20 ns auf VDD- und 20 ns auf dem GND-Potential liegen und fortlaufend alternieren. Hat der Clock-Eingang das GND-Potential anliegen, werden M9 und M10 leitend und das Signal am Dateneingang auf q bzw. das invertierte Si-

signal des Dateneingangs auf  $q_n$  übertragen. Die Kopplung mithilfe der CMOS Inverter, bestehend aus den Transistoren M5 bis M8, sorgt dafür, dass die Knoten  $q$  bzw.  $q_n$  vollständig auf VDD bzw. GND gezogen werden. Das Signal  $q$  wird also stets dem Dateneingang folgen, sofern der Clock-Eingang auf GND liegt. Sobald am Clock-Eingang ein Low-High-Wechsel stattfindet, leitet der Transistor M11 und übergibt den Wert  $q$  auf den Ausgang Q des Flipflops. Alle PMOS Passgates, also die Transistoren M9, M10 und M11, sperren und verhindern ein Ändern des Potentials  $q$ .

Änderungen am Daten- sowie Clock-Eingang können sehr nah bzw. unmittelbar aufeinander folgen, weshalb es zwangsläufig zu einer Ungenauigkeit im Vergleich zu einem idealen D-Flipflop kommt. Hier sind zwei mögliche Fehlerquellen zu nennen. Erstens wird unter Betrachtung lokaler Prozessvariationen die Übergabe des Spannungswerts vom Eingang D an den Knoten  $q$  unterschiedlich schnell vonstattengehen. Zweitens wird die Schwellenspannung der Passgates in einem gewissen Bereich schwanken, sodass der Umschaltzeitpunkt nicht bei jedem Flipflop zeitgleich stattfindet. Die Standardabweichung der Ungenauigkeit, aufgrund der Übergabe des Spannungswerts vom D-Eingang an den Knoten  $q$ , liegt in etwa bei 7 ps. Der Worst Case liegt bei der Prozesscorner SS 120°C. In diesem Fall beträgt die Standardabweichung 9,05 ps. Die Ungenauigkeit, aufgrund des Umschaltzeitpunktes der Passgates, hat eine Standardabweichung von etwa 4 ps, wobei der Worst Case ebenfalls bei SS 120°C vorliegt und in diesem Fall 5,09 ps beträgt.

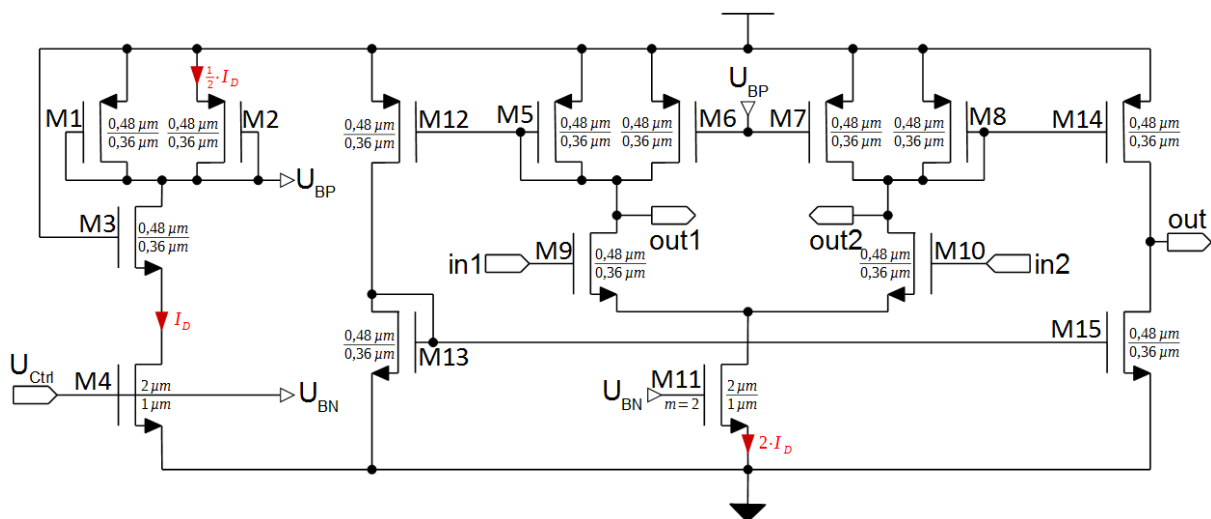
## 6.2 Untersuchung möglicher differentieller Inverterstrukturen

Es gibt mehrere Gründe für den bevorzugten Einsatz differentieller Inverterstrukturen. Bei dem Ansatz der Local Passive Interpolation ohne Slave-Delay-Line werden verzögerte nicht-invertierte Signale benötigt. Aufgrund dessen bietet es sich an, differentielle Inverter zu nutzen, da diese eine geringere Durchlaufzeit im Vergleich zu zwei hintereinander geschalteten Invertern aufweisen. Ein weiterer Vorteil sind die angeglichenen Anstiegs- und Abfallzeiten des Ausgangs der Inverter.

Nachfolgend wird die Maneatis Delay Zelle und ein differentielles Inverter mit NMOS-Kreuzkopplung untersucht. Für den Einsatz im LPI-TDC wird für beide Typen eine Single-Ended Conversion realisiert.

### 6.2.1 Maneatis Delay Zelle

In Abbildung 6.3 ist die Maneatis Delay Zelle [14], bestehend aus den Transistoren M5 bis M11, die BIAS-Schaltung mit den Transistoren M1 bis M4 und der Single-Ended Conversion mit den Transistoren M12 bis M15, dargestellt. Der Aufbau der Transistoren M5/M6 und M7/M8 wird auch als symmetrische Last bezeichnet. Die Konstruktion als stromeinstellender Transistor (hier M6 und M7) und dazu parallel einen als Diode verschalteten Transistor (hier M5 und M8) hat annähernd die Charakteristik der  $U/I$ -Kennlinie eines Widerstands. Die BIAS-Spannung  $U_{BP}$  wird so eingestellt, dass durch M6 und M7 die Hälfte von  $I_D$  fließt. Da die Transistordimensionierung von M5 und M6 identisch ist, fließt der Strom  $I_D$  in den Ausgangsknoten. Ist das Potential am Gate von M9 niedrig, wird der Ausgang out1 mit dem Ladestrom  $I_D$  aufgeladen. Bei einem hohen Potential am Gate von M9 wird aufgrund des stromeinstellenden Transistors M11, dessen BIAS-Spannung  $U_{BN}$  so eingestellt ist, dass ein Stromfluss von  $2 \cdot I_D$  vorherrscht, der Ausgang out1 mit einem Entladestrom in Höhe von  $I_D$  entladen. Die beiden Eingänge in1 und in2 müssen stets invers zueinander angesteuert werden. Bei einem hohen Potential am Gate von M9 entsteht also ein dauerhafter Stromfluss durch M5, M6, M9 und M11.



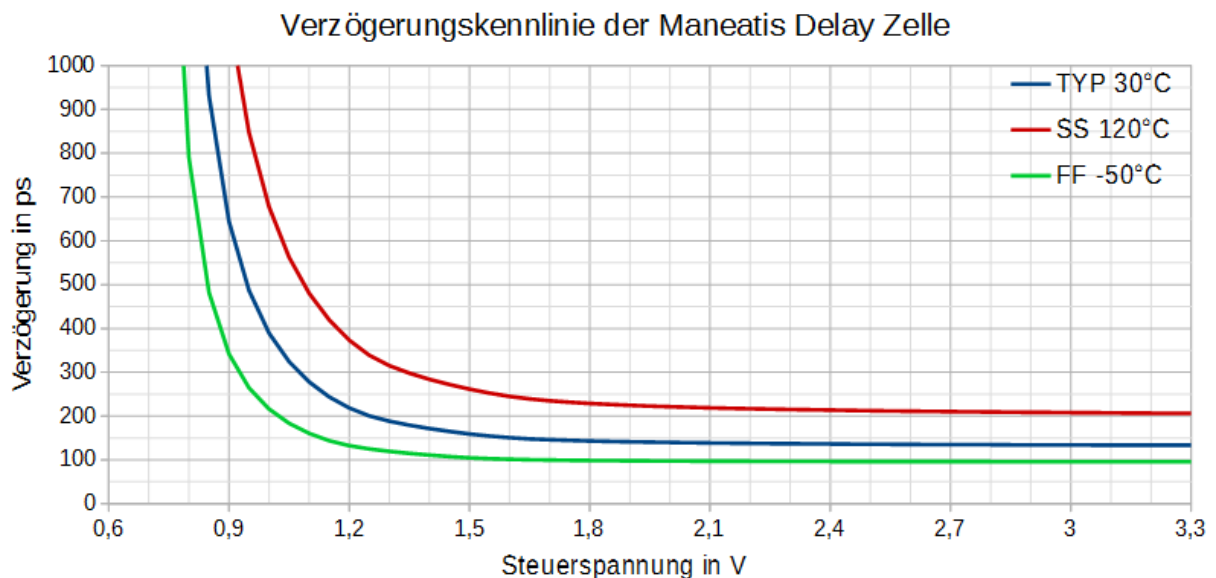
**Abbildung 6.3:** Maneatis Delay Zelle mit BIAS-Schaltung und Single-Ended Conversion [15].

Für die Single-Ended Conversion wird die Gate-Spannung der Transistoren M5 und M8 genutzt. Fließt durch M5 ein Strom, so wird ebenfalls bei Transistor M12 ein Stromfluss eingestellt, welcher auch durch den Gate-Drain verbundenen Transistor M13 fließt. M13 dient wiederum als Stromspiegel für M15 und sorgt für ein Entladen des Ausgangs out. Ein hohes Po-

tential am Gate von M10 erlaubt den Stromfluss über M8 und M14. Infolgedessen wird der Ausgang out aufgeladen. Zu beachten ist, dass der Transistor M11 einen Multiplikator von zwei hat und somit der doppelte Betrag des Stromflusses durch M4 innerhalb des Inverters fließt.

Diese differentielle Inverterstruktur hat den Vorteil, dass sie unempfindlicher auf Versorgungsspannungs- und Substratrauschen ist [12]. Allerdings ist hier der dauerhafte Stromfluss als Nachteil zu nennen. Bei einer Anzahl von 190 differentiellen Invertern in der Verzögerungskette liegt der RMS-Strom bei der Prozesscorner Typical und einer Temperatur von 30°C bei 10,66 mA (FF -50°C: 8,72 mA; SS 120°C: 14,06 mA).

Aufgrund des linearisierten Stromflusses, dank des Einsatzes der symmetrischen Last, geht die Verzögerungskennlinie in eine Hyperbelform über. Der daraus resultierende steile Verlauf hat Auswirkungen auf die Standardabweichung der Verzögerung. Je steiler die Kennlinie ist, desto größere Standardabweichungen werden an diesen Punkten vorliegen. Daraus resultiert für die eingeschwungene DLL bei der Prozesscorner Typical bei 30°C eine Standardabweichung von 46,7 ps (FF -50°C: 65,9 ps; SS 120°C: 43,3 ps).

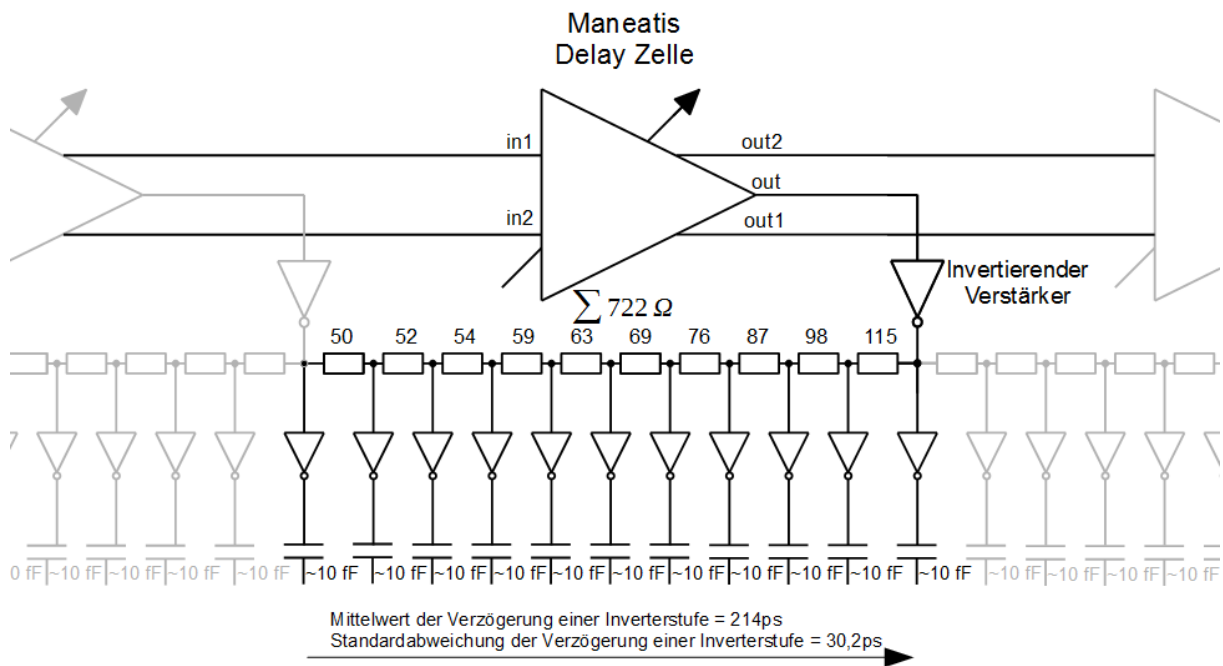


**Abbildung 6.4:** Verzögerungskennlinie der Maneatis Delay Zelle.

Die langsamste Durchlaufzeit eines Inverters wird bei SS 120°C erreicht. Bei einer Steuerspannung von 3,3 V beträgt die Verzögerung in dieser Prozesscorner 210 ps. Das bedeutet, dass die Anzahl der Inverter für die Master-Delay-Line so gewählt wird, dass die Durchlaufzeit möglichst minimal ist, die DLL jedoch immer den eingeschwungenen Betriebspunkt er-

reicht. Daraus resultiert bei einer Referenzperiodendauer von 40 ns eine Master-DL mit 190 Elementen. In Abbildung 6.5 ist der Aufbau der Verzögerungskette samt invertierendem Verstärker am Single-Ended Ausgang, den Interpolationswiderständen und Entkopplung des Ausgangs mittels CMOS Inverter dargestellt. Die Eingangskapazität der D-Flipflops wird mit 10 fF als ideale Kapazität aufgeführt.

Die Verstärkerstufe besteht aus einem dreistufigen invertierenden Verstärker, um genug Treiberleistung für die am Ausgang liegenden Inverter bereitzustellen. Bei der Dimensionierung wird darauf geachtet, dass die Anstiegs- und Abfallzeiten am Ausgang out sowie zwischen allen Verstärkerstufen möglichst identisch sind. Da aufgrund der Single-Ended Conversion am Ausgang ein definierter Low- oder High-Pegel (GND oder VDD) vorliegt, können die Interpolationswiderstände so angepasst werden, dass die interpolierten Spannungskurven einen möglichst konstanten Abstand aufweisen.

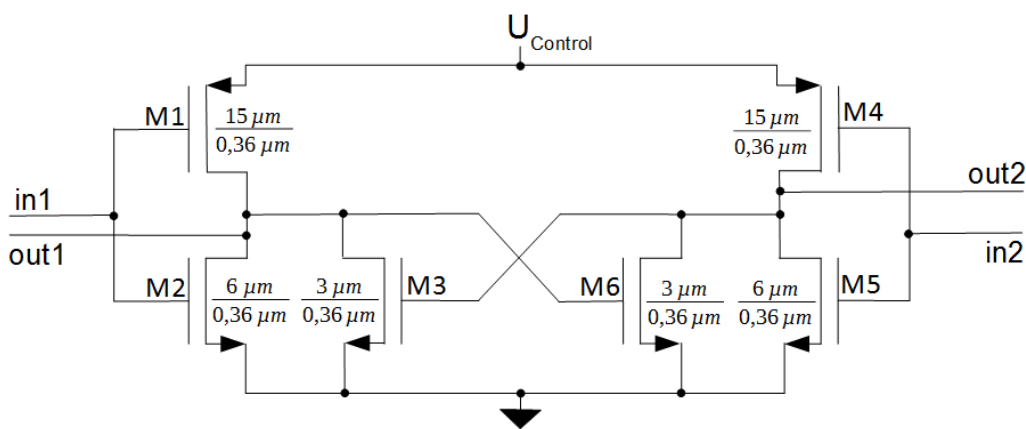


**Abbildung 6.5:** Konkreter Aufbau der Master-Delay-Line mit der Maneatis Delay Zelle und Angabe des Mittelwerts sowie der Standardabweichung der Verzögerung bei Typical 30°C.

Die Verzögerungszeit zwischen zehn Abgängen der Interpolationskette ist identisch zu der Verzögerungszeit des Inverters und liegt bei 214 ps. Dabei beträgt die Standardabweichung in der Prozesscorner Typical bei 30°C etwa 30,2 ps (FF -50°C: 55,4 ps; SS 120°C: 19,9 ps).

## 6.2.2 Differentieller Inverter mit NMOS-Kreuzkopplung

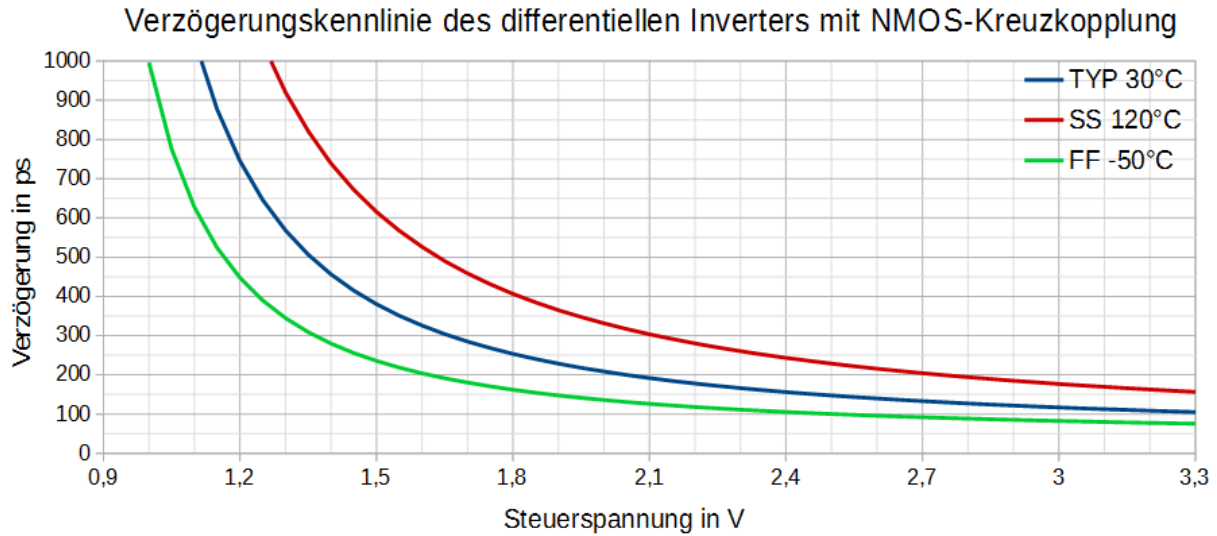
Der differentielle Inverter mit NMOS-Kreuzkopplung, welcher bereits in Kapitel 5.2 vorgestellt ist, kann ebenfalls für den LPI-TDC ohne Slave-Delay-Line genutzt werden. Diese Struktur zeigt besonders gute Ergebnisse bzgl. der Standardabweichung der Verzögerung. Der Nachteil ist lediglich, dass hierbei die Versorgungsspannung variiert wird und dementsprechend die Ausgangsspannungshöhe nicht konstant ist. Damit die interpolierten Spannungskurven ab einem einstellbaren Schwellenwert auf VDD oder GND schalten, wird am Ausgang ein Pegelwandler verbaut.



**Abbildung 6.6:** Aufbau des differentiellen Inverters mit NMOS-Kreuzkopplung.

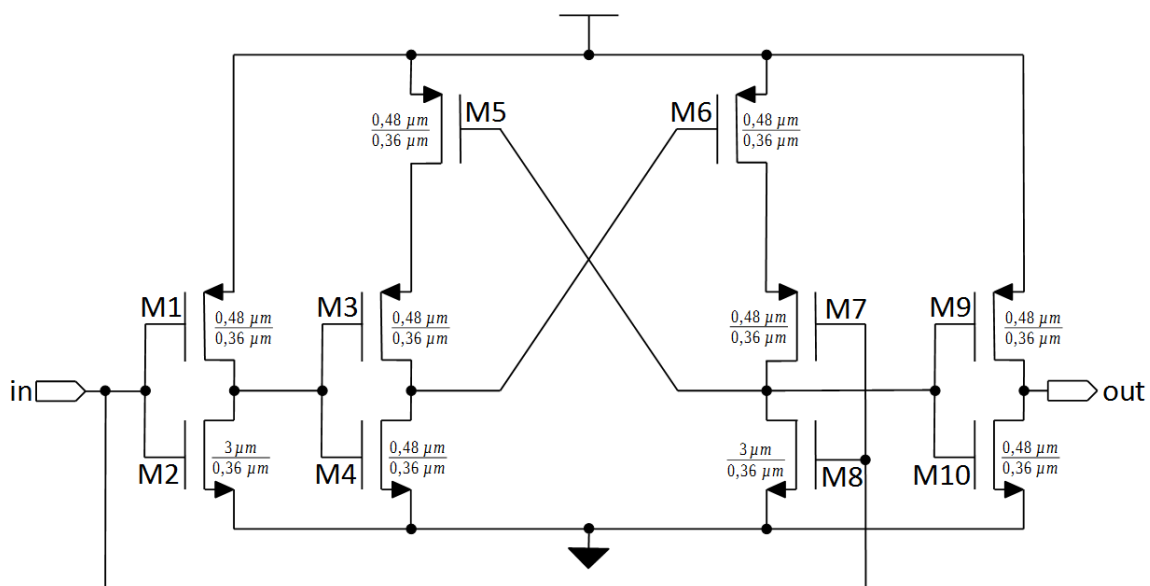
Die Verzögerungskennlinie der drei wichtigsten Prozesscorner ist in Abbildung 6.7 dargestellt. Die langsamste Verzögerungszeit liegt bei SS 120°C vor und beträgt ca. 156 ps. Die Anzahl der Inverter wird also so gewählt, dass die Delay-Locked Loop sich immer bei einer Durchlaufzeit von 160 ps einschwingt. Bei einer Referenzperiodendauer von 40 ns bedeutet dies, dass 250 Verzögerungselemente in der Master-Delay-Line verwendet werden.

In der Prozesscorner Typical und einer Simulationstemperatur von 30°C beträgt die Standardabweichung der Verzögerung eines Inverters etwa 4,62 ps (FF -50°C: 3,22 ps; SS 120°C: 1,66 ps). Somit hat der differentielle Inverter mit NMOS-Kreuzkopplung die geringste Anfälligkeit für lokale Prozessvariationen aller untersuchten Invertertypen in dieser Thesis. Der RMS-Strom dieses Invertertyps beträgt für die Prozesscorner Typical 30°C ca. 1,71 mA (FF -50°C: 1,32 mA; SS 120°C: 2,31 mA).



**Abbildung 6.7:** Verzögerungskennlinie des differentiellen Inverters mit NMOS-Kreuzkopplung.

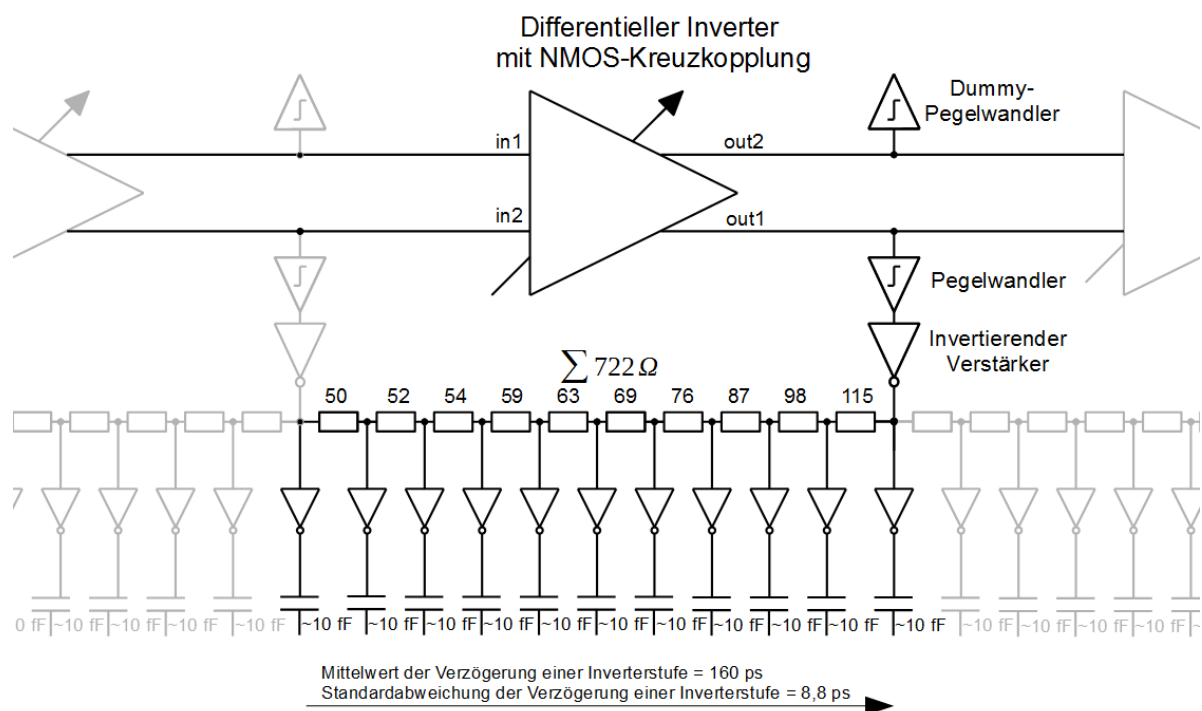
An beiden Ausgängen des differentiellen Inverters wird ein Pegelwandler, auch Levelshifter genannt, angeschlossen. An jedem Inverterausgang dient ein Pegelwandler zur Generierung des Single-Ended Outputs. Am inversen Inverterausgang dient ein weiterer Pegelwandler als Dummy-Last zur Erhaltung einer symmetrischen Last beider Ausgänge. Der in Abbildung 6.8 dargestellte Pegelwandler ist so eingestellt, dass unter jeglicher Prozesscorner und Prozesstemperatur der Umschaltvorgang zwischen 0,7 V und 1,2 V vorstättengeht. Bei Eingangsspannungen unter 0,7 V wird der Ausgang stets auf GND und bei Eingangsspannungen über 1,2 V auf VDD gesetzt.



**Abbildung 6.8:** Pegelwandler für den Einsatz in der Delay-Line.



Liegt am Eingang  $in$  ein hohes Potential an, so wird M8 leiten und M7 sperren. Infolgedessen wird das Gate von M5 auf GND gezogen, sodass dieser leitet. Aufgrund des GND-Potentials am Gate von M3 und M4 wird M3 leitend während M4 sperrt. Infolge dieser Schaltzustände wird das Gate von M6 auf VDD liegen und der Transistor sperrt, weshalb der Knoten zwischen M7 und M8 fest auf GND-Potential verharren wird. Mit den Weiten der Transistoren M2 und M8 kann der Umschaltzeitpunkt zu höheren oder kleineren Spannungen verschoben werden. Die Ungenauigkeit, welche der Pegelwandler zwischen einer steigenden Flanke am Eingang im Vergleich zu einer steigenden Flanke am Ausgang hat, liegt für die Prozesscorner Typical 30°C bei 5,9 ps (FF -50°C: 2,97 ps; SS 120°C: 7,65 ps).



**Abbildung 6.9:** Konkreter Aufbau der Master-Delay-Line mit dem differentiellen Inverter mit NMOS-Kreuzkopplung und Angabe des Mittelwerts sowie der Standardabweichung der Verzögerung bei Typical 30°C.

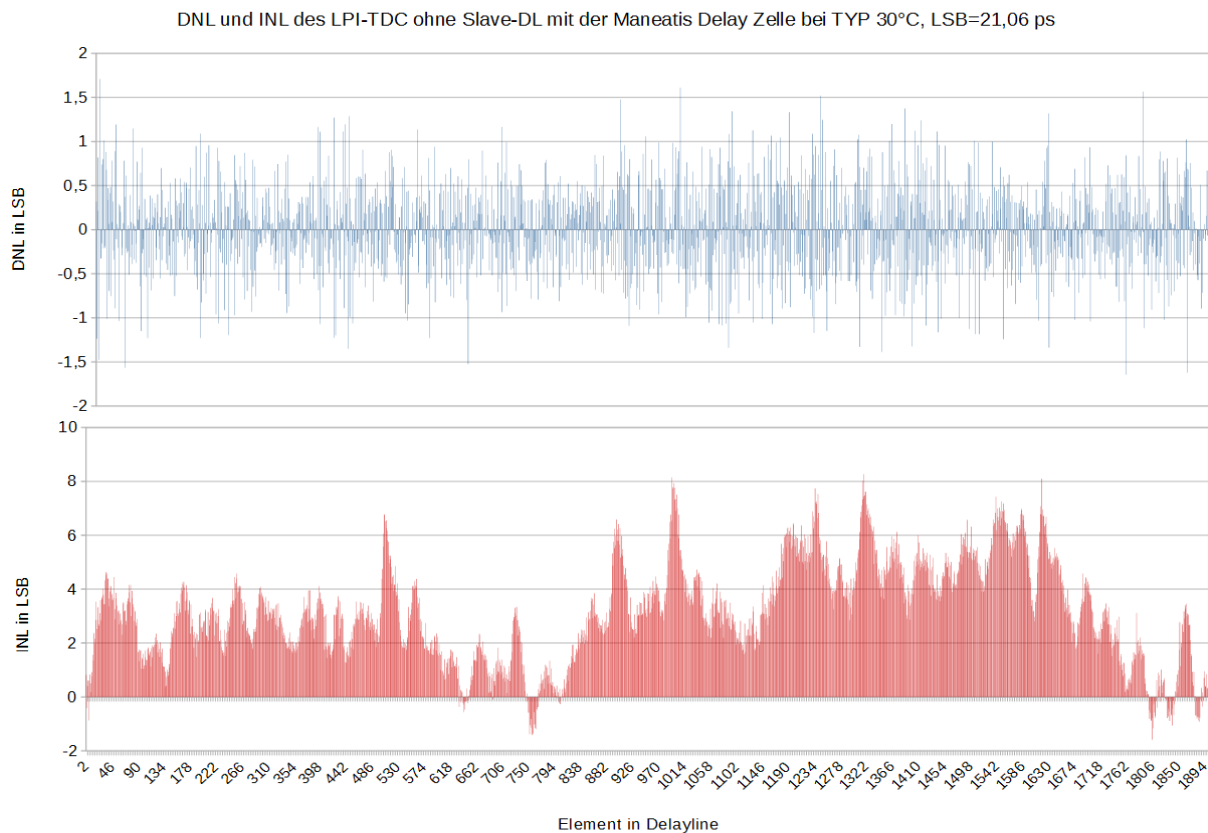
In Abbildung 6.9 ist der Aufbau der Verzögerungskette mit dem differentiellen Inverter mit NMOS-Kreuzkopplung, dem Pegelwandler, einem zweistufigen invertierenden Verstärker sowie den Interpolationsstufen mit Entkopplungsinvertiern dargestellt. Die Dimensionierung der einzelnen Schaltgruppen sollte gewährleisten, dass die Anstiegs- und Abfallzeiten der Ausgänge des differentiellen Inverters, des Pegelwandlers und der invertierenden Verstärker möglichst identisch sind. Auch hier ist das Variieren der Interpolationswiderstände möglich und verbessert die Abstandsgleichheit der einzelnen Auflösungsstufen zueinander. Die Verzögerungszeit zwischen zehn Abgängen der Interpolationskette ist identisch zu der Verzöge-

rungszeit des Inverters und liegt bei 160 ps. Dabei beträgt die Standardabweichung in der Prozesscorner Typical bei 30°C etwa 8,83 ps (FF -50°C: 6,34 ps; SS 120°C: 13,33 ps).

### 6.3 Analyse des LPI-TDC ohne Slave-Delay-Line

In diesem Kapitel wird der LPI-TDC ohne Slave-Delay-Line als vollständiger Aufbau samt Delay-Locked Loop analysiert. Dabei werden beide zuvor vorgestellten differentielle Inverter betrachtet. Als Kenngröße werden die DNL- und INL-Werte angegeben. Des Weiteren werden einige andere Einflüsse genannt, welche dem Messergebnis weitere Ungenauigkeiten hinzufügen können. Diese wären z.B. eine nicht ideale Versorgungsspannung der Inverter aufgrund des Layouts, der Spannungsschwankungen am Regelschleifenfilter aufgrund von Up- und Down-Pulse sowie aufgrund der Erzeugung und des Routing des Start- und Stopp-Pulses.

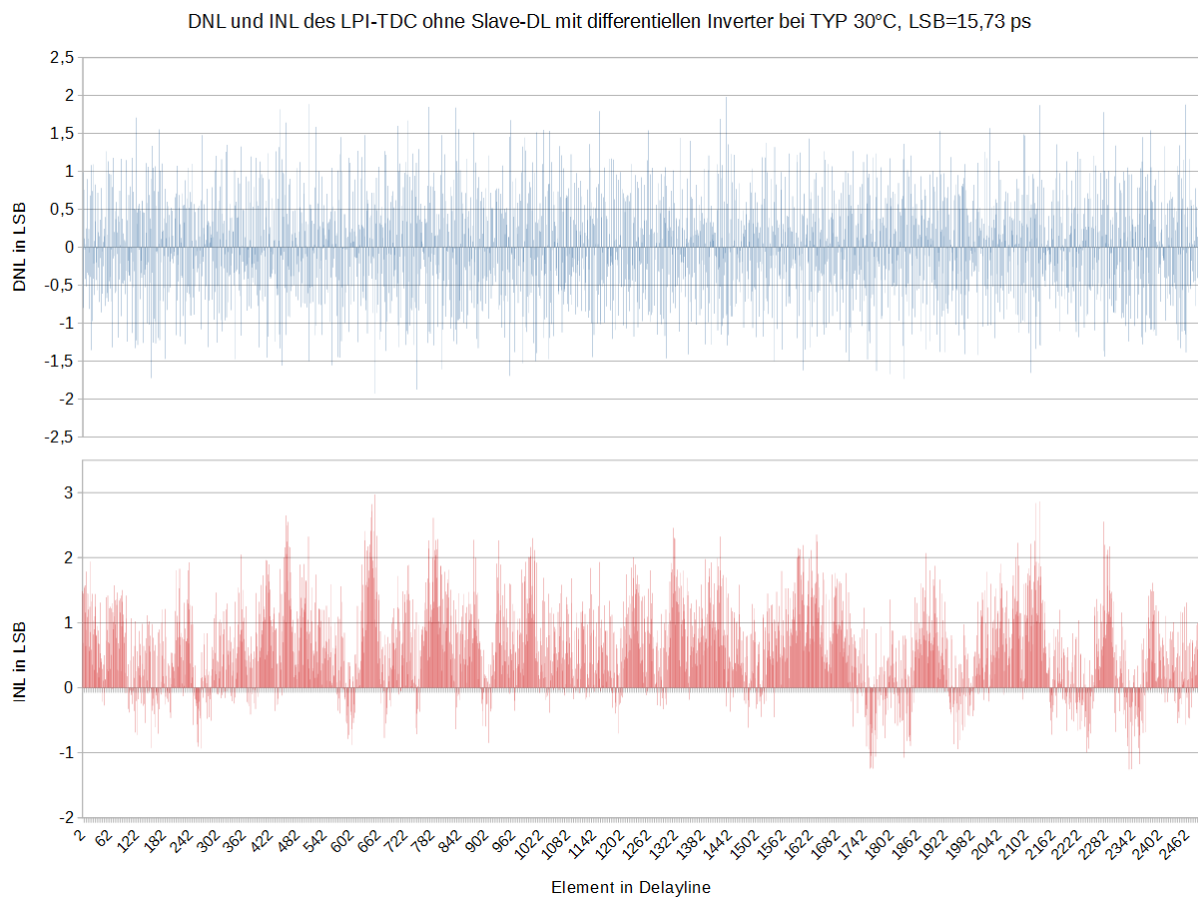
#### 6.3.1 DNL und INL mit Einsatz der Maneatis Delay Zelle



**Abbildung 6.10:** DNL und INL des LPI-TDC ohne Slave-DL mit der Maneatis Delay Zelle bei Typical 30°C und einer Auflösung von 21,06 ps.

Bei der in Abbildung 6.10 dargestellten Monte-Carlo-Analyse des LPI-TDC mit Einsatz der Maneatis Delay Zelle für die Prozesscorner Typical 30°C beträgt die Standardabweichung eines einzelnen Auflösungsschrittes 0,48 LSB (FF -50°C: 0,49 LSB; SS 120°C: 0,61 LSB) bzw. 10,11 ps (FF -50°C: 10,03 ps; SS 120°C: 12,86 ps). Der aufaddierte Messfehler in Form des INL-Werts hat eine Standardabweichung bei Typical 30°C von 3,21 LSB (FF -50°C: 4,3 LSB; SS 120°C: 2,24 LSB) bzw. 67,6 ps (FF -50°C: 88 ps; SS 120°C: 47,24 ps). Im Einzelfall können hier Messfehler von bis zu ca. 12,9 LSB (271 ps) auftreten. Diese hohen Messfehler sind zum größten Teil der Anfälligkeit der Maneatis Delay Zelle gegenüber lokalen Prozessvariationen geschuldet.

### 6.3.2 DNL und INL mit Einsatz des differentiellen Inverters mit NMOS-Kreuzkopplung



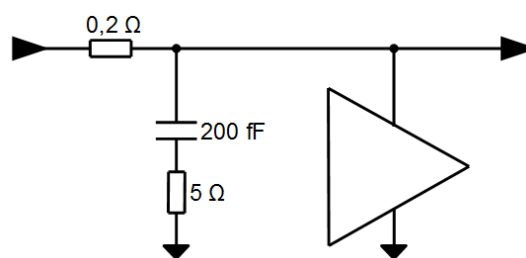
**Abbildung 6.11:** DNL und INL des LPI-TDC ohne Slave-DL mit dem differentiellen Inverter mit NMOS-Kreuzkopplung bei Typical 30°C und einer Auflösung von 15,73 ps.

Beim Aufbau der Master-Delay-Line mit dem differentiellen Inverter mit NMOS-Kreuzkopplung liegt die Standardabweichung der differentiellen Nichtlinearität bei der Prozesscorner

Typical 30°C bei 0,67 LSB (FF -50°C: 0,46 LSB; SS 120°C: 0,96 LSB) bzw. 10,54 ps (FF -50°C: 7,34 ps; SS 120°C: 15,35 ps). Trotz Einsatz eines weniger anfälligen Inverters ist die Abweichung der DNL ähnlich zu den Ergebnissen aus Kapitel 6.3.1. Dies lässt darauf schließen, dass die Ungenauigkeit einer einzelnen Auflösungsstufe stark vom Entkoppelinverter abhängt. Anhand der INL-Werte fällt allerdings auf, dass die hohe Genauigkeit des differentiellen Inverters mit NMOS-Kreuzkopplung zu einer deutlichen Verbesserung des Simulationsergebnisses führt. Die Standardabweichung der INL beträgt für die Prozesscorner Typical 30°C 0,69 LSB (FF -50°C: 0,74 LSB; SS 120°C: 1,09 LSB) bzw. 10,85 ps (FF -50°C: 11,88 ps; SS 120°C: 17,43 ps). Im Einzelfall können hier Messfehler von bis zu ca. 3,27 LSB (52,3 ps) auftreten.

### 6.3.3 Einfluss des Layouts auf die Versorgungsspannung der Verzögerungskette

Die elektrische Verbindung der Inverter untereinander wird im Simulator zunächst als ideal betrachtet und hat dementsprechend keine Verluste. In der Realität wird allerdings eine Metallverbindung die Inverter der Master-Delay-Line mit deren Versorgungsleitung verbinden, dessen Widerstandswert in Abbildung 6.12 mit  $0,2 \Omega$  als Richtwert angenommen wird. Zusätzlich wird an jedem Inverter eine Stützkapazität von 200 fF eingebaut, um eine möglichst konstante Spannungsversorgung im Umschaltmoment zu erhalten. Der äquivalente Serienwiderstand dieser Kapazität wird in etwa  $5 \Omega$  betragen.

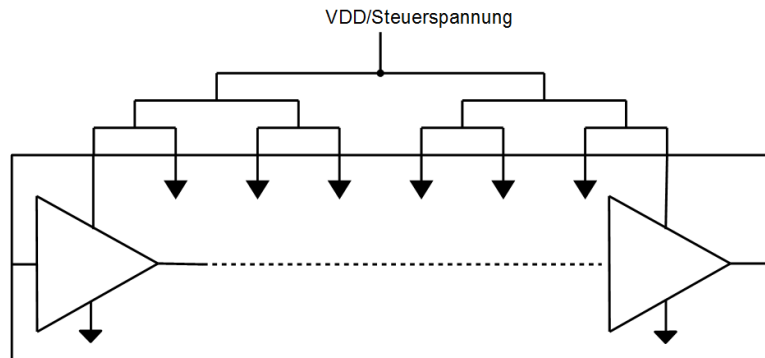


**Abbildung 6.12:** Einfluss des Layouts beim Versorgen der differentiellen Inverter und Einbau eines Stützkondensators.

Die Versorgungsspannung beim Einsatz der Maneatis Delay Zelle, bzw. die Steuerspannung beim differentiellen Inverter mit NMOS-Kreuzkopplung, muss möglichst gleichmäßig bei allen Elementen der Verzögerungskette vorliegen. Werden lediglich zwei Einspeisepunkte gewählt, also am ersten und letzten Element der Verzögerungskette, so kommt es bei der Maneatis Delay Zelle zu Versorgungsspannungsdifferenzen von bis zu 130 mV. Daraus resultie-

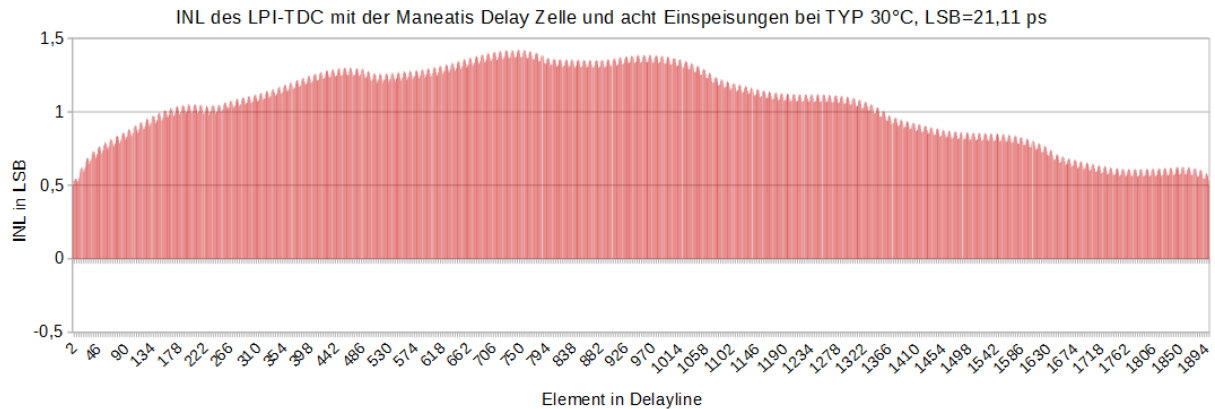
ren selbst bei Vernachlässigung lokaler Prozessvariationen INL-Werte von bis zu 7 LSB (142 ps). Das Delay-Element, welches in der Mitte der Verzögerungskette liegt, hat in diesem Fall die maximale Versorgungsspannungsabweichung. Die Steuerspannung des differentiellen Inverters mit NMOS-Kreuzkopplung hat eine maximale Spannungsvariation von 25 mV, woraus ein INL-Wert von -6 LSB (97 ps) beim mittleren Element der Verzögerungskette entsteht. Das Einspeisen an lediglich zwei Punkten der Inverterkette führt also zu einem erheblichen Messfehler.

Ein Aufbau für möglichst symmetrische Spannungsverteilung ist in Abbildung 6.13 mit acht Einspeisepunkten dargestellt. Wichtig hierbei ist, dass die an allen Invertern vorliegende Versorgungsspannung möglichst identisch ist. Es muss also ein möglichst gleichmäßiger Spannungsverlust an den Zuleitungen vorliegen.



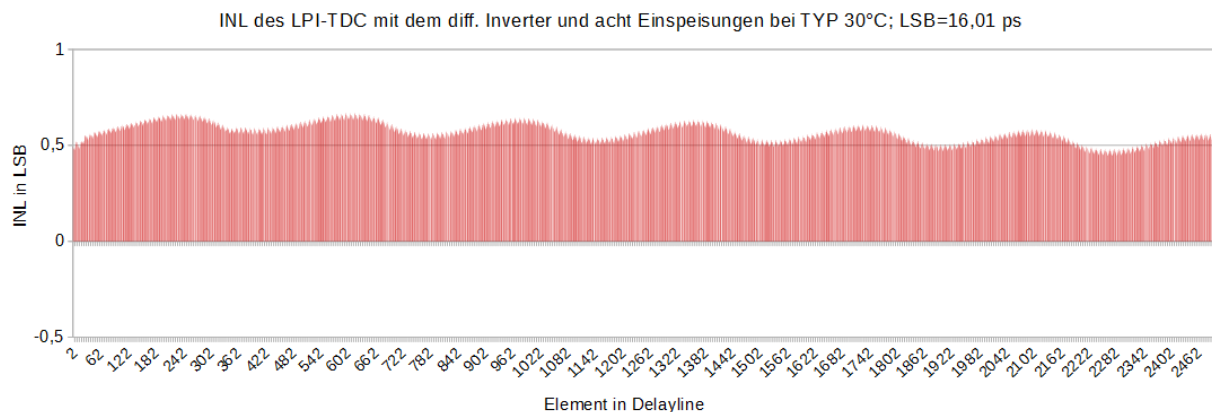
**Abbildung 6.13:** Darstellung des Routings beim Versorgen der Verzögerungskette mit acht Einspeisungen.

Unter Vernachlässigung lokaler Prozessvariationen liegt die Schwankung der Versorgungsspannung mit Einsatz der Maneatis Delay Zelle bei etwa 8 mV. Wie in Abbildung 6.14 dargestellt, entsteht dadurch ein maximaler Messfehler von ca. 0,9 LSB (19 ps). Man beachte, dass der Erwartungswert der integralen Nichtlinearität 0,5 LSB beträgt.



**Abbildung 6.14:** INL des LPI-TDC mit der Maneatis Delay Zelle und acht Einspeisungen bei Typical 30°C mit einer Auflösung von 21,11 ps.

Die Variation der Steuerspannung beim differentiellen Inverter mit NMOS-Kreuzkopplung beträgt bei acht Einspeisungen ca. 3 mV. Der Verlauf der INL-Werte ist in Abbildung 6.15 veranschaulicht und resultiert in einen Messfehler von 0,17 LSB (2,7 ps).



**Abbildung 6.15:** INL des LPI-TDC mit dem differentiellen Inverter mit NMOS-Kreuzkopplung und acht Einspeisungen bei Typical 30°C mit einer Auflösung von 16,01 ps.

### 6.3.4 Einfluss von Up/Down-Pulsen auf die Auflösung des TDC

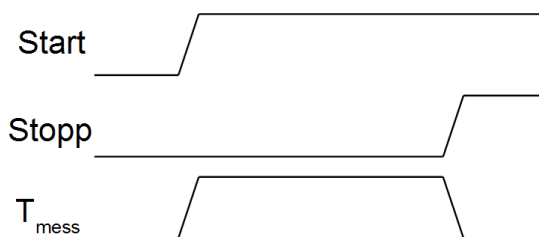
Ist die Delay-Locked Loop im eingeschwingenen Zustand, wird die Filterspannung um einen kleinen Betrag um den ideal eingestellten Spannungswert schwanken. Der Grund dafür ist, dass die DLL zwangsläufig Up oder Down zuerst setzt und diese anschließend wieder zurücksetzt. Daraus resultiert ein Alternieren von minimal längeren Up- und Down-Pulsen. Die Filterspannung schwankt im Mikrovolt-Bereich um ihren Mittelwert. Trotz dieser sehr kleinen

Spannungsschwankung entsteht dadurch ein Fehler in der eingestellten Auflösung. Dieser Messfehler ist bei TDC mit und ohne Slave-Delay-Line vorhanden.

Das Messsignal  $T_{mess}$  ist asynchron zur Referenz der DLL. Das bedeutet, dass ein Messpuls zu jeder Zeit unabhängig von dem Betriebszustand der DLL auftreten kann. Es ist also möglich, dass während eines Messvorgangs die DLL eine kleine Veränderung der Filterspannung aufgrund eines kurzen Up- oder Down-Pulses vornimmt. In diesem Fall ändert sich die Auflösung während der Messung und es kommt zu einem geringfügigen Messfehler. Bei Simulationen eines Messsignals mit einer Dauer von 20 ns treten Messfehler von höchstens 0,5 LSB (10,5 ps) auf. Der Messfehler ist beim Einsatz der Maneatis Delay Zelle am deutlichsten, da dessen Verzögerungskennlinie steiler als die des differentiellen Inverters mit NMOS-Kreuzkopplung ist und somit zu einer erhöhten Auflösungsänderung bei kleiner Steuerspannungsvariation führt.

### 6.3.5 Ungenauigkeiten der Generierung des Messsignals und Ansteuern der Dateneingänge aller Auswerteflipflops

Das Start- und Stopp-Signal liegt in Form zweier steigender Flanken vor, wobei die Differenzzeit zwischen den Flanken die Dauer des Messsignals  $T_{mess}$  angibt.



**Abbildung 6.16:** Verlauf vom Start-, Stopp- und  $T_{mess}$ -Signal.

Ein XOR-Glied erzeugt aus dem Start- und Stopp-Signalen das Signal  $T_{mess}$ . Es gibt verschiedene Realisierungen eines XOR Glieds. Eine Möglichkeit ist der Aufbau mithilfe von vier NAND Gliedern, welches insgesamt 16 Transistoren benötigt. In Abbildung 6.17 ist ein XOR-Glied mit lediglich 12 Transistoren realisiert.

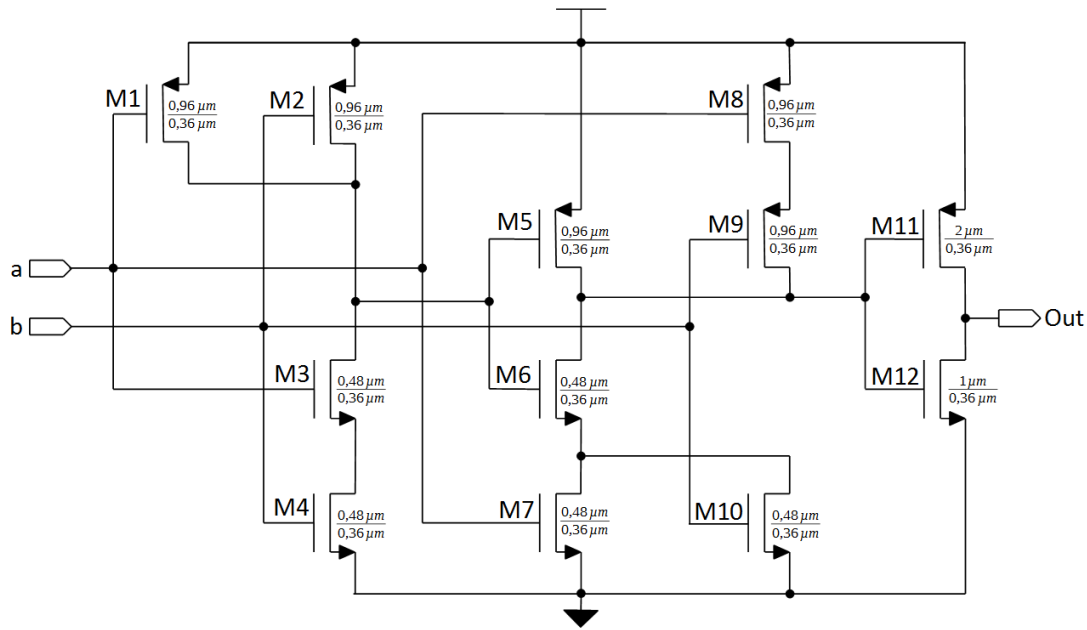


Abbildung 6.17: CMOS XOR mit 12 Transistoren.

Die Verzögerungskette besteht aus 190 Elementen (bei der Maneatis Delay Zelle) oder 250 Elementen (bei dem differentiellen Inverter mit NMOS-Kreuzkopplung) und hat jeweils zehn Interpolationsstufen. Somit ergibt sich eine sehr hohe Anzahl an D-Flipflops von bis zu 2500 Elementen. Das in Abbildung 6.17 vorgestellte XOR kann eine solch große Last nicht in einer angemessenen Zeitspanne umladen, weshalb einige Verstärkerschaltungen nötig sind. Hierzu wird der in Abbildung 6.18 abgebildete vierstufige invertierende Verstärker genutzt. Insgesamt ergeben sich daraus 24 Abgänge nach Stufe 4, sodass jeder invertierende Verstärker dieser Stufe 105 D-Flipflops ansteuern muss.

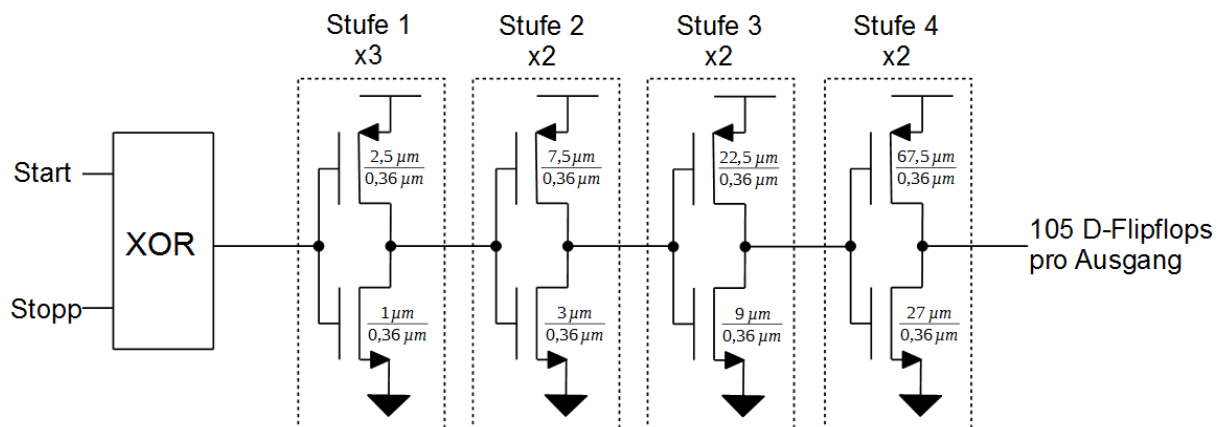


Abbildung 6.18: Ansteuerkette der D-Flipflops mit XOR-Glied und invertierender Verstärkerstufen.



Die Standardabweichung sowie die maximale Stauchung bzw. Streckung der ursprünglichen Differenz zwischen der steigenden Flanke des Start- und Stopp-Signals können in der nachfolgenden Tabelle eingesehen werden.

Corner und Temperatur	Standardabweichung in ps	Maximale Stauchung des ursprünglichen Signals in ps	Maximale Streckung des ursprünglichen Signals in ps
Typical 30°C	13,3	25	47
FF - 50°C	8,75	18	27
SS 120°C	20,6	62	66

**Tabelle 6.1:** Abweichungen bei Erzeugung und Routing des Messsignals.

### 6.3.6 Einfluss mehrerer Messdurchläufe auf die Standardabweichung der integralen Nichtlinearität

Die Standardabweichung der integralen Nichtlinearität ist bereits mit Gleichung 2.23 vollständig beschrieben. Da allerdings in der Time-of-Flight Anwendung mehrere Messzyklen hintereinander durchlaufen werden und im Local Passive Interpolation Ansatz ohne Slave-Delay-Line der Beginn einer Messung an jedem beliebigen Element der Verzögerungskette stattfinden kann, resultiert daraus eine Mittelwertbildung der Standardabweichung. Wenn eine größere Anzahl an Messdurchläufen vorliegt, dann bilden die zugehörigen Mittelwerte selbst wiederum eine Verteilung, die anders ist als die Messgrößenverteilung innerhalb eines Messdurchlaufs, jedoch mit ihr in Beziehung steht. Für den mittleren Fehler (Standardabweichung)  $\sigma_{INL-Mean}$  des Mittelwertes mehrerer Messdurchläufe gilt:

$$[16] \quad \sigma_{INL-Mean} = \frac{\sigma_{INL}}{\sqrt{m}} = \sqrt{\frac{1}{m \cdot n} \sum_{i=1}^n \left( INL_i - \frac{1}{2} \right)^2} \quad (6.1)$$

ist um den Faktor  $\sqrt{m}$  kleiner als der mittlere Fehler  $\sigma_{INL}$  eines einzelnen Durchlaufs.

## 7 Schlussbetrachtung

### 7.1 Auswahl eines TDC

Der Vernier TDC kann in der Theorie auf eine beliebig hohe Auflösung eingestellt werden. Jedoch gibt es einige Parameter, welche die reale höchstmögliche Auflösung begrenzen. Der wichtigste Faktor ist die Veränderung der Verzögerungszeiten der Inverter aufgrund lokaler Prozessvariationen. Der vorgestellte Current Starved Inverter hat in seiner ungünstigsten Prozesscorner bei einer Simulationstemperatur von 30°C eine Standardabweichung von 58,6 ps. Aufgrund des Einsatzes von zwei Verzögerungsketten, eine für das Start- und eine für das Stopp-Signal, führt dies zu einer Verkettung beider Variationen und die Standardabweichung steigt gemäß Gleichung 4.1 an. Diese zusätzliche Erhöhung der Abweichung durch die Verkettung zweier Verzögerungsketten findet nur beim Vernier TDC statt. Dadurch kommt es bei Testsimulationen mit einer Simulationstemperatur von 30°C bereits zu Messfehlern von bis zu 655 ps. Ein robusterer Invertertyp würde zu einer starken Verbesserung der Standardmessabweichung führen, allerdings ist die zusätzliche Erhöhung der Standardabweichung dem Funktionsprinzip des Vernier TDC geschuldet und somit stets vorhanden. Ein weiterer Nachteil des Vernier TDC ist, dass die Auswertzeit proportional mit  $1/T_{LSB}$  zunimmt. Des Weiteren wird für die Steuerspannung der zweiten Slave-Delay-Line eine zusätzliche DLL benötigt, wodurch ein erheblicher Platzbedarf auf dem Chip und zusätzlicher Leistungsbedarf resultiert.

Im Gegensatz zum Vernier TDC hat der Local Passive TDC den Vorteil, dass lediglich eine Slave-Delay-Line benötigt wird und die Auswertzeit proportional zur Messzeit ist. Zusätzlich wird für den in Kapitel 5 vorgestellten LPI-TDC mit Slave-DL zwangsläufig ein differentieller Inverter mit NMOS-Kreuzkopplung genutzt. Dieser hat den Vorteil, dass er eine sehr geringe Standardabweichung aufweist. Aufgrund des Komparatorverhaltens und des Vergleichs einer steigenden mit einer fallenden Flanke entsteht hier ein systematischer Fehler von maximal 190 ps. Ein weiterer Fehler entsteht beim Ansteuern der Slave-DL aufgrund unterschiedlicher Treiberstärken. Dies hat zur Folge, dass die Auflösung der ersten Inverter-Elemente falsch eingestellt wird und ein weiterer Messfehler entsteht. Das Ergebnis von Testsimulationen bei einer Simulationstemperatur von 30°C ergibt, dass sich ein maximaler Messfehler von 450 ps einstellt.

Ein neues Funktionsschema für den Local Passive TDC ist in Kapitel 6 vorgestellt worden. Der Ansatz eines LPI-TDC ohne Slave-Delay-Line sorgt dafür, dass eine stets konstante Treiberstärke vorliegt und somit die Auflösung aller Elemente identisch ist. Dies ist aufgrund des Einsatzes von Dummy-Elementen in der Master-Delay-Line möglich. Zusätzlich wird ein differentielles D-Flipflop anstatt eines Komparators eingesetzt. Es wurden zwei differentielle Inverterstrukturen, die Maneatis Delay Zelle und ein differentieller Inverter mit NMOS-Kreuzkopplung, untersucht. Des Weiteren wurde der Einfluss des Layouts auf die Versorgungsspannung der Verzögerungskette und der Einfluss von Up- und Down-Pulsen auf die Auflösung des TDC analysiert. Eine zusätzliche Fehlerquelle ist die Erzeugung und das Routing des Messsignals  $T_{mess}$ . Ein weiterer Vorteil des Ansatzes ohne Slave-DL ist, dass bei jeder vorgenommenen Messung unterschiedliche Elemente der Master-DL genutzt werden, um die Messzeit zu ermitteln und somit eine Mittelwertbildung der Messabweichung stattfindet.

		Standardabweichung des Messergebnisses in ps	
		Maneatis Delay Zelle	Diff. Inv. mit NMOS-K.
D-Flipflop	TYP 30°C	11	
	FF -50°C	7,4	
	SS 120°C	14,1	
Erzeugung und Router Messsignal	TYP 30°C	13,3	
	FF -50°C	8,8	
	SS 120°C	20,6	
Inverter	TYP 30°C	67,6	10,9
	FF -50°C	88,1	11,9
	SS 120°C	47,2	17,4
TDC insgesamt	TYP 30°C	91,9	35,2
	FF -50°C	104,3	28,1
	SS 120°C	81,9	52,1

**Tabelle 7.1:** Zusammenfassung des Einflusses aller lokalen Prozessvariationen auf die Standardabweichung des Messergebnisses.

Anhand der Tabelle ist zu erkennen, dass der differentielle Inverter mit NMOS-Kreuzkopplung die besten Ergebnisse bezüglich lokaler Prozessvariationen erzielt. Im Vergleich der Worst Case Prozesscorner und Prozesstemperatur hat der Aufbau mit der Maneatis Delay Zelle eine doppelt so hohe Standardabweichung. Zusätzlich zu diesen Ergebnissen kommt noch der Einfluss des Layouts auf die Versorgungsspannung der Inverter mit einem maximalen Fehler des Messergebnisses von 19 ps (Maneatis) bzw. 2,7 ps (Diff. Inv.) und der Ein-

fluss von Up- und Down-Pulsen mit ca. 10 ps (Maneatis) und 5 ps (Diff. Inv.) hinzu. So kann im Worst Case eine Abweichung in Höhe von 342 ps (Maneatis) bzw. 164 ps (Diff. Inv.) angenommen werden. Diese Werte entstehen bei Betrachtung der ungenauesten Prozesscorner und Prozesstemperatur und einer Abweichung von  $3\sigma$ . Des Weiteren hat der differentielle Inverter mit NMOS-Kreuzkopplung einen etwa siebenfach geringeren RMS-Strom.

Aufgrund dieser Ergebnisse ist der Local Passive Interpolation TDC ohne Slave-Delay-Line mit Einsatz des differentiellen Inverters mit NMOS-Kreuzkopplung zu bevorzugen. Hiermit wird eine Auflösung von 16 ps und eine Standardabweichung des Messergebnisses von typischerweise 35,2 ps (Worst Case 52,1 ps) erzielt.

## 7.2 Fazit

Im Rahmen dieser Thesis wurden zunächst zwei verschiedene Ansätze, der Vernier TDC und der Local Passive Interpolation TDC mit Slave-Delay-Line, untersucht. Der Nachteil des Vernier TDC ist, dass hier zwei DLLs zum Regeln der zwei Verzögerungsketten benötigt werden. Aufgrund der Verknüpfung beider Verzögerungsketten kommt es zu einer Erhöhung der Standardabweichung, welche bei anderen TDC-Typen nicht vorhanden ist. Der LPI-TDC mit Slave-Delay-Line hat hier bereits bessere Ergebnisse gezeigt. Allerdings sind auch neue Fehlerquellen identifiziert worden, wie z.B. eine nichtkonstante Treiberstärke der ersten Elemente der Slave-DL und ein systematischer Messfehler des Komparators.

Infolgedessen wurde ein neues Funktionsprinzip für den Local Passive Interpolation TDC untersucht. In diesem Ansatz wird keine Slave-DL benutzt. Stattdessen findet die Messung und Auswertung direkt mithilfe der Master-DL statt. Dies führt zu einer konstanten Treiberstärke aller Elemente in der Verzögerungskette. Durch diesen Aufbau konnte der Komparator durch ein differentiellen D-Flipflop ersetzt werden. Dieser Ansatz hat mit dem differentiellen Inverter mit NMOS-Kreuzkopplung die besten Ergebnisse erzielt und wird deshalb als TDC für den Einsatz in der Time-of-Flight Anwendung empfohlen.

Das Ergebnis dieser Thesis ist ein TDC mit einer Auflösung von 16 ps. Bei Betrachtung aller möglichen Fehlerquellen des TDC samt DLL resultiert daraus eine Standardmessabweichung von 35,2 ps. Die Auswertung des Worst Case ergibt eine Standardmessabweichung von 52,1 ps. Der tatsächliche Messfehler wird also im Bereich zwischen  $-T_{LSB}-3\sigma$  und  $T_{LSB}+3\sigma$  liegen. Für die Distanzbestimmung der Time-of-Flight Kamera bedeutet dies eine

Genauigkeit von  $\pm 2,46 \text{ cm}$ . Bei einer Anzahl von  $m$  Messdurchläufen wird die Standardabweichung eines einzelnen Durchlaufs um den Faktor  $\sqrt{m}$  verringert und die Genauigkeit der Kamera verbessert.

## 8 Literaturverzeichnis

- [1] Bilal I. Abdulrazzaq et al., „A review on high-resolution CMOS delay lines: towards sub-picosecond jitter performance“, 2016, Seite 19
- [2] United States Patent Wakayama (Patent No.: US 7,057,465 B2 Jun.6,2006): „Low Offset and Low Glitch Energy Charge Pump and Method of Operating same.“
- [3] Chih-Kong Ken Yang, „Delay-locked Loops – An Overview“, unter: <http://www.ece.ucsb.edu/~long/ece594a/DLL.pdf> (abgerufen am 18.01.2018)
- [4] Yong-Hwan Moon, „A 2.2-mW 20 – 135-Mhz False-Lock-Free DLL for Display Interface in 0.15- $\mu$ m CMOS“, IEEE transactions on circuits and systems – II: ex-press briefs, Vol. 61, NO. 8, August 2014
- [5] Neil H. E. Weste, David Money Harris, „CMOS VLSI Design – A Curcuits and Systems Perspective“, Vierte Edition, unter: <pages.hmc.edu/harris/cmosvlsi/4e/lect/lect22.pdf> (abgerufen am 05.03.2018)
- [6] R. Jacob Baker, „CMOS Curcuit Design, Layout, and Simulation“, IEEE Series on Microelectronic Systems, 2010, 3. Auflage
- [7] Christian Mester, „Development of high speed integrated curcuit for very high resolution timing measurements“, Universität Bonn, 2009, Seite 15
- [8] Stephan Henzler, „Time-to-Digital Converters“, Springer, 2010, 1. Auflage
- [9] Antonia Liscidini et al., „Tome to Digital Converter based on a 2-dimensions Vernier architecture“, University of Pavia, IEEE xplore
- [10] Peter M. Levice, Gordon W. Roberts, „A High-Resolution Flash Time-to-Digital Converter and Calibration Scheme“, McGill University, 2014, unter: [https://www.researchgate.net/publication/4120369\\_A\\_high-resolution\\_flash\\_time-to-digital\\_converter\\_and\\_calibration\\_scheme](https://www.researchgate.net/publication/4120369_A_high-resolution_flash_time-to-digital_converter_and_calibration_scheme) (abgerufen am 17.02.2018)

- 
- [11] Majid Memarian Sorkhabi, Siroos Toofan, „A High-Resolution First Order Noise-Shaping Vernier Time-to-Digital Converter”, 2012
- [12] G.S. Jovanović, M.K. Stojčev, „Current starved delay element with symmetric load”, Faculty of Electronic Engineering, Serbia and Montenegro, Oktober 2004
- [13] G.S. Jovanović, M.K. Stojčev, „Vernier’s Delay Line Time-to-Digital Converter”, University of Novi Pazar, 2009, Seite 15
- [14] John George Maneatis, „Precise Delay Generation using coupled oscillators”, Department of electrical engineering, Stanford University, June 1994
- [15] Lukas Perktold, Jorgen Christiansen, „A multichannel Time-To-Digital Converter ASIC with better than 3ps RMS Time Resolution”, CERN, September 2013
- [16] Dr. C. Mail, T. Dammeyer, „Messfehler, Fehlerberechnung und Fehlerabschätzung”, Physikalische Chemie der TU Braunschweig, 2012, unter: <https://www.tu-braunschweig.de/Medien-DB/pci/fehlerrechnung.pdf> (abgerufen am 13.04.2018)
- [17] Synopsys, „Using Tcl with Synopsys Tools”, Version A-2007, 12. Dezember 2007

## 9 Anlagen

### 9.1 Verilog-A Modelle

```
1 //VerilogA for DLL_Projekt, AND, veriloga
2
3 `include "constants.vams"
4 `include "disciplines.vams"
5
6 module AND_Gatter(in1,in2,out,vdd,gnd);
7
8 //Definitions (input,output,intern variables)
9
10     parameter real tdelay=50p;
11     parameter real trise=200p;
12     parameter real tfall=200p;
13     input in1,in2,vdd;
14     output out;
15     inout gnd;
16     electrical in1,in2,out,vdd,gnd;
17
18     real vin1,vin2,vpwr,state;
19
20     integer an1,an2;
21
22     analog begin
23
24         vin1 = V(in1,gnd);
25         vin2 = V(in2,gnd);
26         vpwr = V(vdd,gnd);
27
28
29         if(vin1 > vpwr/2 && vin2 > vpwr/2)
30             state = vpwr;
31         else
32             state = 0;
33
34         V(out,gnd) <+ transition(state,tdelay,trise,tfall);
35     end
36 endmodule
37
```

Abbildung 9.1: Verilog-A Modell eines AND Gatters.



```
1 // VerilogA for DLL-Projekt, orgate, veriloga
2
3 `include "constants.vams"
4 `include "disciplines.vams"
5
6 //Module ORGATE
7
8 module OR_Gatter(in1,in2,out,vdd,gnd);
9
10 //Definitons (input,output,intern variables)
11
12     parameter real t_delay=0;
13     parameter real trise=0;
14     parameter real tfall=0;
15     input in1,in2,vdd;
16     output out;
17     inout gnd;
18     electrical in1,in2,out,vdd,gnd;
19
20     real vin1,vin2,vpwr,state;
21
22     integer an1,an2;
23
24     analog
25     begin
26
27 //Voltage definitions
28
29     vin1 = V(in1,gnd);
30     vin2 = V(in2,gnd);
31     vpwr = V(vdd,gnd);
32
33     if(vin1>vpwr/2 || vin2>vpwr/2)
34         state = vpwr;
35     else
36         state = 0;
37
38 //transition-function for smoothing the voltage output of the andgate
39
40     V(out,gnd) <+ transition(state,t_delay,trise,tfall);
41
42     end
43
44
45 endmodule
```

**Abbildung 9.2:** Verilog-A Modell eines OR Gatters.

```

1 // VerilogA for DLL_Projekt, DL_verilogA, veriloga
2
3 `include "constants.vams"
4 `include "disciplines.vams"
5
6 module DL_verilogA(vcontrol,DLI,vsupply,gnd,DLO,grad90,grad120,grad180,grad270);
7
8 parameter real vmax=2;
9 parameter real vmin=0.5;
10 parameter real tmax=50n;
11 parameter real tmin=30n;
12 parameter real trise=200p;
13 parameter real tfall=200p;
14 parameter real tdelaymin=5n;
15 input vcontrol,DLI,vsupply;
16 inout gnd;
17 output DLO,grad90,grad120,grad180,grad270;
18 electrical vcontrol,DLI,vsupply,gnd,DLO,grad90,grad120,grad180,grad270;
19
20 real a,b,tdelay_calc,tdelay,tdelay90,tdelay120,tdelay180,tdelay270,VDLI,Vvsupply,Vvcontrol,value;
21
22     analog
23     begin
24
25 //Voltage variables
26         VDLI = V(DLI,gnd);
27         Vvsupply = V(vsupply,gnd);
28         Vvcontrol = V(vcontrol,gnd);
29
30 //Calculation
31         a= (tmax-tmin)/(vmax-vmin);
32         b= tmax+a*vmin;
33         tdelay_calc=- a*Vvcontrol+b;
34         if (tdelay_calc >= tdelaymin)
35             begin
36                 tdelay=tdelay_calc;
37             end
38         else
39             begin
40                 tdelay=tdelaymin;
41             end
42
43         tdelay90=tdelay/4;
44         tdelay120=tdelay/3;
45         tdelay180=tdelay/2;
46         tdelay270=3*tdelay/4;
47 //Auswertung
48         @(cross(VDLI - Vvsupply/2,+1)) value=Vvsupply;
49         @(cross(VDLI - Vvsupply/2,-1)) value=0;
50
51         V(DLO,gnd) <- transition(value,tdelay,trise,tfall);
52         V(grad90,gnd) <- transition(value,tdelay90,trise,tfall);
53         V(grad120,gnd) <- transition(value,tdelay120,trise,tfall);
54         V(grad180,gnd) <- transition(value,tdelay180,trise,tfall);
55         V(grad270,gnd) <- transition(value,tdelay270,trise,tfall);
56
57     end
58 endmodule

```

**Abbildung 9.3:** Verilog-A Modell der Verzögerungskette inklusive Abgriffe bei 90°, 120°, 180° und 270°.

```
1 // VerilogA for DLL-Projekt, inverter, veriloga
2
3 `include "constants.vams"
4 `include "disciplines.vams"
5
6 //Module inverter
7
8 module inverter(in,out,vdd,gnd);
9
10 //Definitions (input,output,intern variables)
11
12     parameter real vdc=0;
13     parameter real t_delay=0;
14     parameter real trise=0;
15     parameter real tfall=0;
16     input in,vdd;
17     output out;
18     inout gnd;
19     electrical in,out,vdd,gnd;
20
21     real vin,vpwr,state;
22
23     integer an1;
24
25     analog
26     begin
27
28 //Voltage definitions
29
30     vin = V(in,gnd);
31     vpwr = V(vdd,gnd);
32
33 //cross-function for detecting zero crossing of input vin
34
35     if(vin>vpwr/2)
36         state = 0;
37     else
38         state = vdc;
39
40
41 //transition-function for smoothing the voltage output of the inverter
42
43     V(out,gnd) <+ transition(state,t_delay,trise,tfall);
44
45     end
46
47
48 endmodule
```

**Abbildung 9.4:** Verilog-A Modell eines Inverters.

```

1 // VerilogA for DLL_Projekt, D_Flipflop_high_reset, veriloga
2
3 `include "constants.vams"
4 `include "disciplines.vams"
5
6 module D_Flipflop_high_reset(d,clk,reset,q,vdd,gnd);
7
8 parameter real tdelay=0;
9 parameter real trise=0;
10 parameter real tfall=0;
11 input d,clk,reset,vdd;
12 inout q,gnd;
13 electrical d,clk,reset,q,vdd,gnd;
14
15 real vd,vclk,vreset,vq,vpwr,value;
16
17     analog
18     begin
19
20 //Voltage variables
21         vd = V(d,gnd);
22         vclk = V(clk,gnd);
23         vreset = V(reset,gnd);
24         vq = V(q,gnd);
25         vpwr = V(vdd,gnd);
26
27 //cross function is called when argument has a rising edge
28         @(cross(vclk - vpwr/2,+1))
29 //if function to set output current to dc value
30         if (vreset < vpwr/2)
31             begin
32                 value = vd;
33             end
34 //cross function is called when argument has a rising edge
35         @(cross(vreset - vpwr/2,+1)) value=0;
36
37 //transition-function for smoothing the output voltage
38         V(q,gnd) <+ transition(value,tdelay,trise,tfall);
39     end
40 endmodule

```

**Abbildung 9.5:** Verilog-A Modell eines D-Flipflops mit High-Reset.

```

1 // VerilogA for DLL_Projekt, D_Flipflop_low, verilogA
2
3 `include "constants.vams"
4 `include "disciplines.vams"
5
6 module D_FlipFlop_low_reset(d,clk,reset,q,vdd,gnd);
7
8 parameter real tdelay=0;
9 parameter real trise=0;
10 parameter real tfall=0;
11 input d,clk,reset,vdd;
12 inout q,gnd;
13 electrical d,clk,reset,q,vdd,gnd;
14
15 real vd,vclk,vreset,vq,vpwr,state,value;
16
17     analog
18     begin
19
20 //Voltage variables
21         vd = V(d,gnd);
22         vclk = V(clk,gnd);
23         vreset = V(reset,gnd);
24         vq = V(q,gnd);
25         vpwr = V(vdd,gnd);
26
27 //cross function is called when argument has a rising edge
28         @(cross(vclk - vpwr/2,+1)) state=1;
29
30 //cross function is called when argument has a falling edge
31         @(cross(vreset - vpwr/2,-1)) state=0; // vreset (high-signal) must be greater than vpwr/2
32
33 //if function to set output current to dc value
34         if (vd > vpwr/2 & vreset > vpwr/2 & state == 1)
35             begin
36                 value = vpwr;
37             end
38 //if function to set output current to zero
39         else if (vd < vpwr/2 | state ==0)
40             begin
41                 value = 0;
42             end
43         V(q,gnd) <+ transition(value,tdelay,trise,tfall);
44     end
45 endmodule

```

**Abbildung 9.6:** Verilog-A Modell eines D-Flipflops mit Low-Reset.

```

1 // VerilogA for shuldo, opamp, veriloga
2
3 `include "constants.vams"
4 `include "disciplines.vams"
5
6 module opamp(vinp,vinm,vpwr,gnd,vout);
7   inout vinp,vinm,vpwr,gnd;
8   inout vout;
9   electrical vinp,vinm,vout,vpwr,gnd;
10
11   parameter real gain = 1000.0 from (0:inf), // open loop gain
12     rin = 1.0e9 from (0:inf),
13     cin = 1.0e-14 from (0:inf),
14     fg = 1.0M from (0:inf), // 3dB frequency
15     rout = 50.0 from (0:inf), // output resistance
16     imax = 1.0e-3 from (0:inf);
17   //     vofs= 800.0e-3,
18   //     vdd= 1.6 from (0:inf);
19
20
21   real vin,vout_h,vout0,gm,cpol,rpol,clip,resout,vdd,vofs;
22
23   electrical cout,vref;
24   analog
25   begin
26     @ ( initial_step or initial_step("dc") ) begin
27       cpol = 1.0p;
28       rpol = 1/(`M_TWO_PI * cpol * fg) ;
29       resout=rout;
30       gm=gain/rpol;
31     end
32
33     vin = V(vinp,vinm);
34     vout_h = V(vout,gnd);
35     vdd= V(vpwr,gnd);
36     vofs=vdd/2;
37
38     //Output voltage at vin=0
39     V(vref,gnd) <+ vofs;
40
41     //input stage parasitics
42     I(vinp,vinm) <+ vin / rin + cin * ddt(vin);
43
44     // dominant pole
45     I(cout,vref) <+ ddt(cpol*v(cout,vref));
46     I(cout,vref) <+ V(cout,vref)/rpol;
47
48     // output current
49     I(vref,cout) <+ gm*vin;
50
51     // output stage with output voltage limit
52     clip=1/2.0*(tanh(75*(vout_h-0.1))-tanh(75*(vout_h-vdd+0.1)));
53     I(vout,vref) <+ V(vout,vref)/rout;
54     I(vref,vout) <+ V(cout,vref)/rout*clip;
55
56   end
57 endmodule

```

Abbildung 9.7: Verilog-A Modell eines einstellbaren Operationsverstärkers.

## 9.2 Beschreibung des TCL-Skripts

In diesem Kapitel werden die wichtigsten Einstellungen des TCL-Skripts von der Angabe des Simulationspfads bis zur Durchführung der Monte-Carlo Analyse zusammengefasst. Das Skript ist besonders hilfreich, da es die Eingabe der Kalkulator-Funktion durch die Nutzung einer while-Schleife für die Berechnung der einzelnen Auflösungsschritte erheblich vereinfacht. Synopsys stellt mit [17] eine Anleitung für TCL-Befehle zur Verfügung.

```
setDesign Projektname/Dateiname/schematic
setSimulator HSPICE
set Temperature 30C
```

Mithilfe dieser drei set-Befehle wird zunächst der Pfad der zu simulierenden Schaltung, der Simulator und die Simulationstemperatur angegeben.

```
createAnalysis tran {
    enabled 1
    start 0
    step 1p
    stop 1u }
```

Anschließend wird die Analyse gewählt. Dies kann z.B. op für die Arbeitspunktanalyse, tran für transiente Simulationen oder ac für Frequenzanalysen sein. Im Folgenden werden einige Einstellungen vorgenommen. Für die transiente Analyse sind dies unter anderem die Aktivierung der Analyse für die Simulation (enabled 1), den Startzeitpunkt (start 0), die Schrittweite (step 1p) und den Stoppzeitpunkt (stop 1u).

```
setDesVars {
    Vcontrol1 1.5
    Vcontrol2 1.6 }
```

Im nächsten Segment können den Entwurfsvariablen Werte zugewiesen werden. Dabei sind feste Werte aber auch sogenannte Sweeps möglich, mit denen man einen Wertebereich durchlaufen kann.

```

ss::enable stimulusSets
setSimOptions {
    RUNLVL 6 }

```

Die Genauigkeit der Simulation kann mit dem Parameter Runlvl eingestellt werden. Der Einstellbereich geht von Runlvl 1, für schnelle Simulationen von logischen Schaltungen, bis Runlvl 6, für sehr genaue Simulationen im Analog-Design. Da es sich hier um sehr schnelle Schaltzeiten handelt, und eine hohe Genauigkeit der Ergebnisse gefordert ist, wird Runlvl 6 genutzt.

Im Folgenden werden Ausdrücke für die Analyse der Simulationsergebnisse definiert. Hier kann festgelegt werden, von welchen Netzen bzw. Ports die Spannung bzw. der Strom angezeigt werden soll. Darüber hinaus können auch komplexe Kalkulator-Funktionen genutzt werden, um Kenndaten aus den Simulationsergebnissen zu extrahieren.

```

set i 1
set j 2
while {$i < 500} {
sa::createOutput TLSB$i -testbench [getActiveTestbench] -analyses {tran} -expr
delay(v(/in1<$i>),v(/in1<$j>),1.65,1.65,1,1,100n)-delay(v(/in2<$i>),v(/in2<$j>),1.65,
1.65,1,1,100n) -plot 1 -probe {} -save 1
incr i
incr j }

```

Mithilfe des oben dargestellten Codes wird die Auflösung der 500 Elemente der Vernier Delay-Line aus der Differenz der Verzögerung der langsamen und der schnellen Delay-Line berechnet. Mit dem Befehl set werden Variablen Werte zugewiesen. Die Variablen i und j starten bei 1 bzw. 2 und enden bei 499 und 500. Ein \$-Zeichen ersetzt den Buchstaben der dahinterstehenden Variablen mit dessen aktuellen Wert. Innerhalb der Delay-Funktion ist wichtig, dass ()-Klammern anstatt {}-Klammern genutzt werden, da sonst das \$-Literal ignoriert wird und es zu einer Fehlermeldung kommt. Die Delayfunktion (delay(v(/in1<\$i>),v(/in1<\$j>),1.65,1.65,1,1,100n)) berechnet ab einer Simulationszeit von 100 Nanosekunden die Zeit zwischen der ersten steigenden Flanke von v(/in1<\$i>) und v(/in1<\$j>) bei einem Spannungswert von 1,65 V.

Für Corner-Simulationen werden folgende vier Zeilen im TCL-Skript benötigt.



```
sa::createCornerParameterDef standard.lib -cornersSetup $cs -type modelFile -startValue c0 -path
standard.lib
sa::addCorner c1 -cornersSetup $cs
sa::setCornerParamValue temp -cornerName c1 -value 30 -cornersSetup $cs
sa::setCornerParamValue standard.lib -cornerName c1 -value c1 -cornersSetup $cs
```

Standardmäßig ist Corner 0 für die standard.lib eingestellt. Beispielhaft ist der Code für die Einbindung der c1 Corner und die Definition einer Simulationstemperatur von 30° dargestellt. In gleicher Weise können die Corner c2-c6 hinzugefügt werden. Auch hier sind Temperatur- sowie Corner-Sweeps möglich.

Von besonderer Bedeutung für die Herleitung der INL- und DNL-Kennwerte sind die Monte-Carlo Simulationen. Diese können wie folgt im Skript konfiguriert werden.

```
set mc [sa::createMonteCarlo -testbench [getActiveTestbench] -numIter 1 -startIter 2 -multiRuns 0
-multiRunType {Number of runs} -saveSignalData 1 -iterationsPerRun 10 -totalRuns 1]
db::setAttr enabled -of $mc -value 1
db::setAttr useRandomSeed -of $mc -value 1
```

In der ersten Zeile wird die Monte-Carlo Simulation zusammen mit der Anzahl der Iterationen und Startiteration definiert. Die Startiteration 1 wird eine Simulation mit c0 – Typical durchführen. Deshalb wird bei Iteration 2 gestartet, wobei eine Transistor-Variation stattfinden kann. Die MC-Analyse wird schließlich mit enabled 1 zur Simulation hinzugefügt. Mit „useRandomSeed“ wird festgelegt, dass auch bei einem einzigen Simulationslauf alle Transistorparameter zufällig verteilt werden.

```
netlist
run
```

Zum Schluss wird mit dem Befehl netlist die Netzliste für die Simulation erzeugt und mit run die Simulation gestartet.

### 9.3 Gefalteter Transkonduktanzverstärker

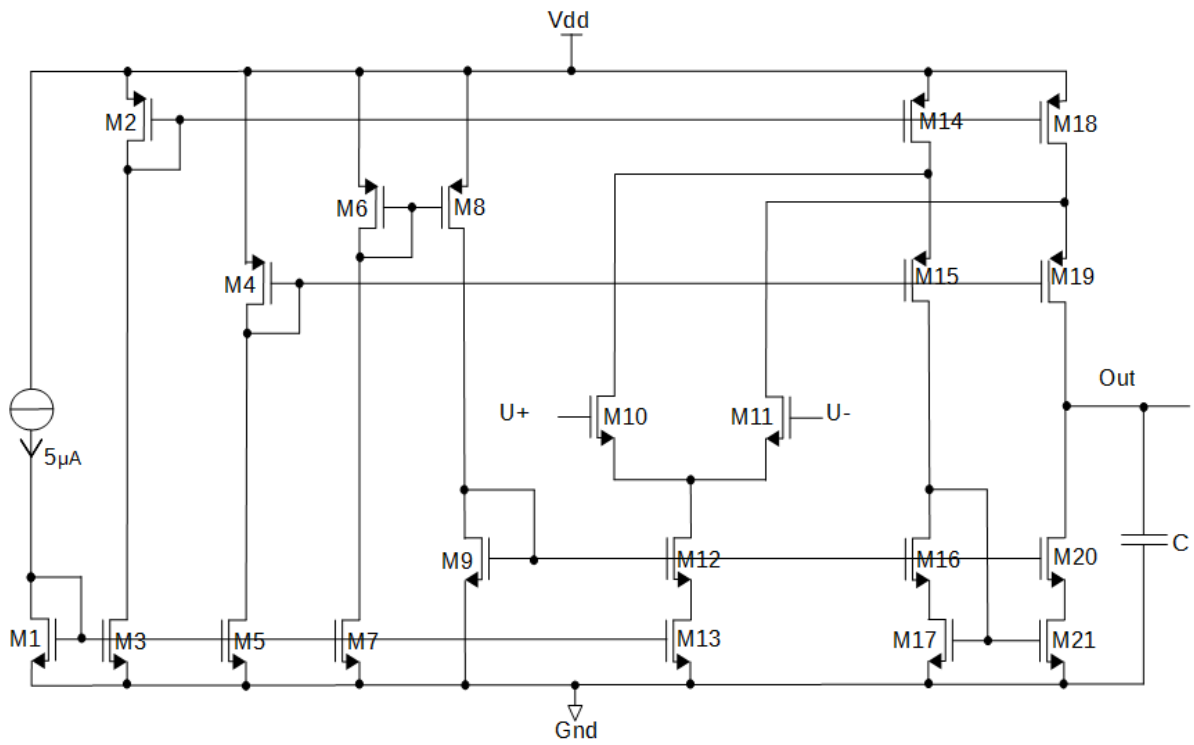


Abbildung 9.8: Gefalteter Transkonduktanzverstärker [4, S. 796 – 807].

## **Eidesstattliche Erklärung**

Hiermit versichere ich an Eides statt, dass ich die vorliegende Arbeit selbständig und ohne die Benutzung anderer als der angegebenen Hilfsmittel angefertigt habe. Alle Stellen, die wörtlich oder sinngemäß aus veröffentlichten und nicht veröffentlichten Schriften entnommen wurden, sind als solche kenntlich gemacht. Die Arbeit ist in gleicher oder ähnlicher Form oder auszugsweise im Rahmen einer anderen Prüfung noch nicht vorgelegt worden.

---

Ort, Datum

---

Unterschrift