

Bachelorarbeit

Im Studiengang
FB Elektrotechnik

Entwicklung eines Low-Side Komparators für einen Sägezahngenerator zur Verwendung in einem Tiefsetzsteller in 180nm CMOS Technologie

„Development of a Low-Side Comparator for a sawtooth oscillator used in a Buck converter
in a 180nm CMOS technology“

Vorgelegt von:

Oussama Mokrane

Matr.- Nr.: 7092659

27.03.2018

an der Fachhochschule Dortmund

Betreuender Professor: **Prof. Dr.- Ing Michael Karagounis**

Kurzfassung

In dieser Arbeit wird ein Low-Side Komparator entwickelt.

Der Low Side Komparator wird in die integrierte Schaltung eines Sägezahngenerators eingesetzt zur Verwendung in einem Tiefsetzsteller, welcher in einer 180nm CMOS Technologie entworfen worden ist und durch die Firma United Microelectronics Corporations (UMC) produziert werden soll.

Für die Entwicklung und Simulation der Schaltung des Komparators wird das Programm „Virtuoso 6.1-64b“ des Softwareherstellers „Cadence Design Systems“ verwendet. Cadence Design Systems, Inc. ist einer der weltweit größten Anbieter von Entwurfsautomatisierung elektronischer Systeme.

Diese Software bietet Simulationsmodelle für alle im Tiefsetzsteller verwendeten Bauteile.

Abstract

In this thesis, a low side comparator is developed.

The low side comparator is integrated into the circuit of the sawtooth generator used in a Buck converter is designed in a 180 nm CMOS technology and produced by United Microelectronics Corporation (UMC).

The "Virtuoso 6.1-64b" program of the software manufacturer "Cadence Design Systems" is used for the development and simulation of the comparator circuit. Cadence Design Systems, Inc. is one of the world's largest providers of design automation for electronic systems.

This software provides simulation models for all components used in the step-down converter.

Inhaltsverzeichnis

| | |
|--|-----------|
| Kurzfassung/ Abstract | 2 |
| Abbildungsverzeichnis | 4 |
| Abkürzungsverzeichnis | 7 |
| Nomenklatur | 8 |
| Einleitung | 9 |
| 1. Der Komparator | 10 |
| 1.1 Aufbau des Komparators | 10 |
| 1.2 Funktion des Komparators | 14 |
| 1.2.1 Funktion bei gleichen Eingangssignalen | 15 |
| 1.2.2 Funktion bei unterschiedliche Eingangssignalen | 16 |
| 1.3 Die Sättigungsspannung | 18 |
| 2. Simulation des Komparators | 22 |
| 2.1 PVT-Simulation | 23 |
| 2.2 Monte-Carlo-Simulation | 25 |
| 3. Funktionstest des Komparators..... | 27 |
| 3.1 Einsatz des Komparators bei Pulsgenerator des Sägezahngenerators..... | 29 |
| 3.1.1 PVT-Simulation..... | 32 |
| 3.2 Einsatz des Komparators beim Pulsgenerator mit einer konstanten Stromquelle..... | 33 |
| 3.3 Einsatz des Komparators bei Sägezahngenerator mit variabler Frequenz..... | 35 |
| 4. Das Layout..... | 42 |
| Fazit | 59 |
| Literaturverzeichnis | 60 |

Abbildungsverzeichnis

Abb. 1.1: Symbol des Komparators

Abb. 1.2: Darstellung der Stufen

Abb. 1.3: Stufe 1-Eingangsvorverstärker

Abb. 1.4: Stufe 2-Entscheidungsnetzwerk

Abb. 1.5: Stufe 3-Ausgangspuffer

Abb. 1.6: Aufbau des Komparators

Abb. 1.7: Linear- und Sättigungsbereich

Abb. 1.8: Komparatorschaltung mit den Angaben der Sättigungsspannungen

Abb. 2.1: Testschaltung

Abb. 2.2: Simulation des Komparators

Abb. 2.3: PVT-Simulationsergebnisse für die Schaltschwelle und Verzögerung bei 2.9V

Abb. 2.4: PVT-Simulationsergebnisse für die Schaltschwelle und Verzögerung bei 3.3V

Abb. 2.5: PVT-Simulationsergebnisse für die Schaltschwelle und Verzögerung bei 3.5V

Abb. 2.6: Monte-Carlo Number of Points

Abb. 2.7: Monte-Carlo Simulationsergebnisse für die Schaltschwelle

Abb. 2.8: Monte-Carlo Simulationsergebnisse für die Verzögerung

Abb. 3.1: Aufbau des optimierten Komparators

Abb. 3.2: Das Verhalten der Signale S1 und S2 bei den Entladen des Kondensators

Abb. 3.3: Das Verhalten der Signale S1 und S2 bei den Entladen des Kondensators

Abb. 3.1.1: Pulsgenerator

Abb. 3.1.2: Die Auswirkung des Ausgangsiales des High-Komparators, des Low-Komparators und D-Flipflop auf die Kondensatorspannung

Abb. 3.1.3: Das Verhalten des Komparators (Pcomp)

Abb. 3.1.1: PVT-Simulationsergebnisse für die Frequenz und Schalterzögerung des Komparators

Abb. 3.2.1: Pulsgenerator mit einer Konstanten Stromquelle

Abb. 3.2.2: Das Verhalten des Komparators (Pcomp)

Abb. 3.3.1: Sägezahngenerator mit variabler Frequenz

Abb. 3.3.2: Das Verhalten des Komparators bei einer Frequenz 1KHz

Abb. 3.3.3: Das Verhalten des Komparators bei einer Frequenz 2KHz

Abb. 3.3.4: Das Verhalten des Komparators bei einer Frequenz 277KHz

Abb. 3.3.5: Das Verhalten des Komparators bei einer Frequenz 554KHz

Abb. 3.3.6: Das Verhalten des Komparators bei einer Frequenz 1MHz

Abb. 4.1: Dummy-Transistoren für Low-Side Komparator

Abb. 4.2: Transistoren gleicher Geometrie

Abb. 4.3: Transistoren gleicher Geometrie mit Dummy

Abb. 4.4: Layout-Editor

Abb. 4.5: Display Options

Abb. 4.6: Create Instance

Abb. 4.7: NMOS Transistor „Analog CMOS Design“

Abb. 4.8: Layout NMOS Transistor

Abb. 4.9: PMOS Transistor „Analog CMOS Design“

Abb. 4.10: Layout PMOS Transistor

Abb. 4.11: Create Via M1_PDIF und NMOS Transistor

Abb. 4.12: Create Via M1_NWEL und PMOS Transistor

Abb. 4.13: Edit Instance Properties

Abb. 4.14: Beispiel zwei Transistoren mit 2 Dummy die gleiche Geometrie besitzen

Abb. 4.15: Beispiel Layout der vier Transistoren

Abb. 4.16: Create Via M1_POLY

Abb. 4.17: Verbindung (Via1) zwischen Metall 1 und Metall 2

Abb. 4.18: Verbindung Via2 zwischen Metall 2 und Metall 3

Abb. 4.19: Verbindung zwischen zwei Kontakten mit Metall 1

Abb. 4.20: Verbindung zwischen zwei Kontakten mit Metall 2

Abb. 4.21: Create Label Netznamen Einfügen

Abb. 4.22: Create Label Text einfügen

Abb. 4.23: Beispiel deklarierten Eingängen und Zeichen

Abb. 4.24: Das Fenster des DRCs

Abb. 4.25: Beispiel eine Maskierung des Regelverstoßes

Abb. 4.26: Fenster des LVSs

Abb. 4.27: Verbindungen im Layout

Abb. 4.28: Eine erfolgreiche LVS-Ausgabe

Abb. 4.29: Das Layout des Low-Side Komparators

Abkürzungsverzeichnis

| | |
|-----------|---|
| CMOS | Complementary metal-oxide-semiconductor |
| PMOS | p-kanal metal-oxide-semiconductor |
| NMOS | n-kanal metal-oxide-semiconductor |
| UMC | United Microelectronics Corporations |
| PVT | Process, Voltage, Temperature |
| DIFF –drw | Diffusionszone |
| PO1-drw | Polysilizium |
| NWEL –drw | N-Wanne |
| CONT –dsw | Metallkontakt |
| ME1 –drw | Leiterbahn-Anschlussstück |
| DRC | Design Rule Check |
| LVS | Layout Versus Schematic |

Nomenklatur

| | |
|------------|---|
| U_p | positiver Eingang des Komparators |
| U_m | negativer Eingang des Komparators |
| U_{aus} | Ausgangsspannung |
| i_{op} | Strom im Entscheidungsnetzwerk des positiven Eingangs |
| i_{om} | Strom im Entscheidungsnetzwerk des negativen Eingangs |
| VDD | Versorgungsspannung |
| g_m | Steilheit |
| U_{SG} | Source-Gate Spannung |
| U_{GS} | Gate-Source Spannung |
| U_{TH} | Schwellenspannung |
| U_{DSAT} | Sättigungsspannung |
| S_T | Rauschen |
| W | Die Breite eines Transistors |
| L | Die Länge eines Transistors |
| μ | Ladungsträgerbeweglichkeit |
| λ | Kanallängenmodulationsparameter |
| U_c | Kondensatorspannung |
| U_{ref} | Referenzspannung |
| f_s | Schaltfrequenz |
| T_s | Puls-Periodendauer |
| C | Kapazität |

Einleitung

Ein Komparator ist ein vielseitiges Bauelement, dessen Funktion in unzähligen Geräten oder Systemen benötigt wird. Die Grundfunktion ist der Vergleich zweier Spannungen. Je nach Ergebnis des Vergleichs wird am Ausgang des Komparators ein Signal binärer/digitaler Form ausgegeben.

In dieser Arbeit wird ein Low Side Komparator entwickelt und zur Verwendung in einen Tiefsetzsteller in die integrierte Schaltung des Sägezahngenerators eingesetzt.

Der Sägezahngenerator besteht aus drei wichtigen Teilen, einer steuerbaren Konstantstromquelle, parallelgeschalteten Kondensatoren, die wiederum zu zwei NMOS-Transistoren parallel geschaltet sind, welche durch einen Pulsgenerator angesteuert werden.

Der Tiefsetzsteller wandelt eine Eingangsspannung in eine niedrigere Ausgangsspannung. Er wird auch Abwärtswandler genannt.

Anwendungen des Tiefsetzstellers umfassen:

- Erzeugen von kleineren Spannungen (12 V, 5 V) aus 24 V (LKW, Industrienetzteile);
- Bereitstellung der Prozessor-Versorgungsspannung (1.2...3.3 V) in Notebooks;
- Ladegeräte für Akkumulatoren;
- Betrieb von Halbleiterlasern;
- Stromregelung an Schrittmotoren und Drehzahlregelung an Gleichstrommotoren;
- Betrieb bzw. Regelung von Peltierelementen zum Heizen oder Kühlen;
- Treiben von LED-Taschenlampen und LED-Fahrradscheinwerfern

Der Komparator wird mit dem Programm "Virtuoso 6.1-64b" von Cadence entworfen.

1. Der Komparator

Der Komparator besteht aus zwei Eingängen, ein positiver Eingang U_p und ein negativer Eingang U_m . Ist das Potential am positiven Eingang größer als am negativen Eingang liegt am Ausgang des Komparators U_{aus} eine logische 1 und somit die Versorgungsspannung von VDD an. Ist das Potential am negativen Eingang größer als am positiven Eingang liegt am Ausgang des Komparators eine logische 0 also eine Spannung von 0V an.

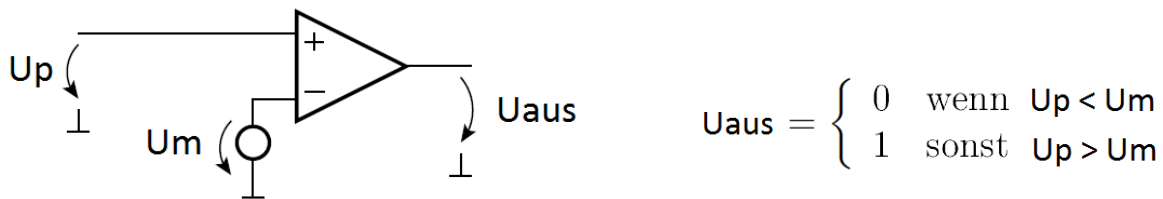


Abbildung 1.1: Symbol des Komparators

1.1 Aufbau des Komparators

Im Prinzip besteht der Komparator aus drei Stufen. Die erste Stufe ist ein Eingangsvorverstärker (Abbildung 1.3), die zweite Stufe besteht aus einem Entscheidungsnetzwerk (Abbildung 1.4) und die dritte Stufe ist ein Ausgangspuffer (Abbildung 1.5). Der Komparatorseingang hat eine hohe Impedanz. Dies ist wichtig, um eine Belastung und damit eine Verfälschung der zu vergleichenden Spannungen zu vermeiden. Der Ausgangspuffer besitzt eine relativ große Treiberstärke, um schnelle Schaltzeiten zu gewährleisten.

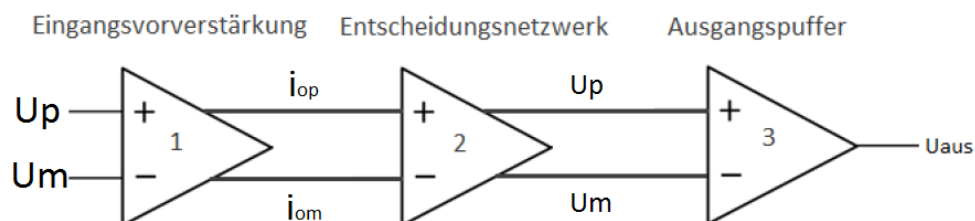


Abbildung 1.2: Die Darstellung der Stufen [2, S. 910]

1.1.2 Stufe zwei: Entscheidungsnetzwerk

Im Entscheidungsnetzwerk befinden sich zum einen die zwei inneren über Kreuz gekoppelten Transistoren M30 und M28 und die zwei äußeren Transistoren M24 und M31, deren Gate und Drain Elektroden jeweils miteinander verbunden sind. Um die Schaltung nachzuvollziehen, ist es besser, sich zunächst die Funktion ohne die beiden inneren Transistoren M30 und M28 vorzustellen. In diesem Fall fließen die Ströme der Transistoren M0 und M1 komplett durch die Gate-Drain verbundenen Transistoren M24 und M31. Somit bestimmt der Strom durch die äußeren Transistoren direkt die Source-Gate Spannungen U_{SG} dieser Transistoren. Je größer der Strom durch den jeweiligen Transistor, desto größer wird auch die entsprechende Source-Gate Spannungen. Da die Transistoren Gate-Drain verbunden sind, bedeutet eine größere Source-Gate Spannungen auch eine höhere Drain-Spannung und damit einer größeren Ausgangsspannung des Entscheidungsnetzwerkes. Ohne die beiden inneren Transistoren stellt sich jedoch nur ein kleiner Spannungsunterschied an den Drains der Transistoren M24 und M31 ein. Um den Entscheidungsprozess zu unterstützen, wird zusätzlich noch eine positive Rückkopplung durch die Cross-Gate-Verbindung der Transistoren M30 und M28 eingeführt.

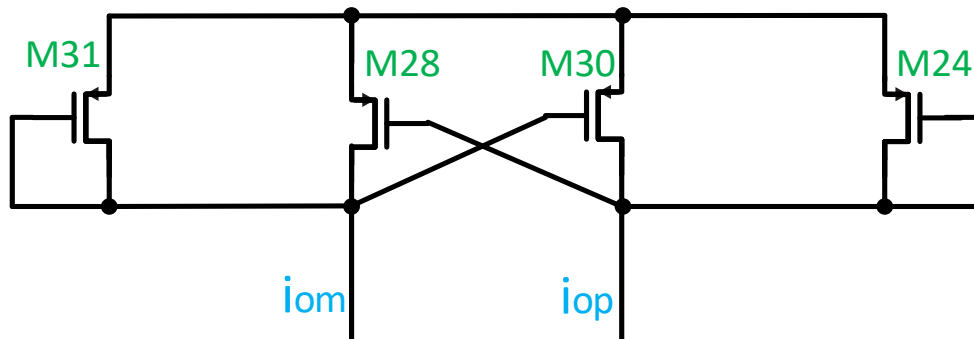


Abbildung 1.4: Stufe 2-Entscheidungsnetzwerk

1.1.3 Dritte Stufe: Ausgangspuffer

Die letzte Komponente in diesem Komparator-Design ist der Ausgangspuffer. Der Hauptzweck des Ausgangspuffers besteht darin, das Ausgangssignal des Entscheidungsnetzwerks in ein Logiksignal (d.h. 0 oder 1) zu wandeln.

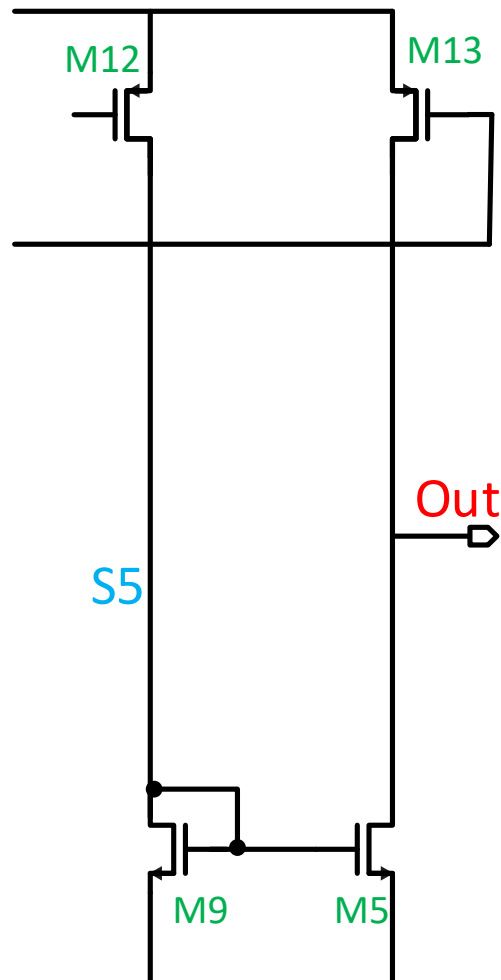


Abbildung 1.5: Stufe 3-Ausgangspuffer

1.2 Funktion des Komparators

In unserem Aufbau des Komparators besteht die Schaltung aus zehn PMOS Transistoren und sechs NMOS Transistoren. Die beiden Transistorarten haben vier Elektroden: Gate, Source, Drain und Bulk. In der Komparatorschaltung ist der Bulkanschluss der Transistoren durchgehend mit dem Sourceanschluss verbunden. Das Ziel dieser Schaltungsmaßnahme besteht darin, den Einfluss des Body-Effekts auf die Schwellenspannung auszuschließen. Auf Grund des Body-Effektes hängt die Schwellenspannung von der Source-Bulk-Spannung ab. Je größer diese Spannung wird, desto größer wird auch die Schwellenspannung des Transistors.

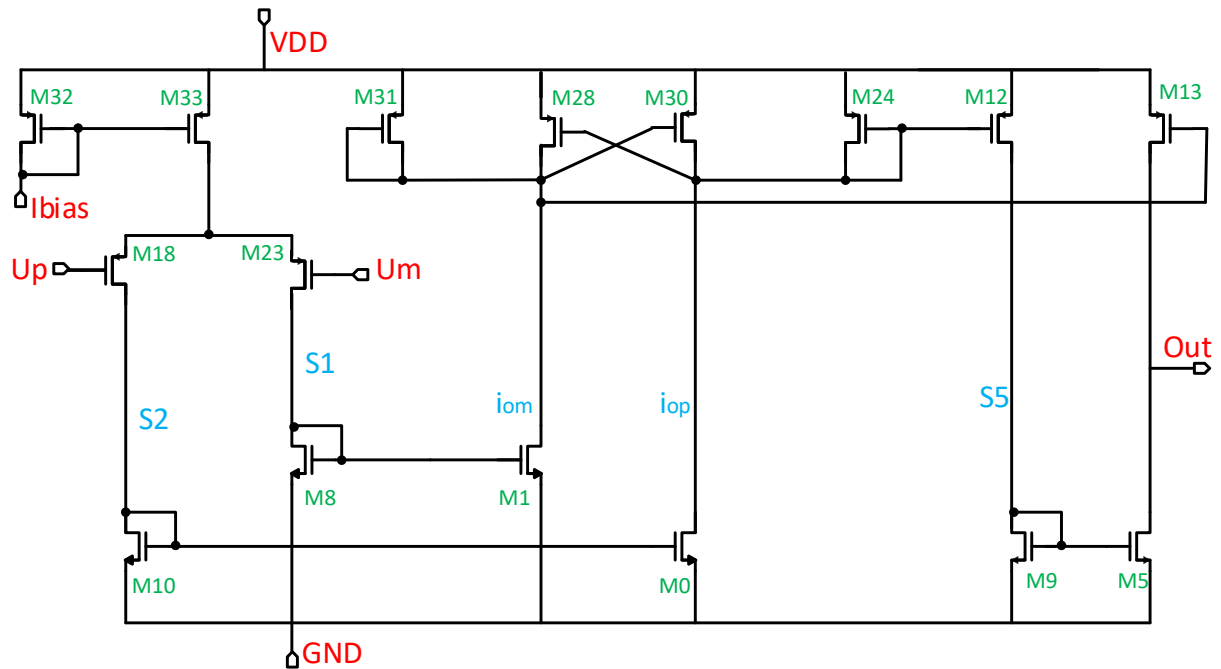


Abbildung 1.6: Aufbau des Komparators

1.2.1 Funktion bei gleichen Eingangssignalen

Zum besseren Verständnis der Schaltung werden zunächst gedanklich zwei gleichgroße Spannungen U_p und U_m an die Gates der PMOS Transistoren M18 und M23 angelegt. Der Strom I_{bias} der durch den Transistor M33 fließt, teilt sich dann jeweils zur Hälfte an den Source Anschlüssen von M18 und M23 auf. Die zwei gleich großen Ströme, die durch die Transistoren M18 und M23 fließen, fließen auch durch die NMOS Transistoren M10 und M8. Die Transistoren M10 und M8 haben jeweils eine Verbindung zwischen Gate und Drain. Je nachdem wie groß der Strom ist, der durch die Transistoren M18 und M23 fließt, stellt sich eine entsprechende Gate- Source Spannung U_{SG} an den Transistoren ein. Die Gates der NMOS Transistoren M0 und M1 sind mit den Gates der NMOS Transistoren M10 und M8 verbunden. Aufgrund der Topologie des Netzwerkes besitzen die Transistoren M0 und M10 bzw. M1 und M8 die gleiche Gate-Source Spannung. Da die Transistoren die gleiche Geometrie d.h. die gleiche Breite und die gleiche Länge besitzen, wird auch der gleiche Strom durch die Transistoren fließen, die zusammen jeweils paarweise einen Stromspiegel bilden. Durch das Entscheidungsnetzwerk werden die gespiegelten Ströme i_{op} und i_{om} miteinander verglichen.

Im betrachteten Fall sind die gespiegelten Ströme gleich groß und teilen sich gleichmäßig auf die PMOS Transistoren M31, M28, M30 und M24 auf. Die Ströme, die durch die Transistoren M24 bzw. M31 fließen, werden auf die Transistoren M12 und M13 in der Ausgangsstufe des Komparators gespiegelt. Der Strom, der durch den Transistor M12 fließt, wird über den Transistor M9 auf den Transistor M5 gespiegelt. Da nun Transistor M13 genauso viel Strom liefert wie der Transistor M5 zieht, stellt sich am Ausgang U_{aus} die Hälfte der Versorgungsspannung ein.

1.2.2 Funktion bei unterschiedlichen Eingangssignalen

Falls Eingangssignal $U_m > U_p$

Wenn das Eingangssignal U_m größer ist als U_p , fließt mehr Strom durch den Transistor M18 und weniger durch den Transistor M23. Durch den Transistor M10 fließt dann ein größerer Strom als durch den Transistor M8, und es stellt sich eine größere Gate-Source Spannung am Transistor M10 als am Transistor M8 ein. Diese Gate-Source Spannungen liegen auch jeweils an den Transistoren M0 und M1 an, und stellen somit die entsprechenden Ströme durch die Transistoren M0 und M1 ein. Der größere Strom durch den Transistor M10 wird dabei auf den Transistor M0 gespiegelt, während der kleinere Strom durch den Transistor M8 auf den Transistor M1 gespiegelt wird. Im Entscheidungsnetzwerk (siehe Abb. 1.4) fließt durch Transistor M0 mehr Strom, das heißt, das Potential an dem Gate von Transistor M28 ist größer als das Potential am Gate von Transistor M30. Wenn das Gate Potential von Transistor M28 eine hohe Spannung sieht, fließt auch mehr Strom durch den Transistor M28, sodass weniger Strom durch Transistor M31 fließt. Damit wird die Spannung bei Transistor M31 kleiner und somit fließt weniger Strom durch Transistor M30, da das Drain von Transistor M31 mit dem Gate von Transistor M30 verbunden ist. Wenn nun weniger Strom durch M30 fließt, wird mehr Strom durch M24 fließen, wodurch die Source-Gate Spannung von M28 ebenfalls größer wird. Transistor M28 zieht nun noch mehr Strom als Transistor M31, sodass die Spannung am Drain von Transistor M31 noch kleiner wird. Damit wird die Spannung am Transistor M30 ebenfalls noch kleiner, sodass noch weniger Strom durch Transistor M30 fließt, während die Spannung am Drain von M24 noch größer wird. Dieser Vorgang findet im Prinzip solange statt, bis der komplette Strom durch Transistor M28 fließt und durch Transistor M30 fast gar kein Strom mehr fließt. Ist die Source-Gate Spannung am Transistor M31 klein und am Transistor M24 groß, stellt sich eine große Source-Gate Spannung an Transistor M12 ein, sodass ein großer Strom durch Transistor M12 fließt. Der Strom, der dann durch den Gate-Drain verbundenen Transistor M9 fließt, wird auf den Transistor M5 gespiegelt. Im Gegensatz zieht Transistor M13 nur wenig bzw. bestenfalls gar keinen Strom. Da der Transistor M31 eine sehr kleine Source-Gate Spannung hat, liegt das Potential am Ausgang des Komparators somit auf Masse.

Falls Eingangssignal $U_p > U_m$

Umgekehrt d.h. wenn das Eingangssignal U_p größer als das Eingangssignal U_m ist, fließt mehr Strom durch die Transistoren M23 und M8 und weniger Strom durch die Transistoren M18 und M10. Damit wird die Gate-Source Spannung von Transistor M8 größer als die von Transistor M10, sodass mehr Strom durch Transistor M1 fließt als durch Transistor M0. Im Entscheidungsnetzwerk (siehe Abb. 1.4) fließt durch Transistor M1 mehr Strom, das heißt, das Potential am Gate von Transistor M30 ist größer als das Potential am Gate von Transistor M28. Wenn das Gate Potential von Transistor M30 eine hohe Spannung sieht, fließt auch mehr Strom durch den Transistor M30, sodass weniger Strom durch Transistor M24 fließt. Damit wird die Spannung bei Transistor M24 kleiner und somit fließt weniger Strom durch Transistor M28, da der Drain von Transistor M24 mit dem Gate von Transistor M28 verbunden ist. Wenn nun weniger Strom durch M28 fließt, wird mehr Strom durch M31 fließen, wodurch die Source-Gate Spannung von M30 ebenfalls größer wird. Transistor M30 zieht nun noch mehr Strom als Transistor M24, sodass die Spannung am Drain von Transistor M24 noch kleiner wird. Damit wird die Spannung am Transistor M28 ebenfalls noch kleiner, sodass noch weniger Strom durch Transistor M28 fließt, während die Spannung am Drain von M31 noch größer wird. Dieser Vorgang findet im Prinzip solange statt, bis der komplette Strom durch Transistor M30 fließt und durch Transistor M28 fast gar kein Strom mehr fließt. Ist die Source-Gate Spannung am Transistor M24 klein und am Transistor M31 groß, zieht der Transistor M12 wenig bis gar keinen Strom. Dementsprechend spiegelt der Transistor M9 ebenfalls wenig Strom auf Transistor M5, sodass der Transistor M5 fast gar keinen Strom liefert. Von oben liefert der Transistor M13 nun einen großen Strom, da der Transistor M31 eine sehr große Source-Gate Spannung hat. Damit steigt das Potential am Ausgang an und erreicht die Versorgungsspannung von 3,3V.

1.3 Arbeitspunkteinstellung

Für den Betrieb des Transistors werden zwei Arbeitsbereiche unterschieden: Der Arbeitsbereich der starken Inversion und der Bereich der schwachen Inversion.

Bei der starken Inversion gibt es eine quadratische Abhängigkeit zwischen Transistorstrom und Gate-Source Spannung. Der Transistor befindet sich Operationsbereich der starken Inversion, bei Sättigungsspannung größer als 100mV, bzw. nahezu 200mV befindet.

Für Die Transistorgleichung bei starker Inversion unter Vernachlässigung der Kanallängenmodulation gilt:

$$I = \frac{1}{2} \mu C_{ox} \frac{W}{L} (U_{GS} - U_{TH})^2$$

Bei der schwachen Inversion stellt sich ein exponentieller Zusammenhang zwischen Transistorstrom und Gate-Source Spannung ein. Das bedeutet, dass der Transistor bei gleichem Kanalstrom eine wesentlich höhere Steilheit als in der starken Inversion besitzt.

Die Formel der schwachen Inversion:
$$I = I_0 \frac{W}{L} e^{+\frac{U_{GS}-U_{TH}}{kU_T}}$$

Neben dem Inversionsgrad unterteilt man den Arbeitsbereich des Transistors noch in den linearen und den Sättigungsbereich. Für die starke Inversion gilt die folgende Formel:

$$I_D = \begin{cases} \mu C_{ox} \frac{W}{L} [(U_{GS} - U_{TH})U_{DS} - U_{DS}^2] ; U_{DS} < U_{GS} - U_{TH} & \text{Linearer Bereich} \\ \frac{1}{2} \mu C_{ox} \frac{W}{L} (U_{GS} - U_{TH})^2 (1 + \lambda U_{DS}) ; U_{DS} \geq U_{GS} - U_{TH} & \text{Sättigungsbereich} \end{cases}$$

$$U_{DSAT} = U_{GS} - U_{TH}$$

Um die optimale Sättigungsspannung für einzelne Transistoren festzulegen, kann die Sättigungsspannung eines Transistors sowohl über die Geometrie d.h. die Breite eines Transistors als auch durch den Kanalstrom verändert werden. Ist die Drain-Source Spannung eines Transistors kleiner als die Sättigungsspannung, befindet sich der Transistor im linearen Bereich (siehe Abbildung 1.7) und der Transistorstrom hängt sowohl von der Gate-Source als auch von der Drain-Source Spannung ab. Ist die Drain-Source Spannung größer als die Sättigungsspannung hängt der Strom nur noch von der Gate-Source Spannung ab. Je größer die Gate-Source Spannung, desto größer ist auch der Strom, der durch den Transistor fließt.

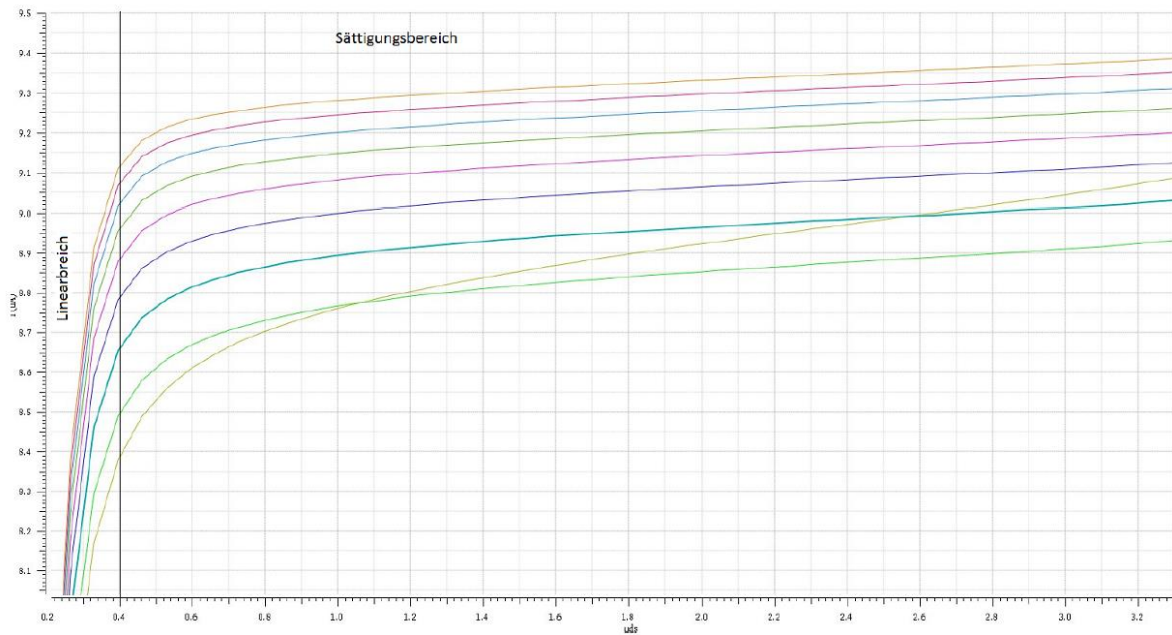


Abbildung 1.7: Linear- und Sättigungsbereich

In den Eingangstransistoren M18 und M23 werden die Sättigungsspannungen auf 75mV eingestellt. Am Eingang ist gewünscht, dass kleinste Spannungsänderungen in große Stromänderungen abgebildet werden. Deswegen geht man mit den Eingangstransistoren in die schwache Inversion wodurch eine kleine Änderung der Gate-Source Spannungen eine exponentielle Änderung der Ströme liefert. Damit wird die Sensitivität der Eingangsstufe größer. Bei Stromspiegeln benötigt man hingegen eine möglichst hohe Spiegelgenauigkeit. Die Stromspiegelgenauigkeit in schwacher Inversion zeigt eine hohe Abhängigkeit von der Schwellenspannungsvariation der Transistoren. Kleinste Unterschiede in der Schwellenspannung führen zu großen Stromunterschieden, was sich negativ auf die Spiegelgenauigkeit auswirkt. Die Stromspiegelfunktion ist somit schlecht. Da der Stromspiegel möglichst genau sein muss, sollte sich deswegen der Transistor im Arbeitsbereich der starken Inversion befinden. Deshalb wird bei fast allen Transistoren (außer bei den Transistoren M32, M33, M18 und M23) die Sättigungsspannung auf ca. 200mV eingestellt. Des Weiteren werden die Sättigungsspannungen der Transistoren M32 und M33 auf 300mV eingestellt. Der Grund hierfür ist, dass das Rauschen dieser Transistoren von der Steilheit abhängt und die Steilheit bei gegebenem Strom wiederum von der Sättigungsspannung beeinflusst wird.

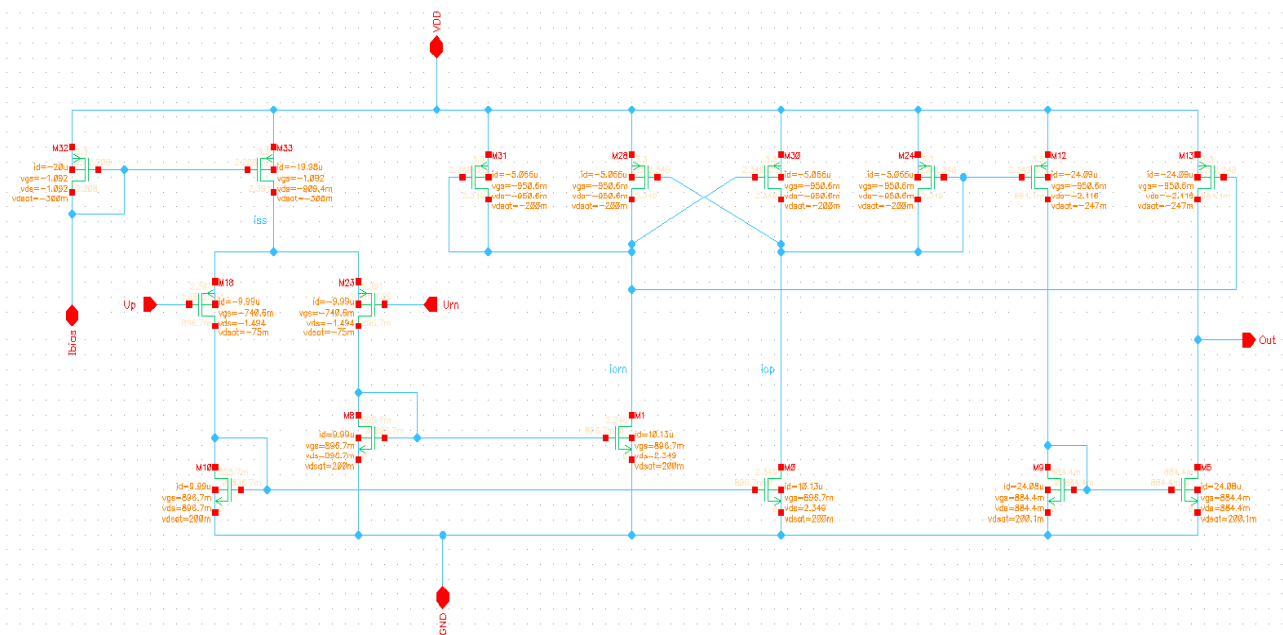


Abbildung 1.8: Komparatorschaltung mit den Angaben der Sättigungsspannungen

Die Transistorsteilheit wird beschrieben mit [3]:

$$g_m = \mu C_{ox} \frac{w}{L} (U_{GS} - U_{TH}) \quad \text{bei variablen Strom } I_D$$

$$g_m = \sqrt{2\mu C_{ox} \frac{w}{L} I_D} \quad \text{bei variabler Sättigungsspannung } U_{DSAT} = U_{GS} - U_{TH}$$

$$g_m = \frac{2I_D}{U_{GS} - U_{TH}} \quad \text{bei variabler Transistorgeometrie } \frac{w}{L}$$

Die spektrale Rauschleistungsdichte ist gegeben durch:

$$S = \frac{8}{3} RT g_m$$

Große Sättigungsspannungen reduzieren die Transistorsteilheit bei konstantem Strom. Damit der Transistor wenig rauscht, wird demnach eine kleine Steilheit benötigt.

2. Simulation des Komparators

Die fertige Schaltung des Komparators wird in einen speziellen Schaltplan, die sogenannten Testbench,

integriert. Am positiven Eingang des Komparators wird eine Referenzspannung und am negativen Eingang eine Sägezahnspannung angelegt. Am Ausgang des Komparators wird eine Kapazität moderater Größe zugeschaltet, die der Last der folgenden Stufe entspricht. Nun muss die Schaltung noch durch Simulationen verifiziert und auf die Einhaltung bestimmter Kriterien geprüft werden.

Die wichtigsten Kriterien sind hierbei die Veränderung der Schaltgeschwindigkeit und der Schaltschwelle des Komparators. Gewünscht ist eine möglichst kurze Verzögerung und eine möglichst genaue Schaltschwelle bei 1,65V des Komparators. Diese Spezifikationen müssen auch unter Berücksichtigung von Temperatur- und Versorgungsspannungsänderungen eingehalten werden. Des Weiteren muss auch der Einfluss von Fertigungsschwankungen betrachtet werden, was durch die Durchführung sogenannter Prozess Corner und Monte-Carlo Simulationen berücksichtigt wird.

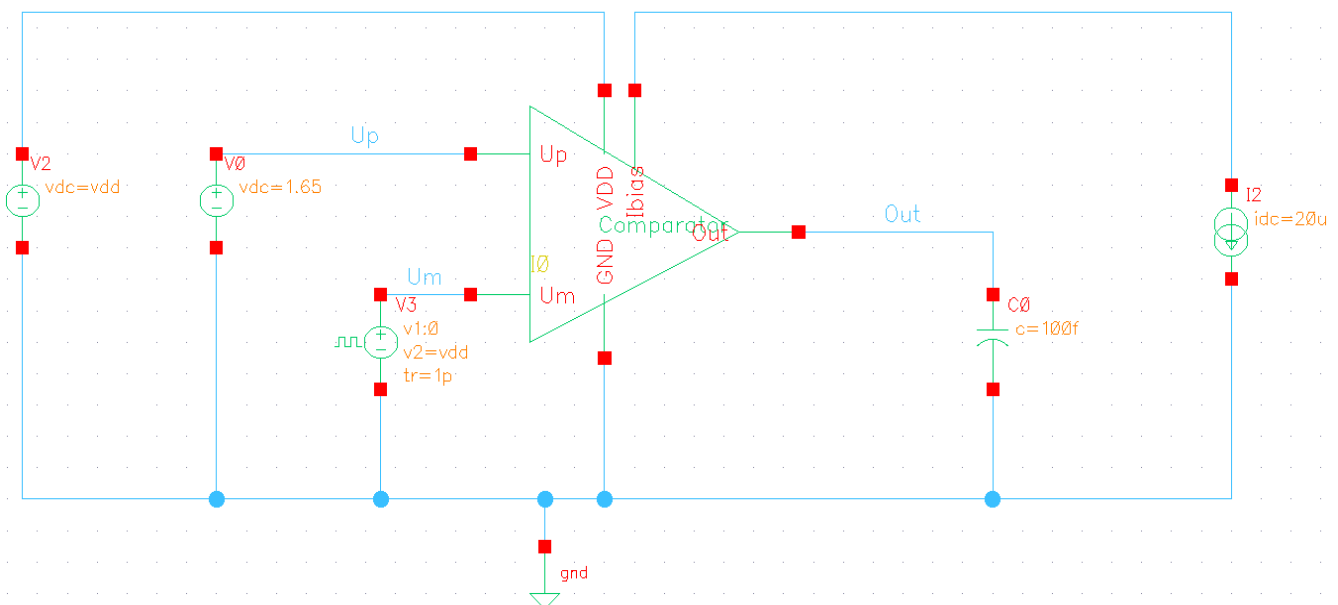


Abbildung 2.1: Testschaltung

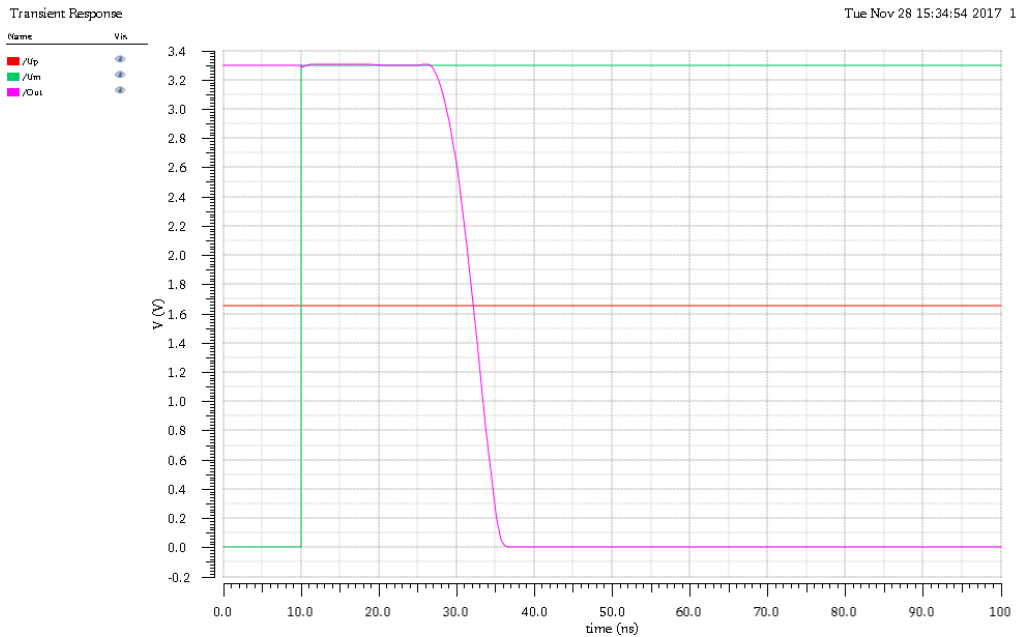


Abbildung 2.2: Simulation des Komparators

Aus Abbildung 2.2 ist zu erkennen, dass die Ausgangsspannung auf 0V runtergeht, sobald die negative Eingangsspannung U_m größer als die positive Eingangsspannung U_p wird.

Die Schaltschwelle liegt hierbei bei 1.629V und die Schaltverzögerung bei 22.18ns.

2.1 PVT – Simulation

Bei der PVT-Simulation werden Temperaturschwankungen und Variationen der Versorgungsspannung betrachtet. Besonders kritisch sind dabei hohe Temperaturen bzw. niedrige Eingangsspannungen. Hinzu kommen Variationen der Transistoreigenschaften, die sich durch Prozessschwankungen bei der Fertigung einstellen. Diese Prozessschwankungen werden durch sogenannte Modell-Corner in die Simulation eingebracht.

Es werden drei Temperaturen in Betracht gezogen:

- niedrigste Temperatur: -40°C
- Raumtemperatur: 27°C
- Höchsttemperatur: 160°C

Die Versorgungsspannung beträgt im Idealfall 3.3V. Es wird jedoch angenommen, dass die Versorgungsspannung bis auf 2.9V absinken kann oder auf 3.5V steigen kann.

Des Weiteren gibt es drei verschiedene Corner-Typen

- tt (typical typical/ dt. typisch)
- ss (slow slow/ dt. langsam)
- ff (fast fast/ dt. schnell)

Die Versorgungsspannung = 2.9V:

| Parameter | | | | | | | | C0_0 | C0_1 | C0_2 | C0_3 | C0_4 | C0_5 | C0_6 | C0_7 | C0_8 | |
|------------|-----|-----|-----|-----|-----|-----|-----|------|------|------|------|------|------|------|------|------|-----|
| Model ... | tt | tt | tt | ss | ss | ss | ff | ff | ff | | | | | | | | |
| tempera... | -40 | 27 | 160 | -40 | 27 | 160 | -40 | 27 | 160 | -40 | 27 | 160 | -40 | 27 | 160 | -40 | 160 |
| vdd | 2.9 | 2.9 | 2.9 | 2.9 | 2.9 | 2.9 | 2.9 | 2.9 | 2.9 | 2.9 | 2.9 | 2.9 | 2.9 | 2.9 | 2.9 | 2.9 | 2.9 |

| Test | Output | Spec | Weight | Pass/Fail | Min | Max | C0_0 | C0_1 | C0_2 | C0_3 | C0_4 | C0_5 | C0_6 | C0_7 | C0_8 | |
|------------------------|--------|------|--------|-----------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|
| Pcomparator:Test-sim:1 | /Out | | | | | | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ | |
| Pcomparator:Test-sim:1 | Vthr | | | | 1.628 | 1.634 | 1.632 | 1.631 | 1.629 | 1.634 | 1.633 | 1.631 | 1.631 | 1.631 | 1.63 | 1.628 |
| Pcomparator:Test-sim:1 | delay | | | | 29.13n | 36.34n | 35.67n | 32.91n | 29.18n | 35.26n | 32.69n | 29.38n | 36.34n | 33.33n | 29.13n | |

Abbildung 2.3: PVT-Simulationsergebnisse für die Schaltschwelle und Verzögerung bei 2.9V

Die Versorgungsspannung = 3.3V:

| Parameter | | | | | | | | C0_0 | C0_1 | C0_2 | C0_3 | C0_4 | C0_5 | C0_6 | C0_7 | C0_8 | |
|------------|-----|-----|-----|-----|-----|-----|-----|------|------|------|------|------|------|------|------|------|-----|
| Model ... | tt | tt | tt | ss | ss | ss | ff | ff | ff | | | | | | | | |
| tempera... | -40 | 27 | 160 | -40 | 27 | 160 | -40 | 27 | 160 | -40 | 27 | 160 | -40 | 27 | 160 | -40 | 160 |
| vdd | 3.3 | 3.3 | 3.3 | 3.3 | 3.3 | 3.3 | 3.3 | 3.3 | 3.3 | 3.3 | 3.3 | 3.3 | 3.3 | 3.3 | 3.3 | 3.3 | 3.3 |

| Test | Output | Spec | Weight | Pass/Fail | Min | Max | C0_0 | C0_1 | C0_2 | C0_3 | C0_4 | C0_5 | C0_6 | C0_7 | C0_8 |
|------------------------|--------|------|--------|-----------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|
| Pcomparator:Test-sim:1 | /Out | | | | | | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ |
| Pcomparator:Test-sim:1 | Vthr | | | | 1.627 | 1.631 | 1.63 | 1.629 | 1.628 | 1.631 | 1.63 | 1.629 | 1.629 | 1.628 | 1.627 |
| Pcomparator:Test-sim:1 | delay | | | | 19.59n | 23.48n | 22.98n | 22.19n | 20.3n | 23.48n | 22.87n | 21.04n | 22.52n | 21.59n | 19.59n |

Abbildung 2.4: PVT-Simulationsergebnisse für die Schaltschwelle und Verzögerung bei 3.3V

Die Versorgungsspannung = 3.5V:

| Parameter | | | | | | | | C0_0 | C0_1 | C0_2 | C0_3 | C0_4 | C0_5 | C0_6 | C0_7 | C0_8 | |
|------------|-----|-----|-----|-----|-----|-----|-----|------|------|------|------|------|------|------|------|------|-----|
| Model ... | tt | tt | tt | ss | ss | ss | ff | ff | ff | | | | | | | | |
| tempera... | -40 | 27 | 160 | -40 | 27 | 160 | -40 | 27 | 160 | -40 | 27 | 160 | -40 | 27 | 160 | -40 | 160 |
| vdd | 3.5 | 3.5 | 3.5 | 3.5 | 3.5 | 3.5 | 3.5 | 3.5 | 3.5 | 3.5 | 3.5 | 3.5 | 3.5 | 3.5 | 3.5 | 3.5 | 3.5 |

| Test | Output | Spec | Weight | Pass/Fail | Min | Max | C0_0 | C0_1 | C0_2 | C0_3 | C0_4 | C0_5 | C0_6 | C0_7 | C0_8 |
|------------------------|--------|------|--------|-----------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|
| Pcomparator:Test-sim:1 | /Out | | | | | | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ | ⚡ |
| Pcomparator:Test-sim:1 | Vthr | | | | 1.626 | 1.63 | 1.629 | 1.628 | 1.627 | 1.63 | 1.629 | 1.628 | 1.628 | 1.627 | 1.626 |
| Pcomparator:Test-sim:1 | delay | | | | 13.79n | 17.99n | 17.14n | 16.86n | 14.47n | 17.99n | 17.75n | 15.08n | 16.33n | 16n | 13.79n |

Abbildung 2.5: PVT-Simulationsergebnisse für die Schaltschwelle und Verzögerung bei 3.5V

Hier ist zu beobachten, wie sich die Schaltschwelle und die Verzögerung bei der PVT-Simulation verhalten. Die Schaltschwelle verändert sich kaum und bleibt bei jeder Situation ca. bei 1.63V. Die schnellste Schaltzeit liegt bei 13.79ns und die längste Verzögerung beträgt 36.34ns. Die Ergebnisse beider Simulationen liegen im gewünschten Bereich und sind somit zufriedenstellend.

2.2 Monte- Carlo- Simulation

Die Monte-Carlo-Simulation bezieht sich auf die Variationen während der Herstellung eines Mikroelektronikchips. Mikroelektronikchips werden aus Wafern hergestellt. Das Grundmaterial eines Wafers ist Quarzsand. Durch mehrere chemische Abläufe erhält man durch diesen Quarzsand ein perfektes Siliziumkristall. Dieser zylinderförmige Kristall wird dann in dünne, runde Platten geschnitten, welche Wafer genannt werden. Der Wafer wird ebenfalls in rechteckige Strukturen zersägt, die schließlich mehrere Chips ergeben.

Das Verhalten einer integrierten Schaltung kann von Chip zu Chip auf einem Wafer variieren. Diese Variationen bezeichnet man meist als lokale Variationen bzw. mit dem englischen Wort "Mismatch". Des Weiteren kann sich das Verhalten auch bei der Produktion von Wafer zu Wafer ändern. Derartige Variationen bezeichnet man meist als global bzw. als Prozessvariationen. Im Simulator unter der Option „Statistical Variation“ wird ausgewählt, ob einer dieser beiden Fälle allein oder beide gleichzeitig berücksichtigt werden sollen. Auch ist unter der Kategorie „Number of Points“ die Anzahl der Simulationsdurchläufe einstellbar.

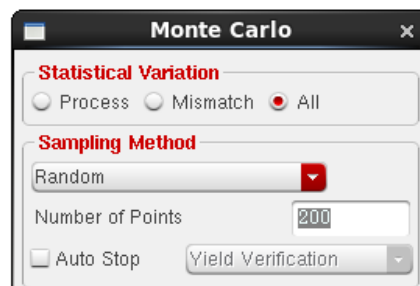


Abbildung 2.6: Monte-Carlo Number of Points

Für die Charakterisierung des Komparators werden sowohl lokale als auch globale Variationen berücksichtigt. Unter Model File:

```
/eda/kits/UMC180/ Models/Spectre/Monte_Carlo /mm180_reg33_v114mc_corner. lib.scs
```

wurde die Section **mc** ausgewählt. Für die Monte Carlo Simulation wurden 200 Simulationsdurchläufe festgelegt. Die Monte-Carlo Simulationsmodelle der UMC 180nm Technologie stellen eine Variable Sigma bereit, die bei der Generierung der Bauteilvariationen ausgewertet wird. Die Bauteilvariationen werden in den Simulationsmodellen als Gaußverteilung statistisch beschrieben, wobei der Parameter SIGMA der Standardabweichung der Gaußschen-Glockenkurve entspricht. Die Variable Sigma wird mit 3 gleichgesetzt, wodurch die Werte von bis zu drei 3 Sigma-Abschnitten links und rechts vom Mittelwert der Verteilung bei der Bauteilvariation berücksichtigt werden.

Wie in Abbildung 2.7 und 2.8 zu erkennen ist, variiert die Schaltschwelle mit einer Standardabweichung von 4.5mV und die Verzögerungszeit mit einer Standardabweichung von 650ps. In den allermeisten Fällen wird sich also eine Schaltschwellenverschiebung kleiner als $\pm 3 \times 4.5\text{mV}$ und eine Schaltzeitverzögerung von $\pm 3 \times 650\text{ps}$ einstellen.

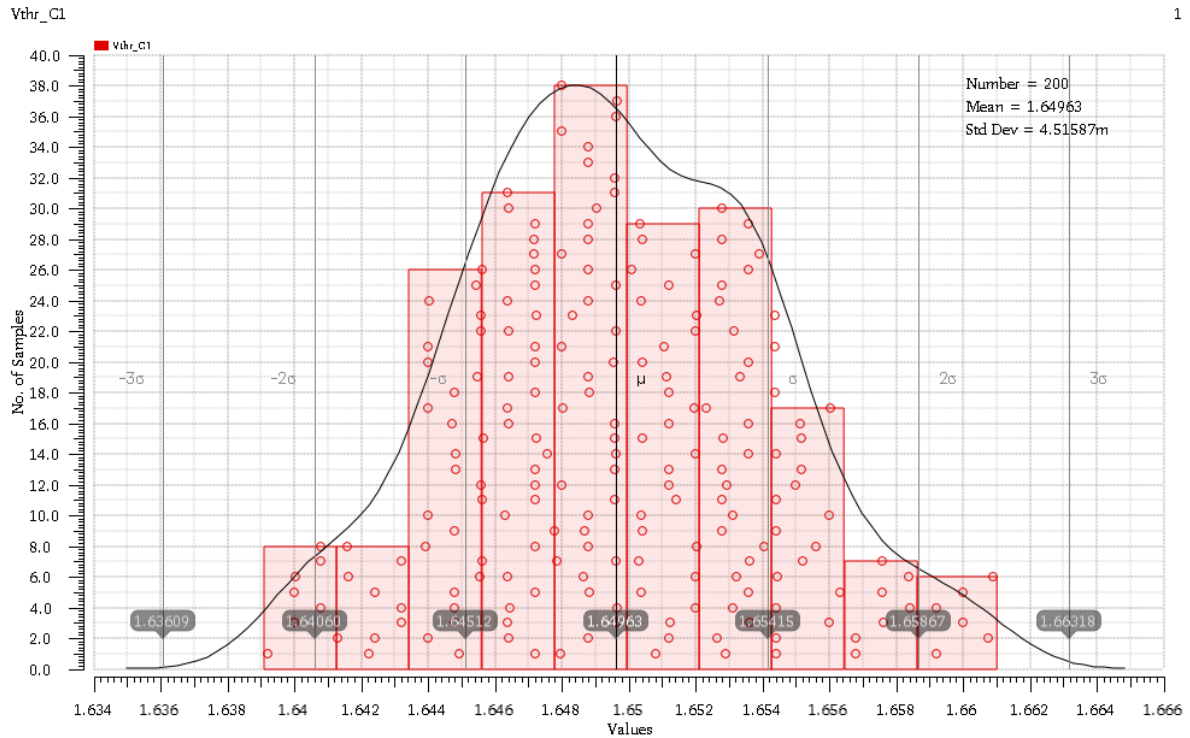


Abbildung 2.7: Monte-Carlo Simulationsergebnisse für die Schaltschwelle

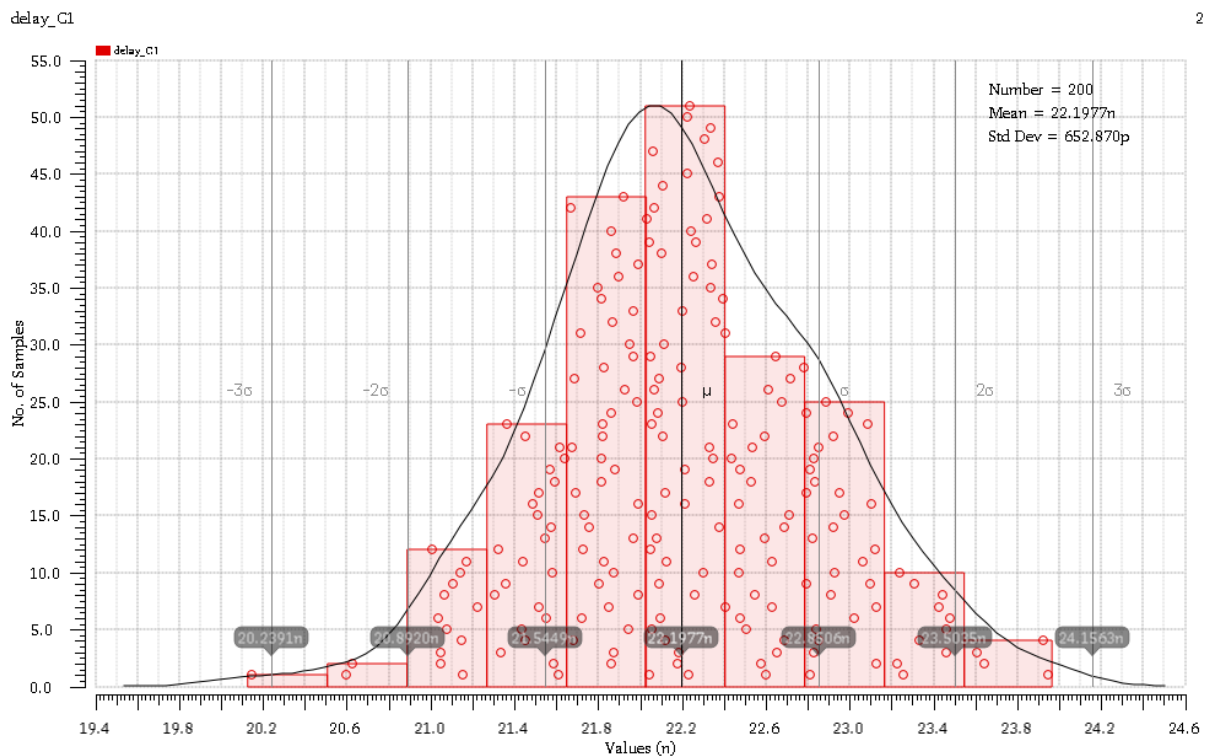


Abbildung 2.8: Monte-Carlo Simulationsergebnisse für die Verzögerung

3. Funktionstest des Komparators

Für die Bewertung der Eigenschaften der Komparatorschaltung ist die Integration der Schaltung in die eigentliche Applikation notwendig. Aus diesem Grund wurde der Low-Side Komparator in die Schaltung des Sägezahngenerators eingefügt. In den Simulationen der Gesamtschaltung haben sich dann ungewöhnlich lange Schaltverzögerungen beim Komparator ergeben. Bei plötzlichen Flankenwechsel der Eingangssignale werden die Ladungen in die Source-Gate und die Gate-Drain Kapazitäten der Eingangstransistoren injiziert. Die injizierte Ladungsmenge hängt hierbei von der Geometrie des Transistors ab. Je größer die Fläche des Transistors ist, desto mehr Ladungen wird injiziert. Diese Ladungen beeinflussen auch die restlichen Schaltungsteile. Insbesondere führt die injizierte Ladung bei einem plötzlichen Abfall der Spannung am negativen Eingang U_m des Komparators dazu, dass die Gate-Source Spannung des M3 Transistors vorübergehend abfällt statt zu steigen. Das hat zur Folge, dass der Stromfluss durch den Transistor M4 zunächst kleiner wird als durch Transistor M6, obwohl der Strom eigentlich größer werden müsste. Denn je tiefer das Potential am negativen Eingang U_m des Komparators ist, desto größer wird die Source-Gate Spannung des Eingangstransistors und desto mehr Strom sollte durch Transistoren M23, M3 und M4 fließen.

Wie in Abbildung 3.2 zu sehen ist, lädt der Strom, welcher von Transistor M33 über Transistor M23 zum Transistor M3 fließt, den Knoten S1 wieder auf. Je tiefer diese Spannung durch die parasitäre Ladungsinjektion gefallen ist, desto länger dauert es jedoch auch, bis der Knoten wieder auf die nominelle Spannung aufgeladen worden ist.

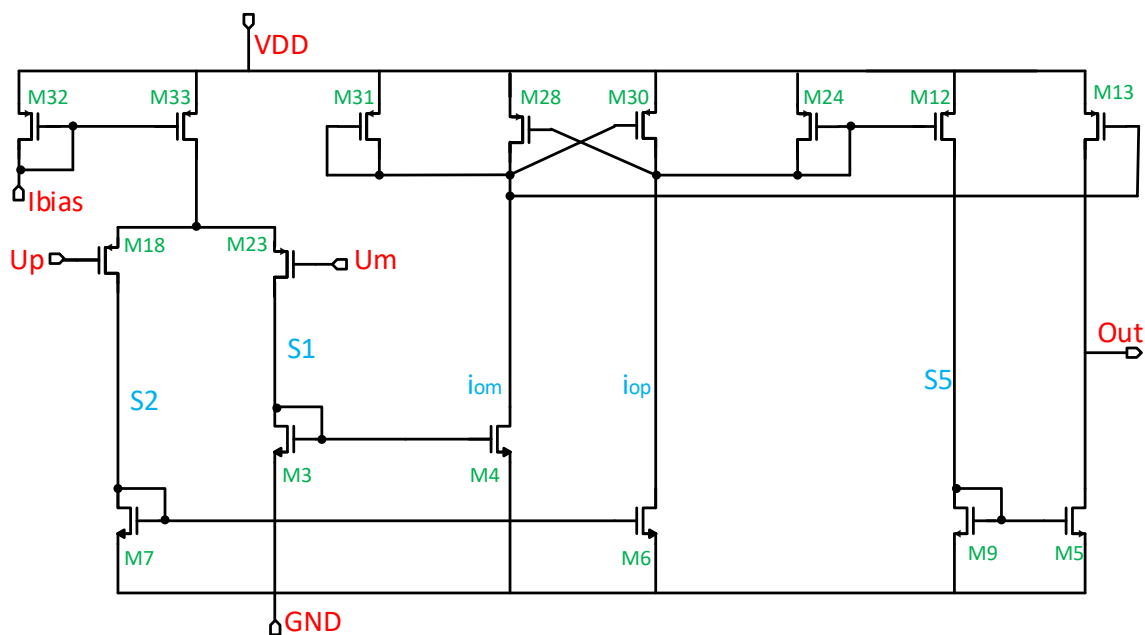


Abbildung 3.1: Aufbau des optimierten Komparators

Aufgrund der parasitären Injektionskapazität des Eingangstransistors, die zu diesem ungewünschten Verhalten führt, wurde unter Einhaltung eines konstanten W/L Verhältnisses die Transistorfläche $W \cdot L$ verkleinert. Das bedeutet, dass die Transistorbreite W verkleinert wurde und zeitgleich für ein unverändertes W/L Verhältnis auch Kanallänge L des Transistors verkleinert wurde. Darüber hinaus wurden die Transistoren M3, M4, M7 und M6 welche ursprünglich wie alle anderen Transistoren der Schaltung die typische Schwellenspannung der Technologie besessen haben, durch Transistortypen mit niedriger Schwellenspannung ersetzt. Dadurch sinkt bei gleichbleibender Geometrie die Gate-Source Spannung der Gate-Drain verbundenen Transistoren. Durch die geringere Spannung die sich durch diese Schaltungsmaßnahme an den Drains der Eingangstransistoren einstellt, wird ein sehr robuster Betrieb des Komparators auch bei sehr tiefen Eingangsspannungen möglich und die Gefahr, dass die Eingangstransistoren den Sättigungsbereich verlassen wird vermieden. Die optimierte Komparatorschaltung ist in Abbildung 3.1 dargestellt.

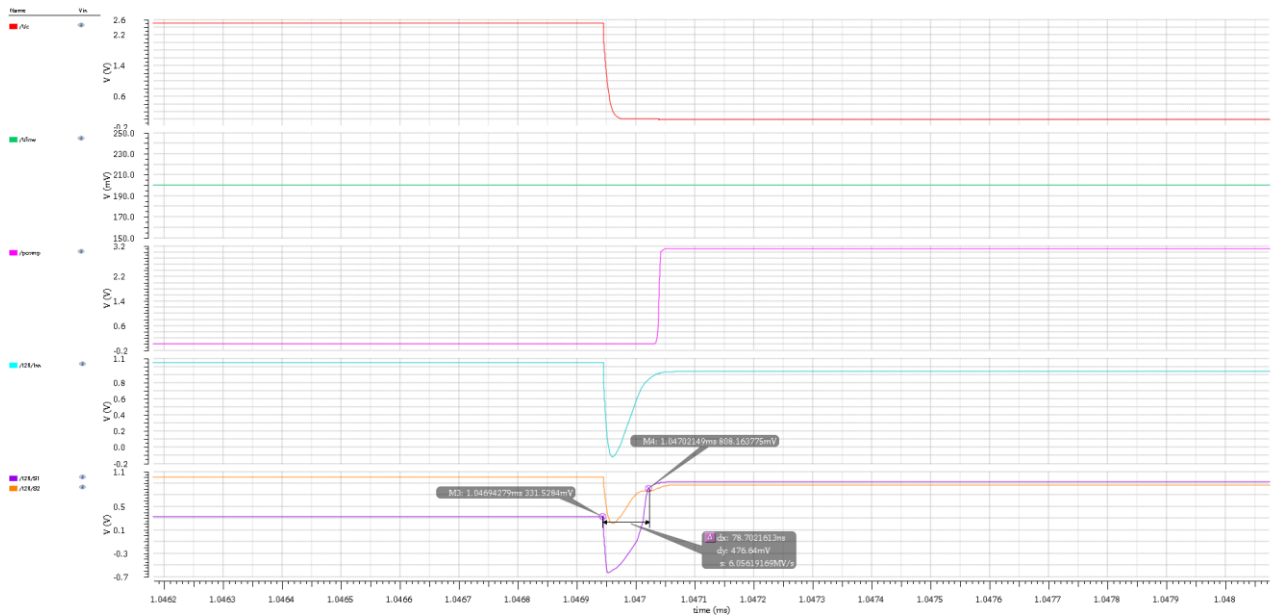


Abbildung 3.2: Das Verhalten der Signale S1 und S2 auf Grund der parasitären Ladungsinjektion

In Abbildung 3.2 ist zu erkennen, dass die Spannung am Netz S1 kleiner ist als die Spannung am Netz S2. Die Schaltverzögerung liegt hierbei bei 78.70ns bei einer Schaltfrequenz von 905.2Hz.



Abbildung 3.3: Das Verhalten der Signale S1 und S2 bei den Entladen des Kondensators

In der Abbildung 3.3 ist zu erkennen, dass durch die Verkleinerung der Geometrie der Eingangstristoren und das Einsetzen der vier Transistoren mit geringer Schwellenspannung die Umladung der Netze S1 und S2 schneller vollzogen wird als zuvor. Die Schaltverzögerung liegt hierbei bei 23.16ns bei einer Schaltfrequenz von 918.7Hz.

3.1 Einsatz des Komparators in den Pulsgenerator des Sägezahngenerators:

Der Low Side Komparator wird nun in die integrierte Schaltung des Pulsgenerators eingesetzt, um die Funktion im anwendungsnahen Betrieb zu testen. Die Aufgabe des Pulsgenerators ist es, einen NMOS Schaltertransistor so anzusteuern, dass ein Kondensator abwechselnd für einen langen Zeitraum geladen und für einen kurzen Zeitraum entladen wird. Hierfür muss der Pulsgenerator so dimensioniert werden, dass eine lange logische 0 und eine kurze logische 1 ausgegeben wird. Dieses Signal wird dann an das Gate des NMOS Transistors angeschlossen, der parallel zum Kondensator geschaltet ist.

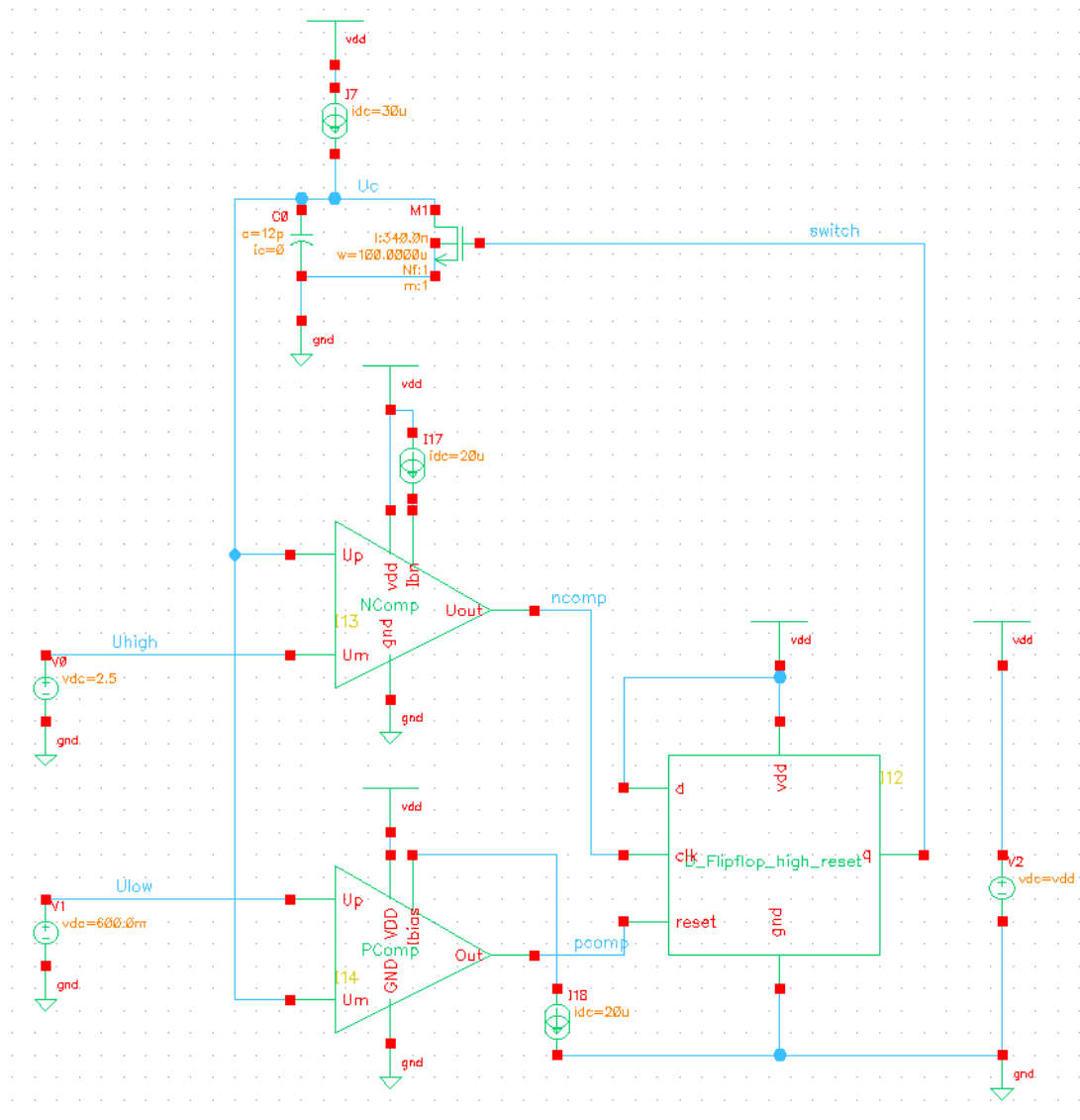


Abbildung 3.1.1: Pulsgenerator

Wie in Abbildung 3.1.1 dargestellt, besteht der Pulsgenerator aus zwei Komparatoren, nämlich einen High Side Komparator (Ncomp), der mit einer Referenzspannung von 2,5V am negativen Eingang verbunden ist und die Aufgabe hat zu überwachen, wann die Kondensatorspannung den maximalen Wert der Sägezahnspannung erreicht hat und einen Low Side Komparator (Pcomp), dessen positiver Eingang mit einer Referenzspannung von 600mV verbunden ist und die Aufgabe hat die vollständige Entladung des Kondensators zu gewährleisten. Darüber hinaus verwendet die Pulsgeneratorschaltung ein D-Flipflop, welches einen Daten- (D), einen Takt-(clk von Clock,) einen Reset-Eingang und einem Ausgangssignal Q besitzt. Der FlipFlop Ausgang Q ist mit dem Gate des Entladetransistors verbunden und hat die Aufgabe die Information zu speichern, ob sich der Pulsgenerator gerade im Lade-bzw. Entladezustand befindet. Außerdem verfügt die Schaltung über einen NMOS Transistor der dem Integrationskondensator parallelgeschaltet ist. Die Kondensatorspannung ist an den positiven Eingang des High-Komparators und an den negativen Eingang des Low-Side Komparators angeschlossen.

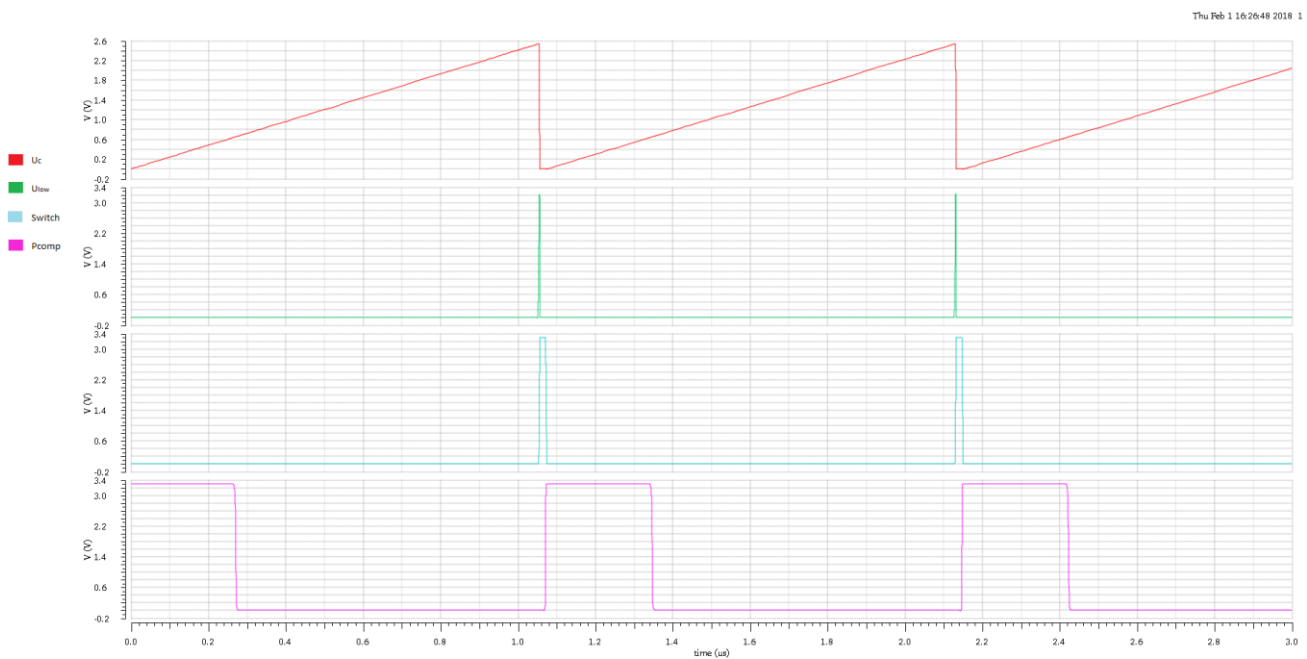


Abbildung 3.1.2: Die Auswirkung des Ausgangssignales des High-Komparators, des Low-Komparators und D-Flipflop auf die Kondensatorspannung

Durch eine Konstantstromquelle wird der Integrationskondensator geladen. Sobald die Kondensatorspannung den Wert 2,5V erreicht, liefert der High Side Komparator eine logische 1 an den Takteingang des FlipFlop (clk). Da am D-Eingang ein stetiges High-Signal anliegt, was durch die Verbindung des D-Eingangs mit der Versorgungsspannung erzielt wird, stellt sich am Q-Ausgang des FlipFlops mit der steigenden Flanke des Taktssignals eine logische 1 ein. Da die Gate-Elektrode des

NMOS Transistors mit dem Flipflop Ausgang Q verbunden ist, wird der NMOS leitend und der Kondensator entlädt sich, wodurch die Kondensatorspannung auf nahezu 0V abfällt. Da die eingestellte Schwelle durch die Kondensatorentladung unterschritten wird, gibt der High-Komparator wieder eine logische 0 aus. Sobald die Kondensatorspannung 600mV unterschreitet, gibt der Low-Komparator eine logische 1 aus, wodurch das Reset des FlipFlops ausgelöst wird. Das D-Flipflop reagiert auf den Reset mit einer logischen 0 am Ausgang Q. Da die Gate-Source Spannung des NMOS Transistors dann unter der Schwellenspannung U_{TH} fällt, wird der NMOS gesperrt und in den ursprünglichen Zustand überführt. Somit wiederholt sich der Vorgang periodisch.

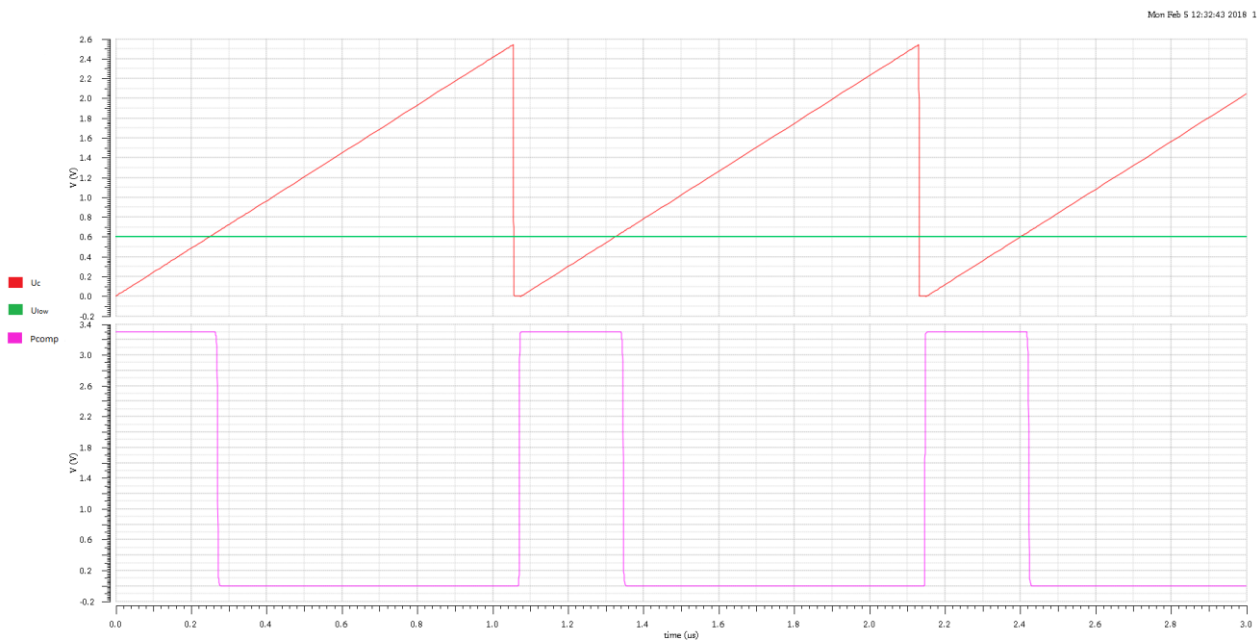


Abbildung 3.1.3: Das Verhalten des Komparators (Pcomp).

In Abbildung 3.1.3 ist zu erkennen, dass der Komparator genau dann von Low auf High umschaltet, wenn die Schwelle kleiner als 600mV wird. Die Schaltverzögerung liegt hierbei bei 16.1ns und die Frequenz bei 929.3KHz.

3.1.1 PVT – Simulation

Der Betrieb des Pulsgenerators wird unter Verwendung des Low und des High Komparators für verschiedene Temperaturen, Prozess Corner und Versorgungsspannungen in der Simulation verifiziert.

Es werden drei Temperaturen in Betracht gezogen:

- niedrigste Temperatur: -40°C
- Raumtemperatur: 27°C
- Höchsttemperatur: 160°C

Die Versorgungsspannung beträgt im Idealfall 3.3V. Es wird jedoch angenommen, dass die Versorgungsspannung bis auf 2.9V absinken kann oder auf 3.5V steigen kann.

Des Weiteren gibt es drei verschiedene Corner-Typen

- tt (typical typical/ dt. typisch)
- ss (slow slow/ dt. langsam)
- ff (fast fast/ dt. schnell)

| | | | | | | | | |
|---------------------|--------------------------|----------|--------|--|--|--|--------|--------|
| Parameters: vdd=2.9 | | | | | | | | |
| 1 | Pcomparator:saegezahn1:1 | Frequenz | 923.4k | | | | 897.7k | 926.3k |
| 1 | Pcomparator:saegezahn1:1 | delay | 16.12n | | | | 14.74n | 17.89n |
| Parameters: vdd=3.3 | | | | | | | | |
| 2 | Pcomparator:saegezahn1:1 | Frequenz | 924.1k | | | | 915.5k | 926.7k |
| 2 | Pcomparator:saegezahn1:1 | delay | 16.04n | | | | 14.49n | 17.73n |
| Parameters: vdd=3.5 | | | | | | | | |
| 3 | Pcomparator:saegezahn1:1 | Frequenz | 924.2k | | | | 915.5k | 926.8k |
| 3 | Pcomparator:saegezahn1:1 | delay | 15.93n | | | | 14.35n | 17.61n |

Abbildung 3.1.1: PVT-Simulationsergebnisse für die Frequenz und Schalterverzögerung des Komparators

Hier ist zu beobachten, wie sich die Schaltverzögerung und die Frequenz bei der PVT-Simulation verhalten. Die schnellste Schaltzeit liegt bei 14.35ns und die längste Verzögerung beträgt 17.89ns. Die minimale Frequenz liegt bei 897,7KHz und die maximale bei 926,8KHz. Die Ergebnisse beider Simulationen liegen im gewünschten Bereich und sind somit zufriedenstellend.

zwischen den Operationsverstärker Eingängen, stellt sich der Spannungsabfall über den Widerstand R_0 auf den Wert der Referenzspannung ein. Das Regelverhalten für die StromEinstellung kann jetzt wie folgt beschrieben werden. Steigt der Referenzstrom an, steigt auch der Spannungsabfall über den Messwiderstand R_0 . Dadurch sinkt die Ausgangsspannung des Operationsverstärkers und somit auch die Gate-Source-Spannung des NMOS Transistors.

Aufgrund der Topologie des Netzwerkes besitzen die Transistoren M2 und M11 bzw. M0 und M12 die gleichen Source-Gate Spannungen und es ergeben sich Stromspiegel. Da die Transistoren die gleiche Geometrie d.h. die gleiche Breite und die gleiche Länge besitzen, wird auch der gleiche Strom durch die Transistoren fließen, der somit eine stromgesteuerte Stromquelle darstellt.



Abbildung 3.2.2: Das Verhalten des Komparators (Pcomp).

In Abbildung 3.2.2 ist zu erkennen, dass der Komparator genau dann von Low auf High umschaltet, wenn die Schwelle kleiner als 600mV wird. Die Schaltverzögerung liegt hierbei bei 17.85ns und die Frequenz bei 927KHz.

3.3 Einsatz des Komparators im Sägezahngenerator mit variabler Frequenz:

Der Low Side Komparator wird nun in die Schaltung des Sägezahngenerators mit variabler Frequenz eingesetzt, um die Funktion im Kontext des eigentlichen Anwendungsfalles zu testen. Im Folgenden soll der theoretische Hintergrund der Frequenzeinstellung erläutert werden. Für die Spannung U_C am Kondensator mit der Kapazität C gilt zum Ende der Ladezeit, dass die der Periodendauer T_s des Sägezahnsignales folgenden Ausdruck entspricht:

$$U_C = \frac{I}{C} T_s$$

nach T_s umgeformt ergibt sich:

$$T_s = \frac{U_C * C}{I} \quad \text{und} \quad T_s = \frac{1}{f_s}$$

$$\rightarrow f_s = \frac{I}{U_C * C}$$

Durch den obigen Zusammenhang ist erkennbar, dass die Möglichkeit besteht, eine Variation der Schaltfrequenz der Sägezahnspannung zu realisieren, in dem die Schaltungen, welche den Strom I und die Kapazität C definieren, konfigurierbar aufgebaut werden.

Aus diesem Grund wird die Schaltung aus dem vorherigen Kapitel modifiziert und so erweitert, dass der Stromspiegelfaktor durch zuschaltbare PMOS Transistoren und die Kapazität durch zuschaltbare Kondensatoren verändert werden kann. Die um die Konfigurationsmöglichkeiten erweiterte Schaltung ist in Abbildung 3.3.1 dargestellt.

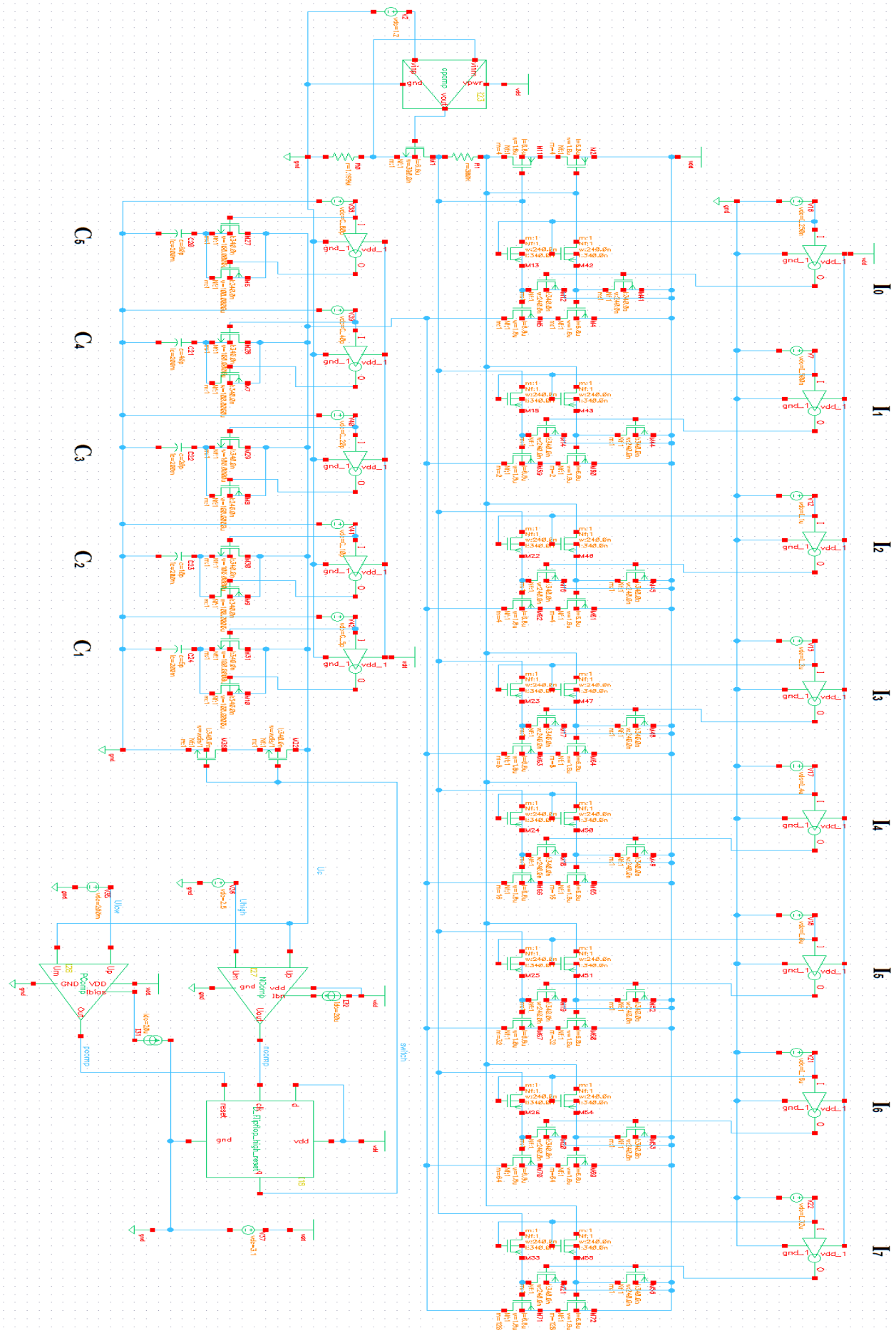


Abbildung 3.3.1: Sägezahngenerator mit variabler Frequenz

Die Kaskode-Stromspiegelschaltung ermöglicht es, Ströme zu kopieren und zu skalieren, und stellt somit eine einstellbare stromgesteuerte Stromquelle dar. In diesem Abschnitt wird die konfigurierbare Stromspiegelfunktion zur Einstellung des Ladestroms vorgestellt.

Die Acht Strompfade werden wie folgendes eingestellt:

| I_0 | I_1 | I_2 | I_3 | I_4 | I_5 | I_6 | I_7 |
|--------|---------------|---------------|---------------|----------------|----------------|----------------|-----------------|
| I_0 | $2 \cdot I_0$ | $4 \cdot I_0$ | $8 \cdot I_0$ | $16 \cdot I_0$ | $32 \cdot I_0$ | $64 \cdot I_0$ | $128 \cdot I_0$ |
| 250 nA | 500 nA | 1 μ A | 2 μ A | 4 μ A | 8 μ A | 16 μ A | 32 μ A |

Durch das Konzept mit schaltbaren Parallelkondensatoren wird eine Variation der Gesamtkapazität in einem Intervall von [5 pF ,155pF] ermöglicht,

Die Kondensatoren sind wie folgt dimensioniert:

| C_1 | C_2 | C_3 | C_4 | C_5 |
|-------|-------|-------|-------|-------|
| 5 pF | 10 pF | 20 pF | 40 pF | 80 pF |

Die aufgebaute Spannung in den Parallelgeschalteten Kondensatoren berechnet sich wie folgt:

$$\begin{aligned}
 U_c &= U_{c,max} - U_{c,min} \\
 &= 2,5V - 0,2V \\
 &= 2,3V
 \end{aligned}$$

Wobei die maximale Kondensatorspannung $U_{c,max} = 2,5V$ an den negativen Eingang des High-Side-Komparators und minimale Kondensatorspannung $U_{c,min} = 0,2V$ an den positiven Eingang des Low-Side-Komparators angeschlossen sind.

Im Folgenden wird die Schaltverzögerung des Low-Side-Komparators mit Schaltfrequenzen des Intervalls [1KHz, 1MHz] durchgeführt und dargestellt. Die Schaltfrequenzen, welche entsprechend des

gewählten Stromes und der eingestellten Kapazität erwartet werden, werden mit den Simulationsergebnissen verglichen.

3.3.1 Simulation bei $f_s = 1\text{KHz}$

Um eine Schaltfrequenz von 1kHz zu realisieren, wird ein Stromfluss von $I=250\text{nA}$ und eine Gesamtkapazität von $C=100\text{pF}$ benötigt. Anders gesagt, werden der erste Strompfad I_0 und die parallelgeschalteten Kondensatoren (C_3, C_5) aktiviert.

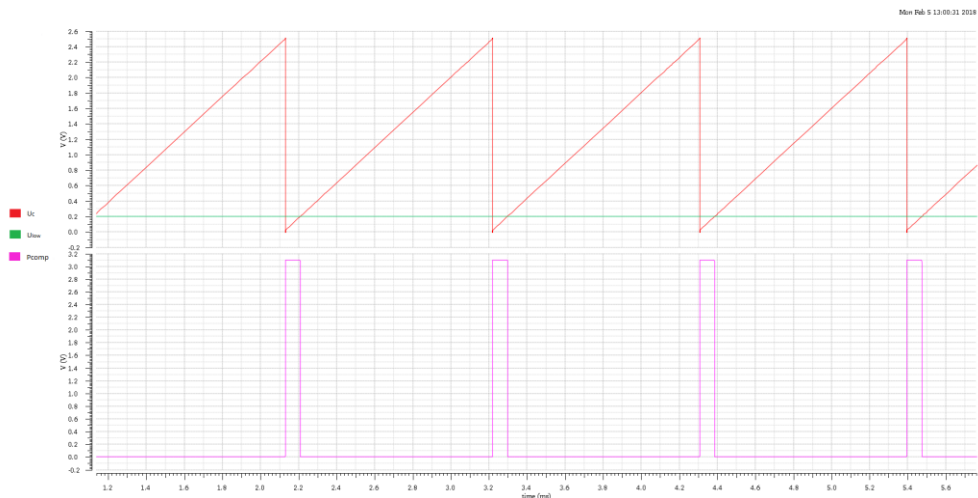


Abbildung 3.3.2: Das Verhalten des Komparators bei einer Frequenz 1KHz

In Abbildung 3.3.2 ist zu erkennen, dass der Komparator genau dann von Low auf High umschaltet, wenn die Schwelle kleiner als 200mV wird. Die Schaltverzögerung liegt hierbei bei 27.42ns und die Frequenz bei 918,7Hz.

3.3.2 Simulation bei $f_s = 2\text{KHz}$

Um eine Schaltfrequenz von 2kHz zu realisieren, wird ein Stromfluss von $I=250\text{nA}$ und eine Gesamtkapazität von $C=50\text{pF}$ benötigt. Anders gesagt, werden der erste Strompfad I_0 und die parallelgeschalteten Kondensatoren (C_2, C_4) aktiviert.

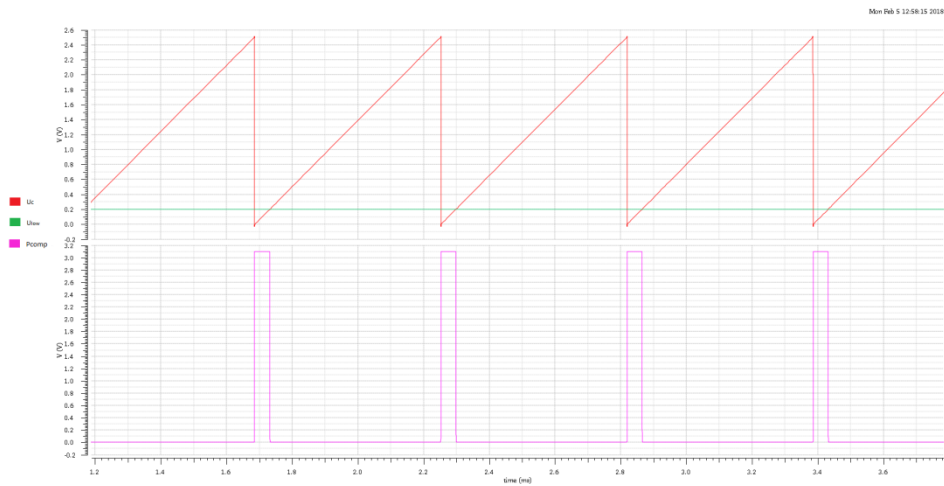


Abbildung 3.3.3: Das Verhalten des Komparators bei einer Frequenz 2 KHz

In Abbildung 3.3.3 ist zu erkennen, dass der Komparator genau dann von Low auf High umschaltet, wenn die Schwelle kleiner als 200mV wird. Die Schaltverzögerung liegt hierbei bei 25.24ns und die Frequenz bei 1,765KHz.

3.3.3 Simulation bei $f_s = 277\text{KHz}$

Um eine Schaltfrequenz von 277kHz zu realisieren, wird ein Stromfluss von $I_{ges}=63,75\mu\text{A}$ und eine Gesamtkapazität von $C=100\text{pF}$ benötigt. Anders gesagt, werden alle Strompfade von der steuerbaren konstanten Stromquelle und die parallelgeschalteten Kondensatoren (C_3, C_5) aktiviert.

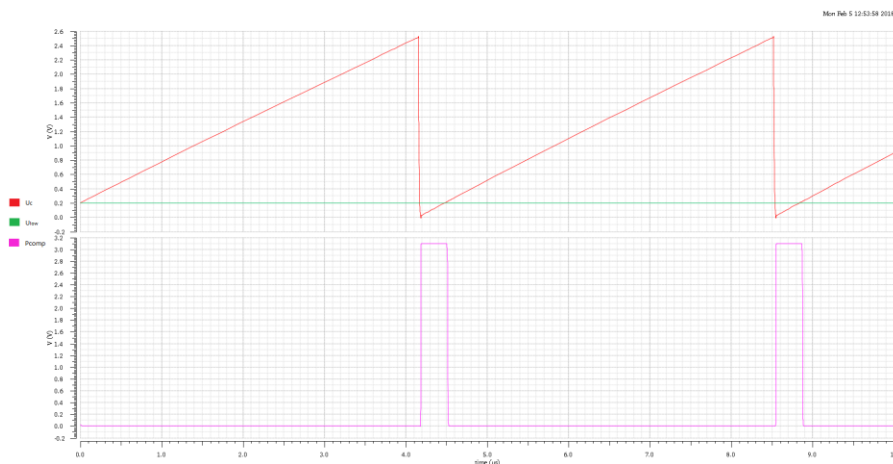


Abbildung 3.3.4: Das Verhalten des Komparators bei einer Frequenz 277 KHz

In Abbildung 3.3.4 ist zu erkennen, dass der Komparator genau dann von Low auf High umschaltet, wenn die Schwelle kleiner als 200mV wird. Die Schaltverzögerung liegt hierbei bei 27.9ns und die Frequenz bei 229,1KHz.

3.3.4 Simulation bei $f_s = 554\text{KHz}$

Um eine Schaltfrequenz von 554kHz zu realisieren, wird ein Stromfluss von $I_{ges}=63,75\mu\text{A}$ und eine Gesamtkapazität von $C=50\text{pF}$ benötigt. Anders gesagt, werden alle Strompfade von der steuerbaren konstanten Stromquelle und die parallelgeschalteten Kondensatoren (C_2, C_4) aktiviert.

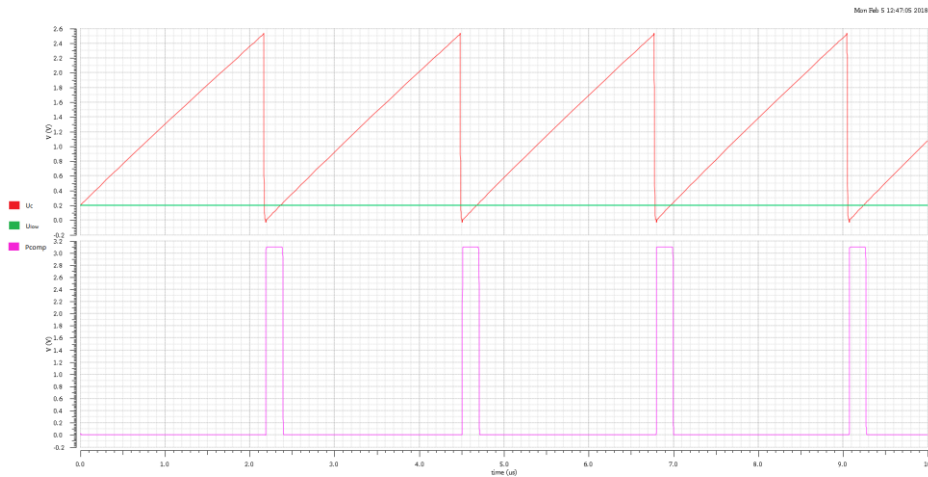


Abbildung 3.3.5: Das Verhalten des Komparators bei einer Frequenz 554 KHz

In Abbildung 3.3.5 ist zu erkennen, dass der Komparator genau dann von Low auf High umschaltet, wenn die Schwelle kleiner als 200mV wird. Die Schaltverzögerung liegt hierbei bei 25.86ns und die Frequenz bei 435,9KHz.

3.3.5 Simulation bei $f_s = 1\text{MHz}$

Um eine Schaltfrequenz von 1MHz zu realisieren, wird ein Stromfluss von $I_{ges}=63.75\mu\text{A}$ und eine Gesamtkapazität von $C=25\text{pF}$ benötigt. Anders gesagt, werden alle Strompfade von der steuerbaren konstanten Stromquelle und die parallelgeschalteten Kondensatoren (C_1, C_3) aktiviert.

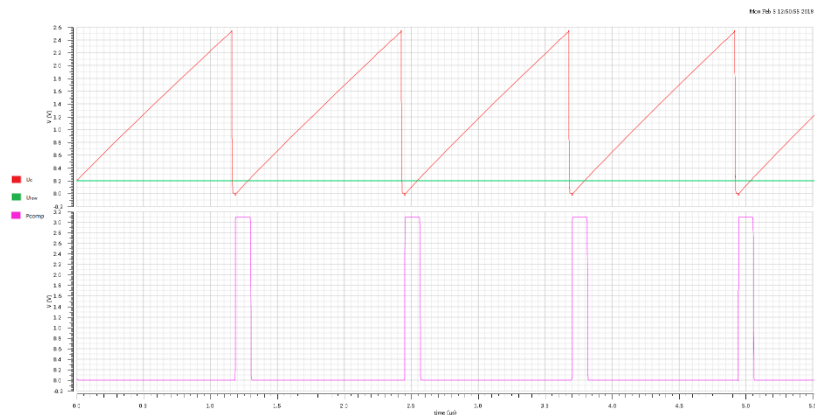


Abbildung 3.3.6: Das Verhalten des Komparators bei einer Frequenz 554 KHz

In Abbildung 3.3.6 ist zu erkennen, dass der Komparator genau dann von Low auf High umschaltet, wenn die Schwelle kleiner als 200mV wird. Die Schaltverzögerung liegt hierbei bei 25.38ns und die Frequenz bei 808,2KHz.

In der Tabelle werden die berechneten und die simulierten Schaltfrequenzen sowie die Schaltverzögerung bei jeder der Schaltfrequenz dargestellt.

| | | | | | |
|--|----------|-----------|-----------|-----------|-----------|
| Schaltfrequenz berechnet | 1 kHz | 2 kHz | 277 kHz | 554 kHz | 1 MHz |
| Schaltfrequenz simuliert | 918,7 Hz | 1,765 KHz | 229,1 KHz | 435,9 KHz | 808,2 KHz |
| Schaltverzögerung Des Low-Side-Komparators | 27.42 ns | 25.24 ns | 27.9 ns | 25.86 ns | 25.38 ns |

Da die Sägezahnspannung bei der Entladung unter dem Minimalwert 0.2V weiter sinkt, entstehen Abweichungen von den berechneten Frequenzen bei den Simulationen.

4. Das Layout

Nachdem im ersten Schritt die Designziele definiert, die benötigten Schaltungen erstellt und durch Simulationen auf ihre Funktion hin überprüft worden sind, folgt als nächster Schritt das Erstellen eines Layouts. Das Layout wird mit dem Programm „Virtuoso 6.1-64b“ von Cadence entworfen.

Dummy-Transistoren:

Um systematische Bauteilevariationen zu reduzieren, ist die Verwendung von Dummy-Transistoren ratsam. Da die Umgebung von Transistoren einen Einfluss auf die elektrischen Eigenschaften des Transistors hat, sollten Dummy Transistoren eingesetzt werden, um die Umgebung der Transistoren, die besonders gut matchen müssen, zu homogenisieren. Die in der Komparatorschaltung verwendeten Dummy-Transistoren befindet sich am unteren Ende der Schaltung in Abbildung 4.1.

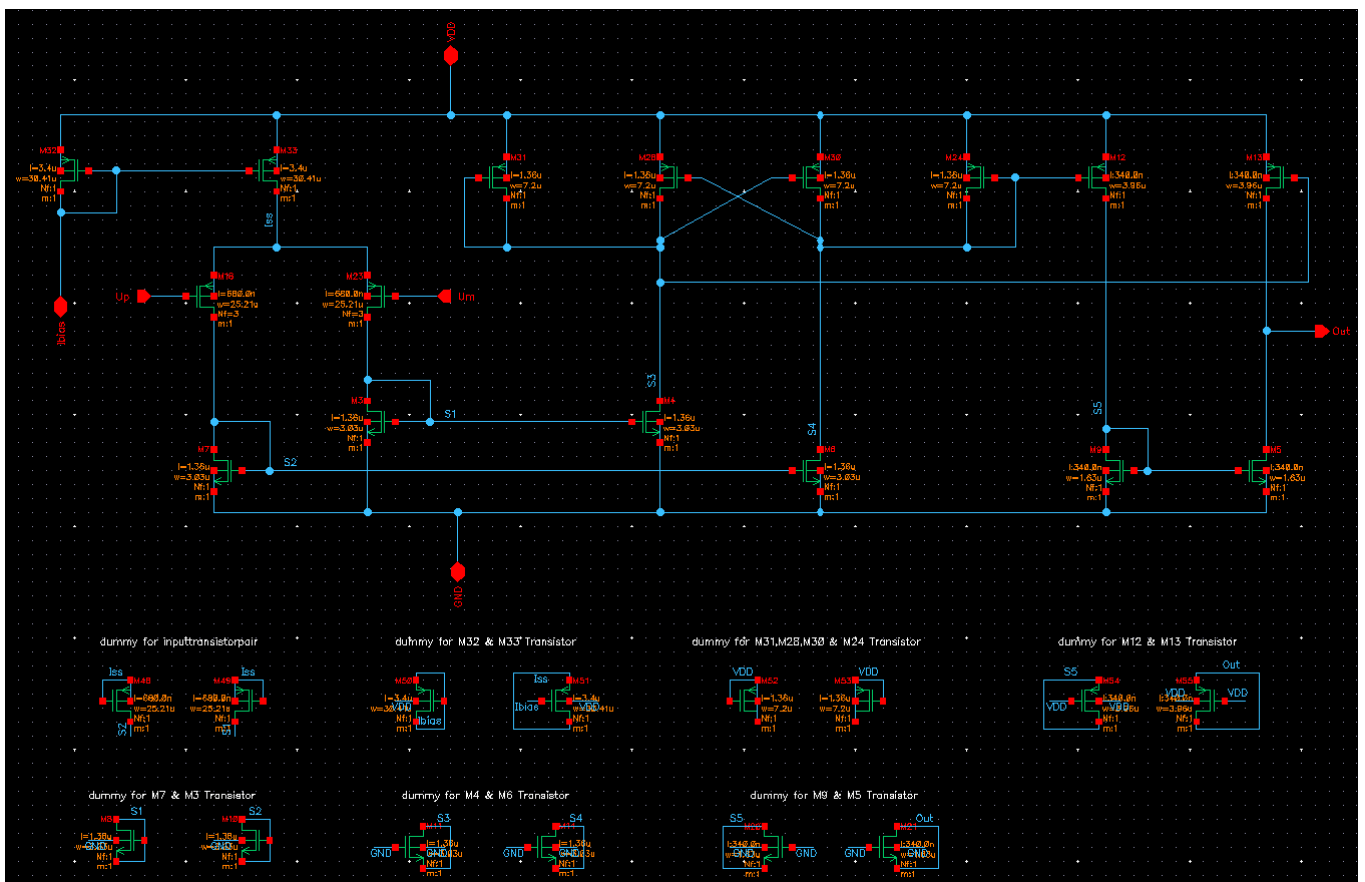


Abbildung 4.1: Dummy-Transistoren für Low-Side Komparator

Zum besseren Verständnis der Rolle des Dummies werden zunächst die vier gleichgroßen MOSFET-Transistoren aus dem Entscheidungsnetzwerk betrachtet, wie sie in Abbildung 4.2 dargestellt sind.

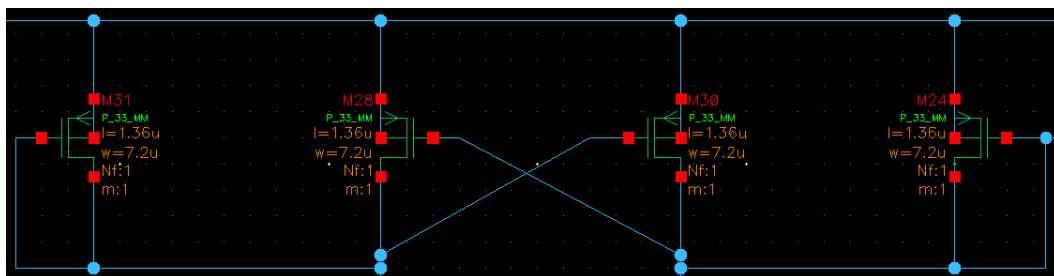


Abbildung 4.2: Transistoren gleicher Geometrie

Die mittleren beiden Transistoren M28 und M30 haben jeweils zu Ihrer Rechten und zu Ihrer Linken einen weiteren Transistor anliegen. Bei den beiden äußeren Transistoren ist dies jedoch nicht der Fall, wodurch sich eine Inhomogenität in der Umgebung der Transistoren ergibt. Aus diesem Grund verwendet man Dummy-Transistoren die links und rechts neben die äußeren Transistoren der Dreieranordnung platziert werden. Wichtig hierbei ist, dass alle Dummy-Transistoren die gleiche Geometrie wie die genutzten Transistoren besitzen und so beschaltet werden, dass sie keinen Einfluss auf die Funktion der Schaltung nehmen können. In Abbildung 4.3 ist das Entscheidungsnetzwerk samt seinen Dummytransistoren abgebildet. Die Elektroden der Dummytransistoren sind dabei alle mit der Versorgungsspannung VDD verbunden, wodurch eine Einflussnahme der Dummies auf den Betrieb der Schaltung ausgeschlossen wird.

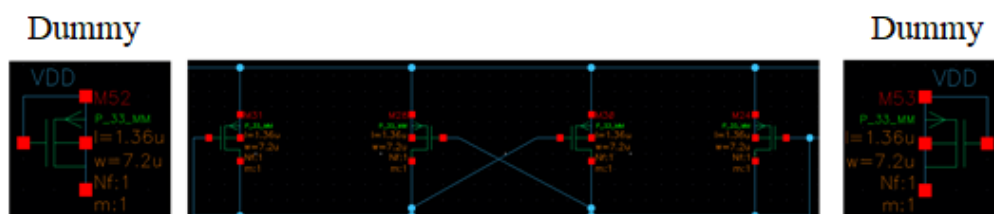


Abbildung 4.3: Transistoren gleicher Geometrie mit Dummy

Start des Layout-Editors:

Für die Einstellung einer Layout Datei unter Cadence wird im Library Manager das Menü **File/New/Cellview** selektiert. Wichtig ist hierbei, dass neben des Bibliothek- und Zellnamens, der View „Layout“ in dem Fenster gewählt werden muss, dass sich öffnet. Dadurch ändert sich automatisch auch der Editor vom Typ Schematic auf Typ Layout. Nachdem man die Zellinformation eingegeben und bestätigt hat, erscheint der Virtuoso Layout Editor mit einer leeren Ansicht wie sie in Abbildung 4.4 zu sehen ist. An der linken Seite des Layout-Editors befindet das Layers-Fenster. Dieses Fenster enthält eine Legende für die Farben und Muster der einzelnen Lagen und ihren Bezeichnungen.

Außerdem kann man mit diesem Fenster die Darstellung aller Lagen konfigurieren und Layer sichtbar oder unsichtbar bzw. selektierbar oder nicht selektierbar machen. Darüber hinaus gibt es für die Layerverwaltung noch die folgenden nützlichen vier Buttons:

AV= All Visible: Alle Lagen werden dargestellt.

NV= None Visible: Keine wird darstellt.

AS= All Selected: Alle Lagen können selektiert werden.

NS= None Selected: Keine Lage ist selektierbar.

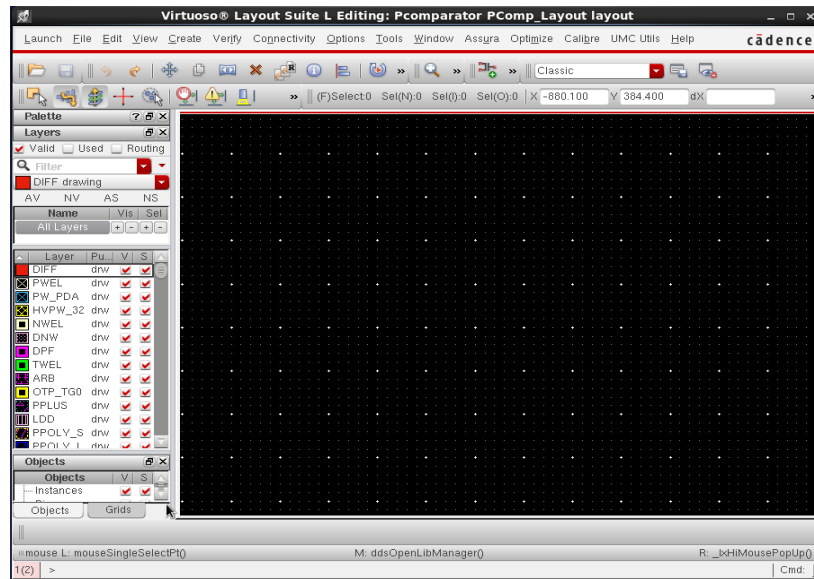


Abbildung 4.4: Layout-Editor

Bevor mit der Erstellung des Layouts begonnen wird, ist es sehr wichtig das im Layout Fenster verwendete Rastermaß auf die vom Hersteller vorgegebenen kleinste Rastergröße, das sogenannte Grid, zu kalibrieren. Mit Hilfe der Taste **E** oder **Options/Display** öffnet sich das in Abbildung 4.5. dargestellte Fenster. Für die verwendete Technologie UMC180 muss unter Grid Controls ein Snap-Spacing von 0.005 eingestellt werden.

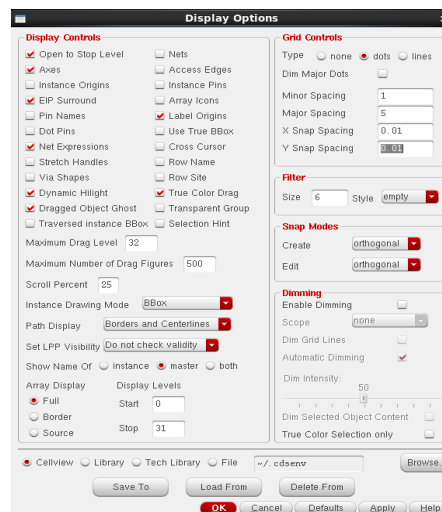


Abbildung 4.5: Display Options

Mit Hilfe der Taste **I** oder dem Menü **Create/Instance** kann eine Layout Instanz wie z.B ein Transistor importiert werden. Auch hier ist es wichtig, bei der Instanzierung die **View Layout** auszuwählen. Ein Beispielfenster ist in Abbildung 4.5 dargestellt. Leider schließt die Software nicht die ungewollte Selektierung und Platzierung einer Symbol View im Layout-Editor aus. Dadurch kann es zu Fehlern während des Layout-Versus-Schematic Checks (LVS), der in der Seite 57 vorgestellt wird.



Abbildung 4.6: Create Instance

In Abbildung 4.7 und 4.8 ist der Querschnitt eines NMOS Transistors mit der Darstellung im Layout Editor gegenübergestellt. Die rote Farbe entspricht der Diffusionszone des Source und Drain Anschlusses. Der entsprechende Layer besitzt das Kürzel Abkürzung DIFF (drw). Die dunkelblaue Struktur entspricht Polysilizium und stellt das Gate des Transistors da. Der Layer besitzt die Bezeichnung PO1 (drw). Die hell blau liniert Fläche entspricht Leiterbahnen in der ersten Metalllage des Prozesses mit der Layerbezeichnung ME1 (drw). Die grünen Rechtecke sind Kontakte, welche die erste Metalllage mit dem Halbleiter in diesem Fall den Drain und Source Anschluss verbinden. Der Bulk Anschluss des Transistors ist in der Layout-Zelle nicht vorhanden und muss separat platziert werden. Der Transistor ist umgeben durch ein braunes Rechteck, dass dem P-DIFF Layer entspricht. Durch diesen Layer wird festgelegt, dass die Diffusionszonen P-dotiert werden.

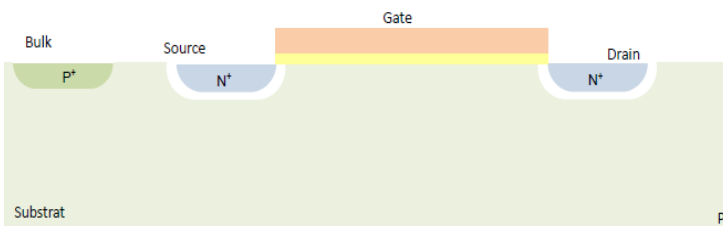


Abbildung 4.7: NMOS Transistor [3]

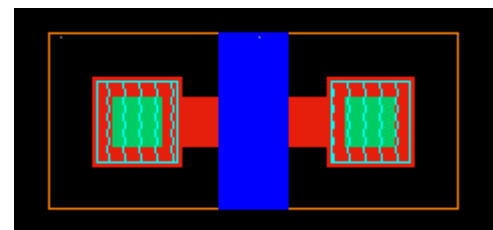


Abbildung 4.8: Layout NMOS Transistor

In Abbildung 4.9 und 4.10 ist der Querschnitt eines PMOS Transistors und seine Layout-Darstellung gegenübergestellt. Die rote Fläche, die Diffusionszone des Source und Drain-Anschlusses, die dunkelblaue Struktur ist Polysilizium d.h. das Gate, der grüne Layer entspricht einem Metallkontakt, und die hell blaue Fläche ist wieder ein M1 Leiterbahn-Anschlussstück. Zusätzlich ist der komplette Transistor noch mit einem weißen Rechteck umgeben, welches der N-Wanne des PMOS Transistors entspricht. Der Layer der N-Wanne besitzt die Bezeichnung NWEL (drw).

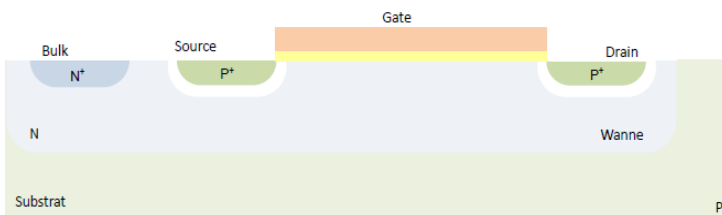


Abbildung 4.9: PMOS Transistor [3]

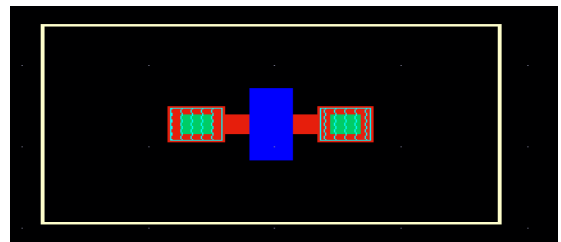


Abbildung 4.10: Layout PMOS Transistor

Im Layout der parametrischen Transistorzelle Bulk fehlt der Bulk-Anschluss. Auf Grund dessen muss der Bulk-Anschluss in einem zusätzlichen Schritt hinzugefügt werden. Mit Hilfe der Taste **O** oder mit Hilfe des Menüs **Create/Via** öffnet sich das in Abbildung 4.11 dargestellte Fenster. In diesem Fenster befinden sich unter Via Definition unterschiedliche Metall Via Strukturen zur Verbindung zweier benachbarter Metalllagen aber Kontakte zur Etablierung einer Verbindung zwischen der ersten Metalllage und dem Halbleiter. Im Falle des Bulk Anschlusses eines NMOS Transistors wird unter Via Definition **M1_PDIF** selektiert, und durch die Felder Rows und Columns kann man wählen wie viele Kontakte in horizontaler und vertikaler Richtung für den Bulk Anschluss verwendet werden sollen.

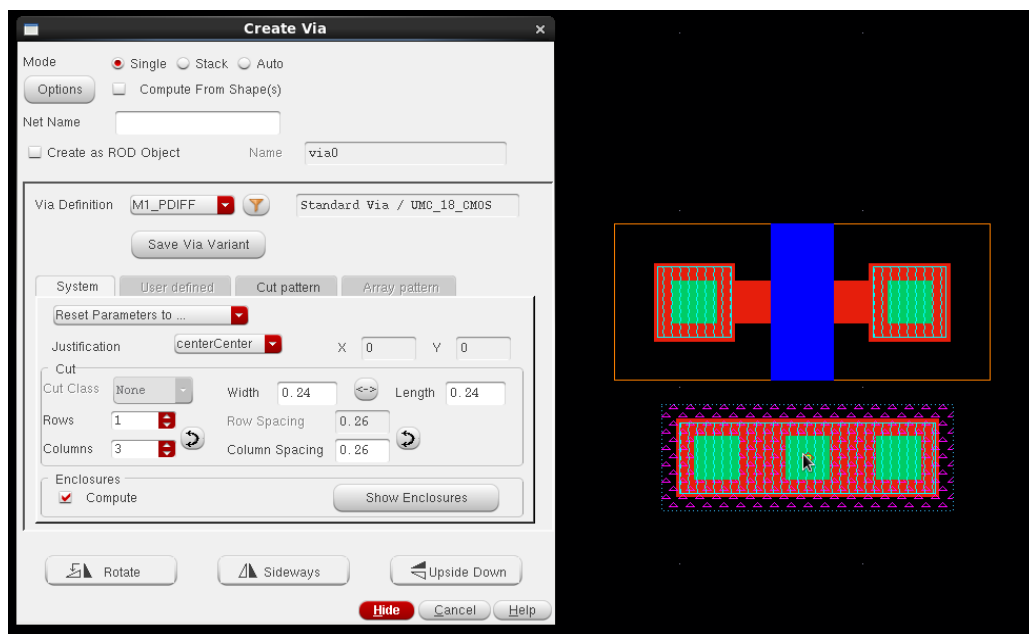


Abbildung 4.11: Create Via M1_PDIF und NMOS Transistor

Bei einem PMOS Transistor muss auf Grund der N-Typ der Dotierung der N-Wanne, in der sich der PMOS befindet die Via Definition **M1_NWEL** selektiert werden. In Abbildung 4.12 ist ein PMOS Transistor samt Bulk Anschluss in horizontaler Ausrichtung mit drei Kontakten.

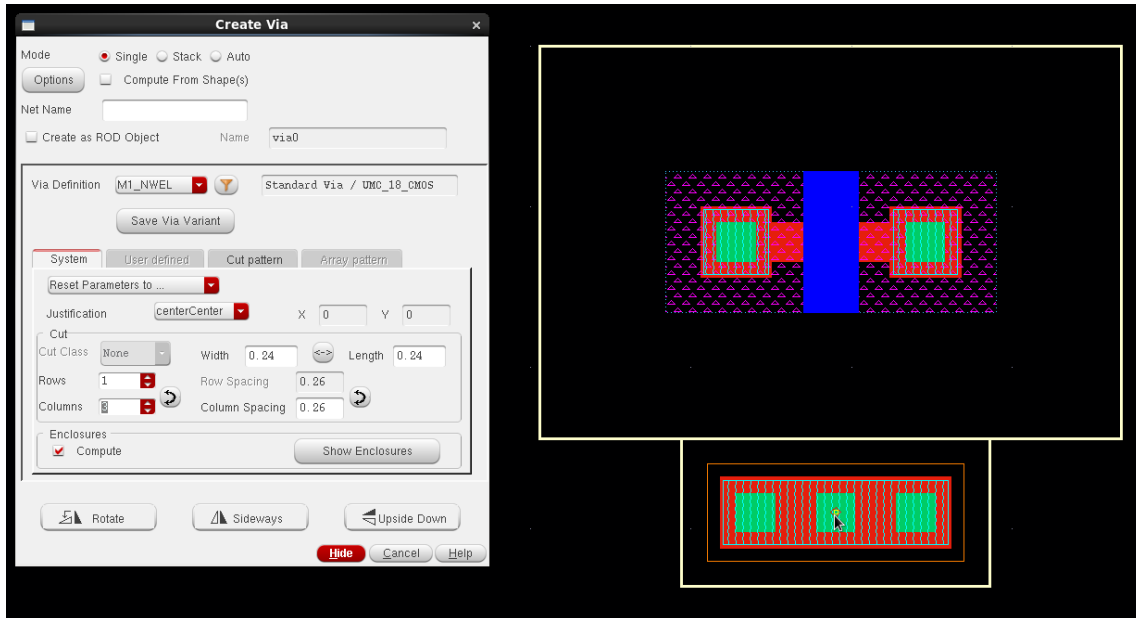


Abbildung 4.12: Create Via M1_NWEL und PMOS Transistor

Mit Hilfe der Taste **Q** kann man die Konfiguration des Transistors oder anderer parametrisierter Layoutzellen verändern. Im Falle eines Transistors öffnet sich das in Abbildung 4.13 dargestellte Fenster.

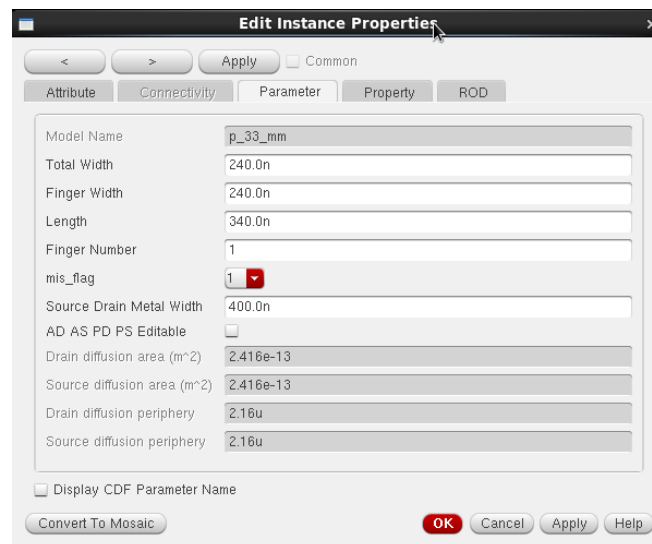


Abbildung 4.13: Edit Instance Properties

Falls in der Schaltung mehrere Transistoren die gleiche Geometrie, also gleiche Breiten und gleiche Längen besitzen und zudem noch an mindestens einer Elektrode miteinander verbunden sind, können

diese durch die Wahl einer geeigneten **Finger Number** einer einzelnen Mos-Instanz im Layout zugeordnet werden. Durch diese Vorgehensweise kann das Layout kompakter werden und weniger parasitäre Kapazitäten aufweisen. In Abbildung 4.14 ist ein derartiger Fall, bei dem es sich um das Transistoreingangspärchen der Komparatorschaltung handelt, dargestellt.

Das Transistoreingangspärchen und die dazugehörigen Dummy-Transistoren besitzen alle die gleiche Geometrie und sind an den Source-Kontakten miteinander verbunden. Wie dem Layout in Abbildung 4.15 entnommen werden kann, ist diese Schaltung durch eine einzige Layout-Instanz mit einer Fingeranzahl von 4 implementierbar. Dabei entspricht der mittlere der 5 Kontakte dem gemeinsamen Source-Anschluss des Transistoreingangspärchens. Jeweils der nächst äußere Kontakt stellt den Drain-Anschluss des jeweiligen Transistors dar. Die Drains der Eingangspärchentransistoren sind aus Symmetriegründen mit den Drains der Dummy-Transistoren verbunden, während die äußeren Kontakte dementsprechend wieder Source-Anschlüssen entsprechen müssen.

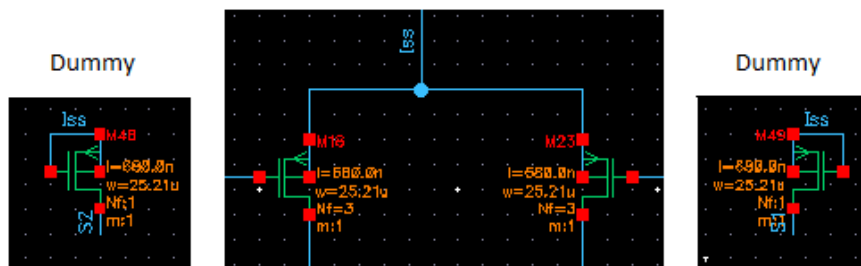


Abbildung 4.14: Beispiel zwei Transistoren mit 2 Dummy die gleiche Geometrie besitzen

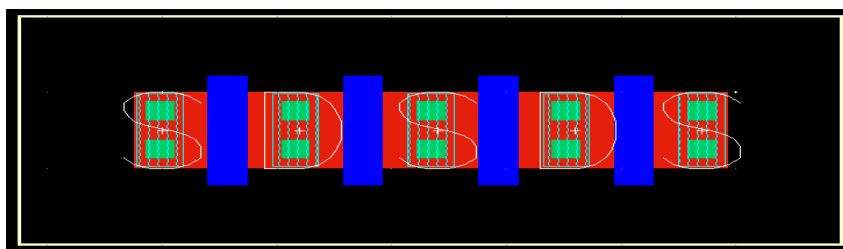


Abbildung 4.15: Beispiel Layout der vier Transistoren

Mit Hilfe der Taste **K** kann man ein Lineal aktivieren, mit dem Abstände im Layoutfenster gemessen werden können. Dies ist besonders nützlich, wenn die Einhaltung von Entwurfsregeln überprüft werden soll. Mit Hilfe der Tasten **Shift + K** werden alle Lineale gelöscht.

Vias:

Vias Stellen Verbindungen zwischen verschiedenen Metall Ebenen her. Um einer Verbindung zur Gate Elektrode des Transistors zu etablieren wird ebenfalls ein Metallkontakt am Gate platziert. Der entsprechende Kontakt besitzt die Bezeichnung M1_Poly. Mit Hilfe der Taste **O** oder **Create/Via** öffnet sich das bereits beschriebene neues Fenster. Unter Via Definition wird **M1_POLY** selektiert, und durch Rows und Columns können wieder die Kontakte in horizontale und vertikale Richtung festgelegt werden. In Abbildung 4.16 ist das entsprechende Fenster und der eingblendete Via Kontakt dargestellt.

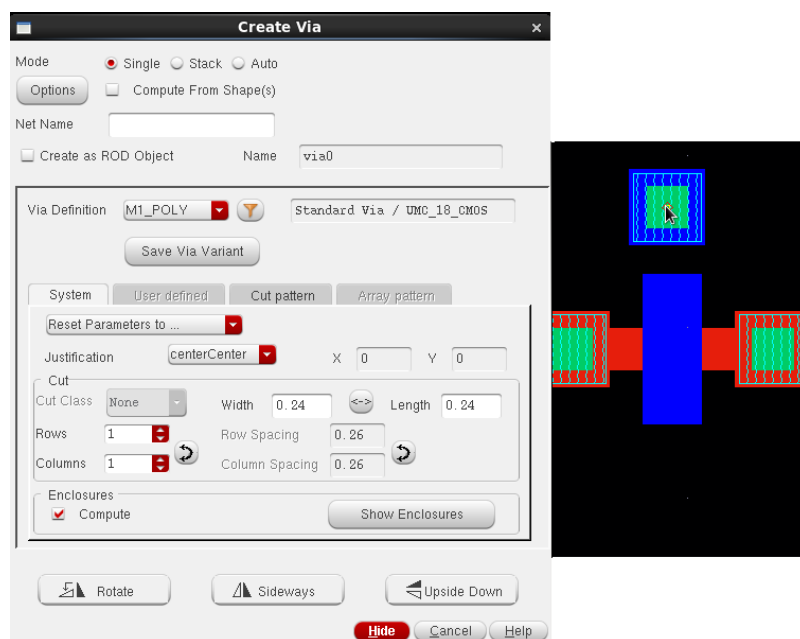


Abbildung 4.16: Create Via M1_POLY

Der Via-1-kontakt verbindet die Metalllagen M1 und M2. Die Via-Schicht gibt an, dass der Isolator an der angegebenen Stelle entfernt wird und stattdessen eine Verbindung zwischen den übereinanderliegenden Metalllagen erstellt werden soll. Der Via1 Kontakt trägt die Bezeichnung M1_M2. Ein Via Kontakt ist in Abbildung 4.17 dargestellt.

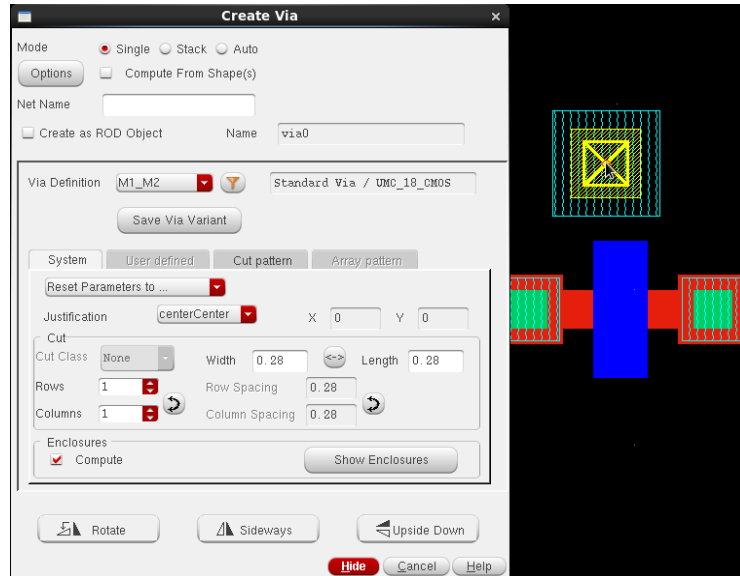


Abbildung 4.17: Verbindung (Via1) zwischen Metall 1 und Metall 2

Die Via-2-Schicht verbindet die Metalllagen M2 und M3. Die Via-Schicht gibt an, dass der Isolator an der angegebenen Stelle entfernt wird und stattdessen eine Verbindung zwischen den übereinanderliegenden Metallen etabliert wird. Die Via Bezeichnung lautet M2_M3. Ein beispielhaftes M2_M3 Via ist in Abbildung 4.18 dargestellt.

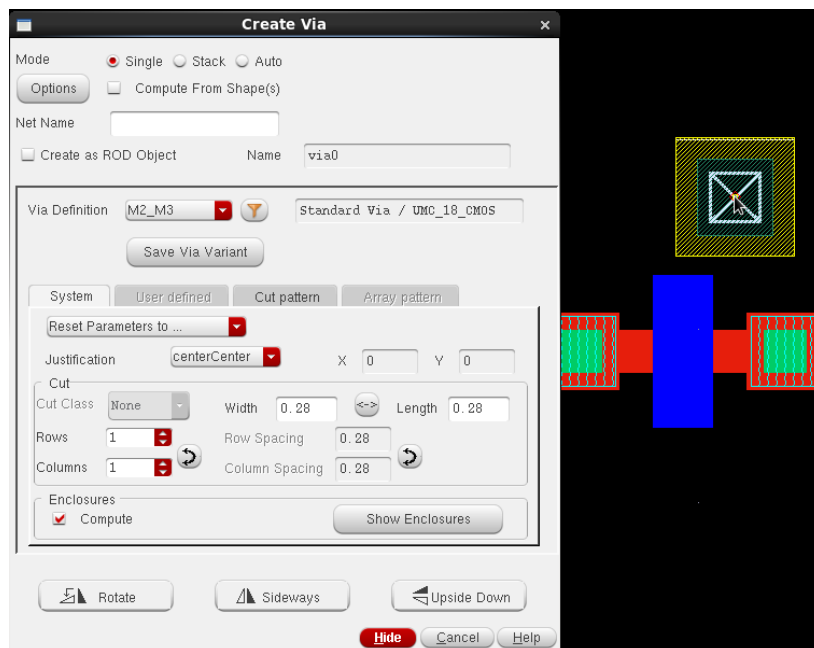


Abbildung 4.18: Verbindung Via2 zwischen Metall 2 und Metall 3

Metalllagen:

Wie im finalen Layout in Abbildung 4.29 zu erkennen ist, wurden insgesamt drei Metallschichten für die Verbindungen der Transistoren verwendet. Die erste Metallschicht M1 hat die Farbe Blau, die zweite M2 die Farbe Gelb und die dritte Schicht M3 die Farbe Grün. Um Verbindungsschwierigkeiten zu vermeiden, wurde bei der Verdrahtung die Konvention verfolgt, die Metallage M2 nur für horizontale und die Metallage M3 nur für vertikale Verbindungen zu nutzen. Die Metallage M1 wurde flexibel und nach Bedarf verwendet.

Nachdem alle Layout Komponenten platziert sind, können nun die Metall Verbindungen hergestellt werden. Zuerst wird die „M1 drw“ Lage im Layer Fenster selektiert. Anschließend kann durch Drücken der Taste **R** (Rectangular) eine rechteckige M1 Struktur erzeugt werden. In Abbildung 4.19 ist z.B. eine M1 Leiterbahn eingezeichnet worden, die zwei Transistorelektroden miteinander verbindet.

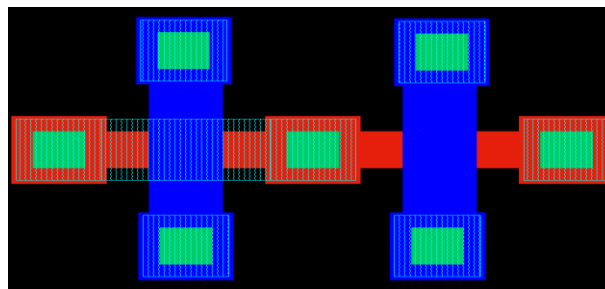


Abbildung 4.19: Verbindung zwischen zwei Kontakten mit Metall 1

In Abbildung 4.20 ist ein Beispiel dargestellt, bei dem zwei Transistorelektroden über die Metallschicht M2 miteinander verbunden sind.

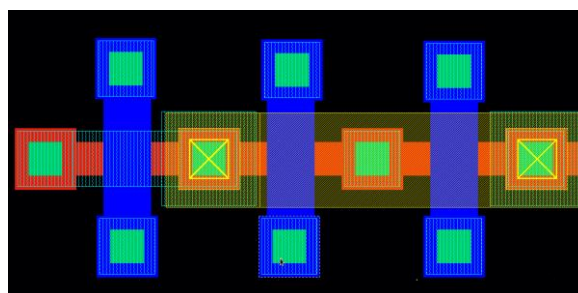


Abbildung 4.20: Verbindung zwischen zwei Kontakten mit Metall 2

Im Allgemeinen sind die Rechtecke einfach zu zeichnen und zu bearbeiten. Wenn ein Rechteck auf einer beliebigen Lage gezeichnet wurde und seine Position oder Bemaßungen bearbeitet werden soll, kann man mit Hilfe der Taste **S** (Stretch) und des Mauszeigers eine Seite des Rechteckes verlängern oder verkürzen.

Pins:

Durch die Verwendung von Pins ist es mit Cadence möglich, ein über viele Zellen verteiltes Projekt als Ganzes zu analysieren und auf Richtigkeit zu untersuchen. Dabei werden normale **Pins**, **Netznamen** und **globale Netznamen** unterschieden. Bei der Verwendung eines globalen Netzes, ist es wichtig bei der Bezeichnung drauf zu achten, dass der Netzname immer mit einem Ausrufezeichen abschließt und dem im Schaltplan verwendeten Netznamen entspricht z.B. vdd! Oder gnd! In diesem Projekt werden jedoch keine globalen Netznamen verwendet. Mit Hilfe der Taste **L** oder **Create/Label** kann man Pins einfügen. Beispiel für ein solches Label ist in Abbildung 4.20 dargestellt. Dabei ist es wichtig, dass der Netzname mit dem korrekten Layer platziert wird z.B. M1_CADTEXT für Labels auf der ersten Metalllage oder M2-CADTEXT für Labels auf der zweiten Metalllage. Außerdem muss das Label auf dem korrekten Metallstück liegen, dass tatsächlich zum betreffenden Netz im Schematic korrespondiert.

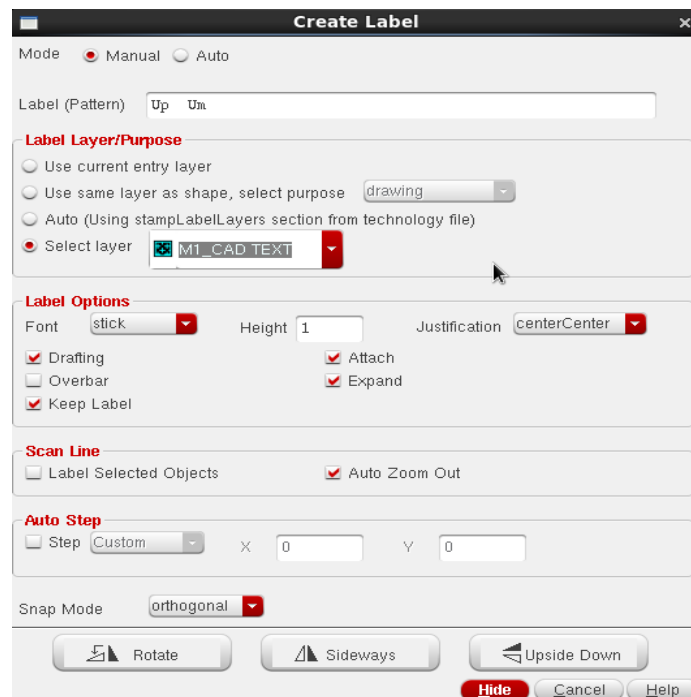


Abbildung 4.21: Create Label Netznamen Einfügen

Kommentierende Texte oder Zeichen werden auf dem Layer **TEXT drawing** platziert



Abbildung 4.22: Create Label Text einfügen

In Abbildung 4.23 ist ein Beispiel von vier Transistoren. Die deklarierten Eingängen U_p und U_m liegen auf der Metallschicht M1. Außerdem wurden Kommentare im Text Layer platziert welche für das fehlerfreie Verbinden sehr hilfreich sind.

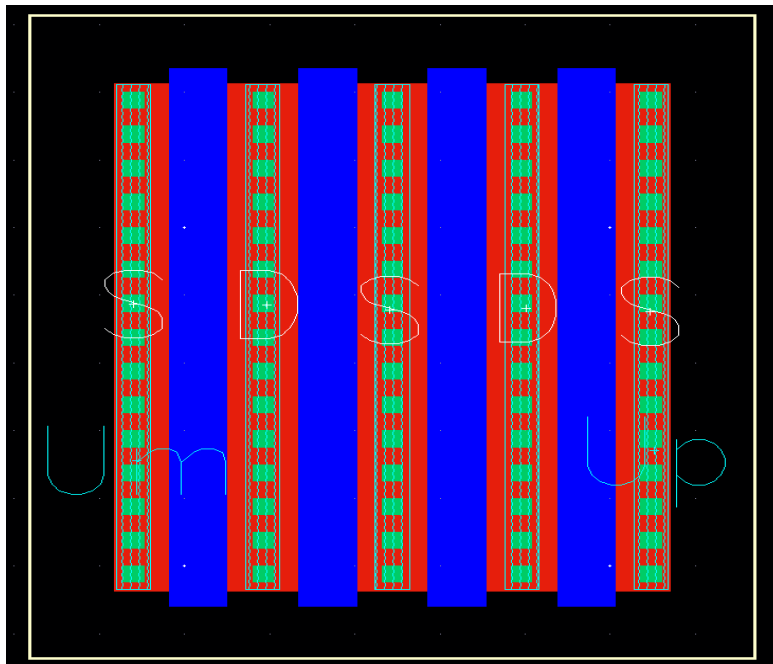


Abbildung 4.23: Beispiel deklarierten Eingängen und Zeichen

Designregeln:

Um die Fabrikationsfähigkeit des Layouts sicherzustellen, müssen gewisse Designregeln eingehalten werden.

- Einhaltung von minimalen Längen und Breiten von instrumentierten Bereichen im Layout, um die Funktion der jeweiligen Fläche zu gewährleisten.
- Einhaltung von Mindestabständen zwischen instrumentierten Bereichen um Interferenzen oder den Einfluss parasitärer Effekte zu reduzieren. Z.B:
 - Zwei benachbarte Metalllagen bilden einen Kondensator.
 - Zwei Bereiche können leitend verbunden sein, wenn die isolierende Schicht dazwischen zu dünn ist.
 - Angrenzende N- und P-dotierte Bereiche bilden einen (ungewollten) PN-Übergang, usw.
- Zwischen zwei N-Wells sollte ein vorgegebener Minimalabstand eingehalten werden, der sich danach richtet auf welchem Potential sich die N-Wells befinden. Würde dieser vorgegebene Abstand nicht eingehalten werden, hätte dies zur Folge, dass die sich jeweils ausbildenden Depletionszonen verschmelzen und einen Kurzschluss verursachen können.

DRC :

Um zu überprüfen, ob das Layout gegen eine der Designregeln verstößt, z.B. ob der minimale Abstand zwischen zwei Metallstücken nicht eingehalten worden ist, wird Calibre DRC (engl. Design Rule Check) ausgeführt. Dazu wird der folgende Menüpunkt im Layout-Editorfenster selektiert

Calibre> Run nmDRC

Die Calibre DRC-Schnittstelle wird jetzt geöffnet. Hier wird auf "DRC ausführen" geklickt, um den Check zu starten. Ein neues Fenster mit der Bezeichnung DRC RVE wird mit einer Liste der Verstöße angezeigt. Die Liste enthält verschiedene Regeln, und wenn auf jede Regel geklickt wird, ist eine Liste mit Koordinaten für die Regelverstöße aufgelistet. Es ist auch eine kurze Beschreibung der Regel zu sehen. Siehe Abbildung 4.24.

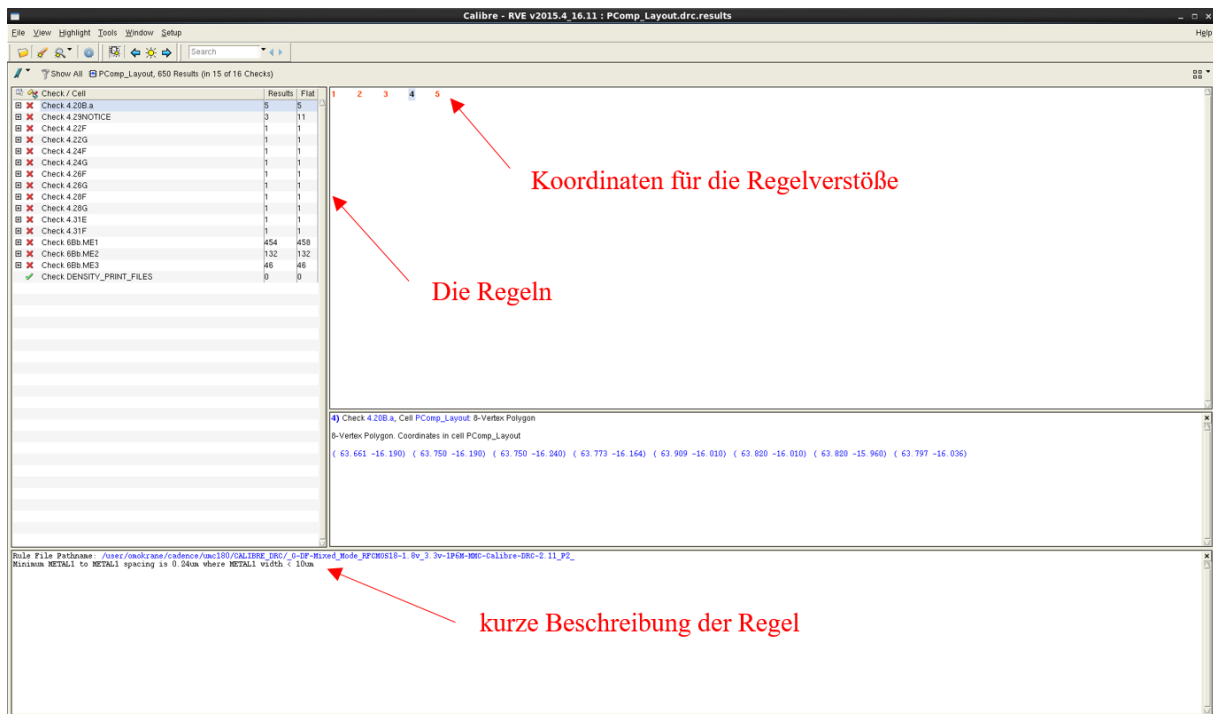


Abbildung 4.24: Das Fenster des DRCs

Mit Doppelklick auf einen Regelverstoß wird die zugehörige Markierung im Layout angezeigt. Ein Beispiel für eine Designregelverletzung ist in Abbildung 4.25 dargestellt. Im gezeigten Fall wurde der M1 Mindestabstand unterschritten. Das Korrigieren von DRC-Fehlern ist oft ein iterativer Prozess. Manchmal kann die Beseitigung von Fehlern zu neuen Fehlern führen. Dieses Prozeß wird so lange durchlaufen bis das komplette Layout fehlerfrei ist. Nur dann ist die Annahme des Layouts zur Produktion durch den Hersteller gewährleistet.

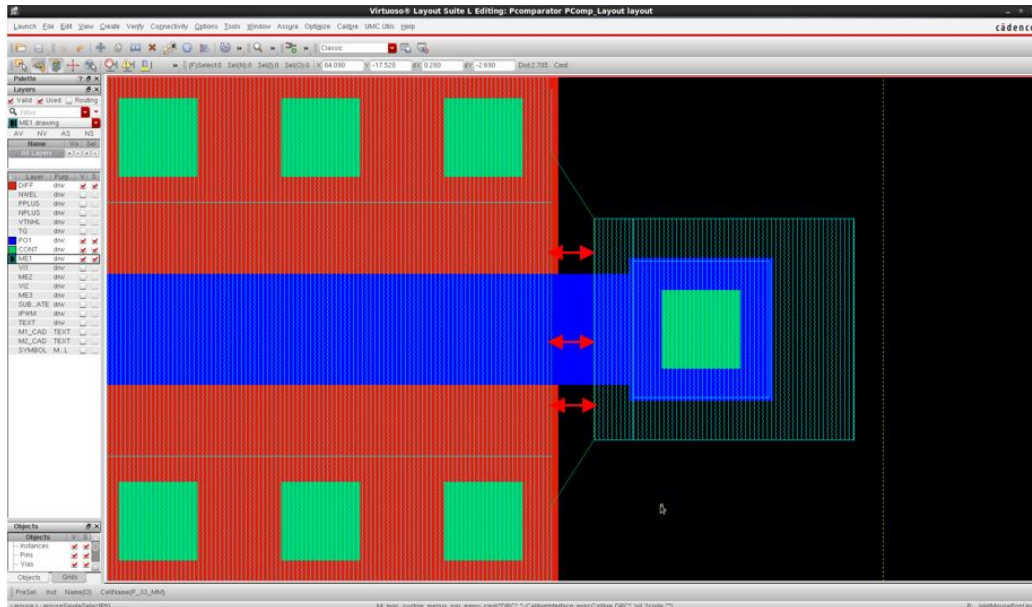


Abbildung 4.25: Beispiel eine Maskierung des Regelverstoßes

In Abbildung 4.25 ist ein Beispiel eines Regelverstoßes zu sehen.

LVS :

Nach der Entfernung aller DRC Fehler, damit gewährleistet ist, dass nach der Fertigung das Verhalten der Schaltung den Erwartungen entspricht, muss noch geprüft werden, ob das Layout mit dem Schaltplan übereinstimmt. Bei ungewünschten Kurzschlüssen zwischen Netzen fehlenden Verbindungen oder falsch dimensionierten Bauteilen, wird der Komparator nicht wie gewünscht funktionieren können. Zu diesem Zweck wird Calibre LVS (engl. Layout Versus Schematic) ausgeführt, indem der folgende Menüpunkt ausgewählt wird:

Caliber> Run nmLVS

Ähnlich wie beim Start des DRC Tools öffnet sich das Calibre LVS Fenster. In diesem Fenster wird auf „LVS ausführen“ geklickt. Nach dem Durchlauf des Checks wird das in Abbildung 4.26 dargestellte LVS-RVE-Fenster angezeigt. In diesem Fenster werden eventuelle Diskrepanzen zwischen Schaltplan und Layout angezeigt. Der LVS Check prüft, ob alle Komponenten auf die gewünschte Weise im Layout verbunden sind und ob alle Bauteileparameter wie z.B. die Transistorbreite und Transistorlänge korrekt ins Layout übernommen worden sind. Übergeordnete Pins bzw. Ports werden ebenfalls überprüft.

Sind alle Abweichungen zwischen Layout und Schaltplan entfernt worden, teilt der LVS Check die Übereinstimmung mit. Eine erfolgreiche LVS-Ausgabe wird in Abbildung 4.28 gezeigt.

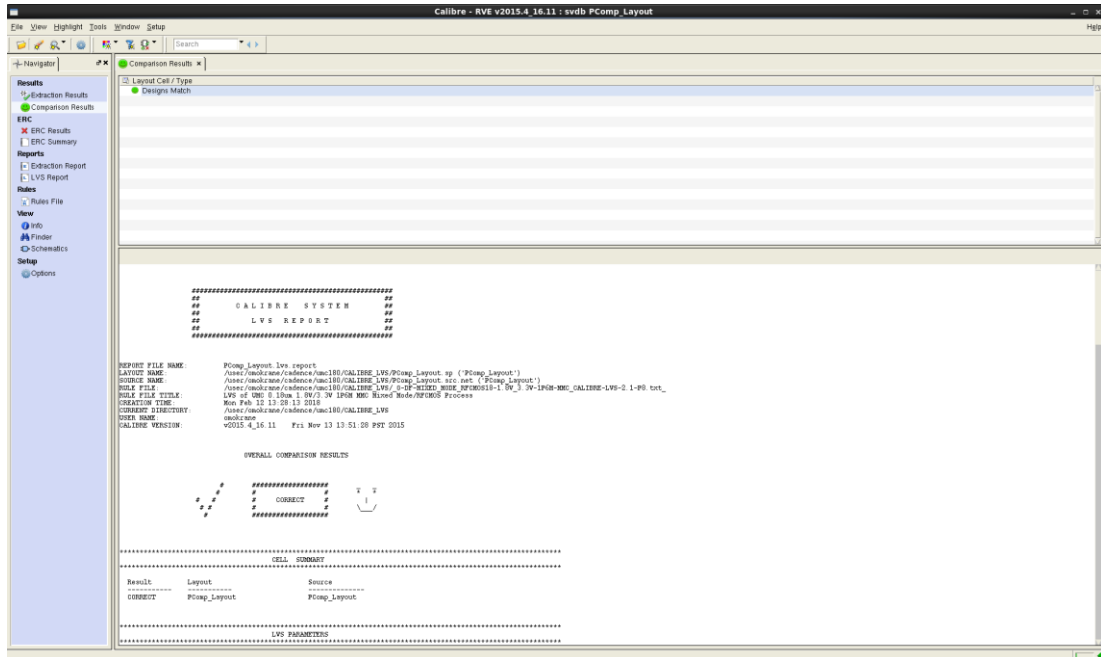


Abbildung 4.28: Eine erfolgreiche LVS-Ausgabe

Beim Layout des Low-Side Komparators wurden alle DRC Regeln eingehalten. Das LVS Check ist fehlerfrei durchgelaufen und somit ist die Übereinstimmung sichergestellt. Das fehlerfreie Layout des Loy-Side Komparators ist in Abbildung 4.29 dargestellt.

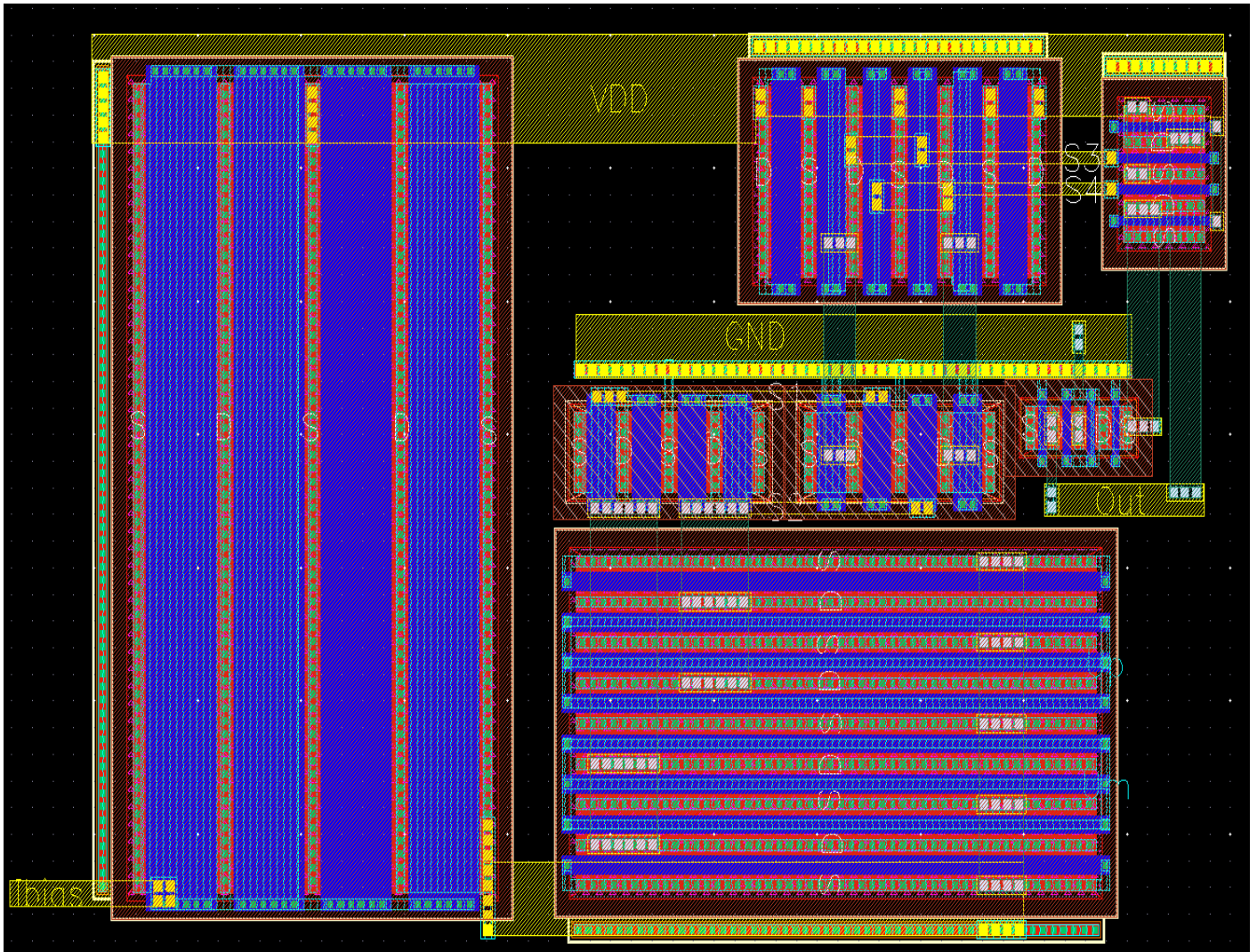


Abbildung 4.29: Das Layout des Low-Side Komparators

Fazit

Die Schaltung des Komparators wurde mit den vorgegebenen Kriterien ordnungsgemäß entworfen. Die Sättigungsspannungen wurden unter Berücksichtigung der Arbeitsweise der Transistoren optimal eingestellt.

Die Funktion des Komparators wurde getestet. Ist der positive Eingang des Komparators höher als der negative Eingang wird am Ausgang des Komparators ein High-Signal ausgegeben. Ist der negative Eingang höher als der positive Eingang wird ein Low-signal ausgegeben.

Durch Simulationen konnte auch die Verzögerungszeit und die Schaltschwelle des Komparators untersucht werden. Der Komparator hat eine kurze Verzögerung von maximal 27.9ns und die Schaltschwelle liegt bei 1,63V. Die Ergebnisse der durchgeführten Simulationen sind somit zufriedenstellend.

Der Komparator ist damit für die integrierte Schaltung des Sägezahngenerators einsetzbar.

Beim Layout des Low-Side Komparators wurden alle DRC Regeln eingehalten. Das LVS Check ist fehlerfrei durchgelaufen und somit ist die Übereinstimmung sichergestellt.

Die Bachelorarbeit wurde hiermit erfolgreich abgeschlossen.

Ich bedanke mich bei der Fachhochschule Dortmund und beim Herrn Prof. Karagounis für die sehr gute Betreuung.

Literaturverzeichnis

[1] „Virtuoso 6.1-64b“ vom Softwarehersteller „Cadence Design Systems“

[2] R. Jacob Baker ”CMOS Circuit Design, Layout, and Simulation”, 3. Auflage, IEEE PRESS, 2010

[3] „ Prof. Dr.-Ing. Michael Karagounis“ Analog CMOS Design“

[4] <https://de.wikipedia.org/wiki/Abw%C3%A4rtswandler>

[5] „ Computer Aided Design in der Mikroelektronik“ Universität Bonn“

„Hiermit versichere ich an Eides statt, dass die von mir vorgelegte Prüfungsleistung selbstständig und ohne unzulässige fremde Hilfe erstellt worden ist. Alle verwendeten Quellen sind in der Arbeit so aufgeführt, dass Art und Umfang der Verwendung nachvollziehbar sind.“

Ort, Datum

Oussama Mokrane