

Fachhochschule Dortmund

University of Applied Sciences and Arts

Bachelorarbeit

zur Erlangung des akademischen Grades
Bachelor of Engineering

Im Studiengang
Elektrotechnik

**Entwurf eines Low-Drop Out Regulators in 180nm CMOS
Technologie
für die Verwendung in einem synchronen
DC-DC Spannungswandler**

vorgelegt von

Sahin Deniz
Matr.-Nr.: 7092207

Am 21.03.2018

an der Fachhochschule Dortmund

Betreuender Professor: Prof. Dr.-Ing. Michael Karagounis

Kurzzusammenfassung

In dieser Arbeit wird ein Low-Dropout Spannungsregler für einen synchronen Abwärtswandler/ Tiefsetzsteller (eng. step-down/Buck-Converter) entwickelt.

Im Rahmen des Projektes soll der integrierte Spannungsregler, der eine Eingangsspannung von 3,3 V in eine Ausgangsspannung von 1,2 V umwandelt, in einer 180nm CMOS Technologie entworfen werden.

Für die Entwicklung und Simulation der Schaltung des Reglers wird das Programm „Virtuoso“ des Softwareherstellers „Cadence Design Systems“ verwendet. Cadence Design Systems, Inc. ist einer der weltweit größten Anbieter von Entwurfsautomatisierung elektronischer Systeme. Diese Software bietet Simulationsmodelle für alle im Abwärtswandler verwendeten Bauteile.

Abstract

In this thesis, a Low-Dropout voltage regulator for a synchronous step-down/ buck-converter is developed.

During the main project, the integrated low dropout regulator, which converts an input voltage of 3.3 V into an output voltage of 3.1 V, is designed in a 180 nm CMOS technology and produced by United Microelectronics Corporation (UMC).

The "Virtuoso 6.1-64b" program of the software manufacturer "Cadence Design Systems" is used for the development and simulation of the circuit. Cadence Design Systems, Inc. is one of the world's largest providers of design automation for electronic systems. This software provides simulation models for all components used in the low-dropout regulator.

Inhaltsverzeichnis

	Tabellenverzeichnis	II
	Abbildungsverzeichnis	III
	Nomenklatur	IV
1	Einleitung	1
2	Aufgabenstellung	2
3	Synchroner DC-DC Wandler	3
3.1	<i>Grundaufbau des Abwärtswandlers</i>	4
4	Grundlagen des linearen Spannungsreglers	5
5	Grundlagen des LDO	8
5.1	<i>Aufbau und Funktionsweise</i>	8
6	Dimensionierung der Bauteile	10
6.1	<i>Transistor</i>	10
6.2	<i>Modell des Operationsverstärkers</i>	11
7	Line Regulation	11
8	Load Regulation	12
9	Stabilität des Reglers	15
9.1	<i>Das spezielle Nyquist-Kriterium</i>	16
9.2	<i>Pole des Operationsverstärkers</i>	20
9.3	<i>R_{ESR}</i>	22
9.4	<i>Alternative Methode zur Stabilisierung</i>	26
10	PVT-Simulation	30
11	Entwurf der Verstärkerschaltung	32
11.1	<i>Dimensionierung</i>	33
11.2	<i>Symbol</i>	34
11.3	<i>Simulation des OTA</i>	34
11.4	<i>Ausgangswiderstand und Verstärkung</i>	35
11.5	<i>Pole des Verstärkers</i>	39
11.5.1	<i>Miller Effekt</i>	39
11.5.2	<i>Corner Analyse der Verstärkung und des internen Pols</i>	43
12	Biasing Schaltung	44
12.1	<i>Start Up Schaltung</i>	52
12.2	<i>Corner Analyse der Biasing Schaltung</i>	52
12.3	<i>Stabilität der Biasing Schaltung</i>	54
13	Gesamtsimulation des LDO mit OTA Schaltung	55
13.1	<i>R_{ESR}</i>	55
13.1.1	<i>Line - und Load Regulation</i>	55
13.1.2	<i>Transienten Analyse</i>	58
13.1.3	<i>Stabilität</i>	63
13.1.4	<i>PVT-Simulation</i>	63
13.1.5	<i>Monte Carlo</i>	64
13.2	<i>Alternative Methode zur Stabilisierung</i>	66
13.2.1	<i>Line - und Load Regulation</i>	66
13.2.2	<i>Transienten Analyse</i>	69
13.2.3	<i>Stabilität</i>	72
13.2.4	<i>PVT-Simulation</i>	72
13.2.5	<i>Monte Carlo</i>	73

14	Effizienz	74
15	Fazit	75
16	Literaturverzeichnis	76
17	Anhang	77

Tabellenverzeichnis

TABELLE 1	PVT-ANALYSE DES LDO MIT DEM VERILOG-A MODELL UND DEM WIDERSTAN R_{ESR}	31
TABELLE 2	PVT-ANALYSE DES LDO MIT VERILOG-A MODELL UND ALTERNATIVEN STABILISIERUNGSMETHODE	31
TABELLE 3	CORNER ANALYSE DER VERSTÄRKUNG UND DES INTERNEN POLS	43
TABELLE 4	CORNER ANALYSE DER BIASING SCHALTUNG	52
TABELLE 5	STABILITÄT DER BIASING SCHALTUNG	54
TABELLE 6	PVT- SIMULATION DES LDO MIT R_{ESR}	63
TABELLE 7	PVT SIMULATION DES LDO MIT DER ALTERNATIVEN STABILISIERUNGSMETHODE	72
TABELLE 8	GEOMETRIE DES LDO MIT R_{ESR}	77
TABELLE 9	GEOMETRIE DER ALTERNATIVEN STABILISIERUNGSMETHODE	77
TABELLE 10	GEOMETRIE DES OTA	78
TABELLE 11	GEOMETRIE DER BIASING SCHALTUNG	78

Abbildungsverzeichnis

ABBILDUNG 1 SCHALTBILD DES LDO	2
ABBILDUNG 2 GRUNDAUFBAU DES DC-DC WANDLERS.....	4
ABBILDUNG 3 SPANNUNGSTEILER ALS GRUNDSCHALTUNG EINES LINEARREGLERS.....	5
ABBILDUNG 4 RÜCKKOPPLUNG	6
ABBILDUNG 5 LINE REGULATION BEI VARIABLER VERSTÄRKUNG. 1. A=1K, 2. A=10K, 3. A=100K	13
ABBILDUNG 6 LOAD REGULATION BEI VARIABLER VERSTÄRKUNG. 1. A=1K, 2. A=10K, 3. A=100K	14
ABBILDUNG 7 OFFENER REGELKREIS.....	15
ABBILDUNG 8 REGELKREIS.....	16
ABBILDUNG 9 ORTSKURVE FÜR STABILES UND INSTABILES SYSTEM.....	17
ABBILDUNG 10 STABILITÄT ÜBERPRÜFEN ANHAND DES BODE DIAGRAMMS.....	18
ABBILDUNG 11 PHASENRESERVE IN DER ORTSKURVE.....	19
ABBILDUNG 12 POLE DES REGLERS.....	20
ABBILDUNG 13 EINSTELLUNG DES OPERATIONSVERSTÄRKER	21
ABBILDUNG 14 STABILISIERUNG DES REGLERS MITHILFE EINES EXTERNEN WIDERSTANDES	22
ABBILDUNG 15 PHASENRESERVE DES LDO.....	23
ABBILDUNG 16 TRANSIENTEN ANALYSE FÜR 0 mA AUF 25 mA	24
ABBILDUNG 17 TRANSIENTEN ANALYSE FÜR 25 mA AUF 50 mA	25
ABBILDUNG 18 SCHALTUNG ZUR STABILISIERUNG OHNE DEN EXTERNEN WIDERSTAND.....	26
ABBILDUNG 19 PHASENRESERVE DER ALTERNATIVEN STABILISIERUNGSMETHODE	27
ABBILDUNG 20 TRANSIENTEN ANALYSE DER ALTERNATIVEN METHODE FÜR 0 mA AUF 25 mA	28
ABBILDUNG 21 TRANSIENTEN ANALYSE DER ALTERNATIVEN METHODE FÜR 25 mA AUF 50 mA	29
ABBILDUNG 22 AUFBAU DES OTA.....	32
ABBILDUNG 23 SYMBOL DES OTA	34
ABBILDUNG 24 TESTBENCH ZUR SIMULIERUNG DES OTA.....	35
ABBILDUNG 25 VERSTÄRKUNG DES OTA	36
ABBILDUNG 26 SOURCE FOLGER MIT A) NMOS TRANSISTOREN UND B) PMOS TRANSISTOREN.....	37
ABBILDUNG 27 PARASITÄRE KAPAZITÄTEN EINES TRANSISTORS.....	39
ABBILDUNG 28 OTA MIT KASKODE TRANSISTOREN UND SOURCE FOLGER.....	40
ABBILDUNG 29 INTERNE POLE DES OPERATIONSVERSTÄRKERS	42
ABBILDUNG 30 ARBEITSPUNKTEINSTELLUNG MIT HILFE EINES WIDERSTANDS	44
ABBILDUNG 31 GRUNDAUFBAU DER BIASING SCHALTUNG.....	46
ABBILDUNG 32 VERSCHIEDENE BIASING SCHALTUNGEN	48
ABBILDUNG 33 STROM ÜBER SPANNUNG DER VERSCHIEDENEN BIASING SCHALTUNGEN [6, S.25]	49
ABBILDUNG 34 TEMPERATUR KOMPENSATION MITHILFE EINES WEITEREN NMOS TRANSISTORS.....	50
ABBILDUNG 35 VOLLSTÄNDIG AUFGEBAUTE BIASING SCHALTUNG	50
ABBILDUNG 36 VERLAUF DES STROMS BEI STEIGENDER TEMPERATUR	53
ABBILDUNG 37 LINE REGULATION BEI VERSCHIEDENEN LASTSTRÖMEN BEIM LDO MIT DEM OTA	56
ABBILDUNG 38 LOAD REGULATION DES LDO MIT DEM OTA.....	57
ABBILDUNG 39 NEGATIVE FLANKE DER TRANSIENTEN ANALYSE 0-25MA.....	59
ABBILDUNG 40 POSITIVE FLANKE DER TRANSIENTEN ANALYSE 0-25MA	60
ABBILDUNG 41 NEGATIVE FLANKE DER TRANSIENTEN ANALYSE FÜR 25MA-50MA	61
ABBILDUNG 42 POSITIVE FLANKE DER TRANSIENTEN ANALYSE FÜR 25MA-50MA.....	62
ABBILDUNG 43 PHASENRESERVE DES LDO MIT R_{ESR}	63
ABBILDUNG 44 MONTE CARLO SIMULATION DES LDO MIT R_{ESR} FÜR DIE PHASENRESERVE.....	65
ABBILDUNG 45 MONTE CARLO SIMULATION DES LDO MIT R_{ESR} FÜR DIE AUSGANGSSPANNUNG.....	65
ABBILDUNG 46 LINE REGULATION DER ALTERNATIVEN METHODE	67
ABBILDUNG 47 LOAD REGULATION DER ALTERNATIVEN METHODE.....	68
ABBILDUNG 48 TRANSIENTEN ANALYSE DER ALTERNATIVE METHODE FÜR 0-25MA	70
ABBILDUNG 49 TRANSIENTEN ANALYSE DER ALTERNATIVE METHODE FÜR 25MA-50MA	71
ABBILDUNG 50 PHASENRESERVE DER ALTERNATIVEN METHODE	72
ABBILDUNG 51 MONTE CARLO SIMULATION DER ALTERNATIVEN METHODE FÜR DIE PHASENRESERVE	73
ABBILDUNG 52 MONTE CARLO SIMULATION DER ALTERNATIVEN METHODE FÜR DIE VOUT	73
ABBILDUNG 53 RUHESTROM.....	74

Nomenklatur

P_{verlust} = Verlustleistung des linearen Reglers

V_{Eingang} = Eingangsspannung am Regler

V_{Ausgang} = Ausgangsspannung am Regler

I_{Last} = Laststrom des Regler

R_L = Lastwiderstand

R_i = Variabler Innenwiderstand des linearen Spannungsreglers

E_{vo} =prozentualen Unterschied zwischen Ausgang bei Leerlaufbedingung und unter Last

$V_{\text{out,max}}$ =maximale Ausgangsspannung des linearen Spannungsreglers

V_{Last} =Spannung an der Last

k =Verhältnis zwischen Innenwiderstand und Lastwiderstand

η = Wirkungsgrad des linearen Spannungsreglers

I_{aus} =Ausgangsstrom des linearen Spannungsreglers

I_{ein} =Eingangsstrom des linearen Spannungsreglers

V_{aus} =Ausgangsspannung des linearen Spannungsreglers

V_{ein} =Eingangsspannung des linearen Spannungsreglers

F_o =Regler, Stellglied und Regelstrecke

I_{Ruhe} = Ruhestrom des Reglers

I =Strom durch den Transistor

μ = Ladungsträgerbeweglichkeit

C_{ox} =Gateoxid Kapazität

W = Breite des Transistors

L = Länge des Transistors

U_{GS} = Spannung zwischen Gate und Source

U_{SG} = Spannung zwischen Source und Gate

U_{TH} = Schwellspannung des Transistors

λ = Kanallängenmodulationsparameter

U_{DS} = Spannung zwischen Drain und Source

U_{SG} = Spannung zwischen Source und Gate

U_{SD} = Spannung zwischen Source und Drain

φ_R = Phasenreserve

ω_{ns} =Frequenz der eingeführten Nullstelle

C_{out} = Ausgangskapazität des LDO

U_{Dsat} =Sättigungsspannung des Transistors

R_{out} = Ausgangswiderstand des OTA

$r_{A1\text{out}}$ = Ausgangswiderstand des Verstärkers

ω_1 = Der Pol am Ausgang des Verstärkers

ω_2 = Der Pol am Ausgang des Reglers

C_{gb} = Gate – Bulk Kapazität des Pass – Devices

C_{gs} = Gate-Source Kapazität des Pass-Devices

C_{gd} = Gate-Drain Kapazität des Pass-Devices

g_m = Steilheit des Pass – Devices

r_{LG} = Gesamter am Ausgang angeschlossener Widerstand

C_0 = Ausgangskapazität

r_{DS} = Ausgangswidertand des Pass – Devices

R_1, R_2 = Widerstand des Spannungsteilers

1 Einleitung

Für die Umwandlung einer hohen Versorgungsspannung in eine niedrigere Betriebsspannung werden üblicherweise geschaltete Abwärtswandler (auch Tiefsetzsteller, DC-DC Wandler bzw. Buck Converter) verwendet. Dabei ist die Ausgangsspannung und damit auch die Spannungsdifferenz zwischen dem Eingang und dem Ausgang je nach Wunsch anpassbar.

In der Elektronik sind diese Schaltungen weit verbreitet und finden Anwendungen in der Automobilindustrie, in Handys, Notebooks, Kleinmotoren u.v.m. So wird z.B. in Computern die Eingangsspannung vom Netzteil von 12 V auf wahlweise 5 V oder 3.3 V runtergesetzt.

In dieser Arbeit geht es nicht primär um einen DC-DC Wandler, sondern um die Entwicklung eines Linearreglers, der als Versorgung für die sensiblen Schaltungsteile eines synchronen DC-DC Wandlers dienen soll. Angestrebt wird die Realisierung eines LDO (Low-Dropout Voltage) Reglers. Im Vergleich zu anderen Linearreglern, zeichnet einen LDO die Eigenschaft aus, dass der Betrieb auch bei sehr kleinen Spannungsdifferenzen zwischen dem Eingang und dem Ausgang gewährleistet ist.

Die Simulation der Schaltung wird mithilfe der Software „Virtuoso“ von „Cadence Design Systems, Inc.“ durchgeführt. „Cadence Design Systems, Inc.“ ist ein amerikanisches Software- und Ingenieurdienstleistungsunternehmen, welches 1988 durch die Fusion von „SDA Systems“ und „ECAD, Inc.“ entstanden ist. Das Unternehmen hat sich auf die Herstellung von integrierten Schaltungen spezialisiert und bietet mit ihrer Software „Virtuoso“ eine sehr gute und bedienerfreundliche Entwicklungsumgebung an.

Im Rahmen dieser Arbeit wurden zunächst mit Hilfe eines Verilog-A Modells eines Operationsverstärkers, Komponenten des Reglers wie das Pass-Device und der Ausgangsspannungsteiler dimensioniert und erste Stabilitätsuntersuchungen durchgeführt. Anschließend wurde mit den extrahierten Kenndaten aus der idealisierten Simulation die Transistorschaltung des Operationsverstärkers entworfen.

Sobald alle Bestandteile des DCDC-Wandlers entworfen worden sind, wird die Produktion eines Prototyps durch die Firma „United Microelectronics Corporations(UMC)“ in Auftrag gegeben.

2 Aufgabenstellung

Für einen synchronen DC-DC Wandler soll ein LDO entworfen werden, welcher die Eingangsspannung von 3.3 V in 3.1 V runterregelt. Diese Spannung wird benötigt, um die Elektronik des DC-DC Wandlers von der unregulierten Eingangsspannung abzuschirmen. Wie in Abbildung 1 dargestellt, besteht der LDO aus einem PMOS (p-type metal-oxide-semiconductor) als Pass-Device, einem Operationsverstärker, einem Spannungsteiler und einem Kondensator am Ausgang.

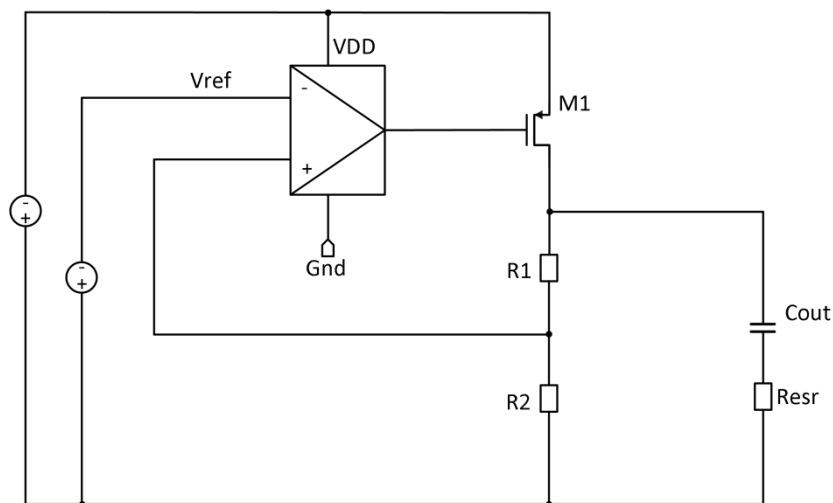


Abbildung 1 Schaltbild des LDO

Der LDO wird für eine Eingangsspannung von 3.3 V bis 4 V und einem maximalen Laststrom von 50 mA dimensioniert. Die Ausgangsspannung soll konstant bei 3,1 V liegen. Der Kondensator am Ausgang darf maximal 2.2 μF groß sein. Der Regler soll für die Temperaturen von -50°C bis 120°C funktionieren. Als Kriterium für die Stabilität des Reglers muss eine Phasenreserve von mindestens 60° erreicht werden. Zur Stabilisierung wird am Ausgang ein weiterer Widerstand in Reihe zum Kondensator geschaltet. Als Alternative wird eine weitere Stabilisierungsmethode angewendet, welche später näher beschrieben wird. Nach einem Vergleich beider Methoden wird am Ende entschieden, welche dieser Methoden im endgültigen Regler verwendet wird.

3 Synchroner DC-DC Wandler

Innerhalb eines elektronischen Systems werden oft unterschiedliche Spannungen benötigt, die oft unterhalb der eigentlichen Versorgungsspannung liegen. Moderne hochintegrierte Bauteile wie der Prozessor eines Computers verwenden z.B. im Kern eine Spannung um 1V. Dementsprechend muss die Versorgungsspannung runtergeregelt werden, um das Bauteil nicht zu beschädigen.

Das heruntersetzen kann man mithilfe von Linearreglern oder Abwärtswandlern realisieren. Der Linearregler hat aufgrund seines regelbaren Reihenwiderstandes hohe Verluste. Der gesamte Laststrom fließt durch diesen Widerstand und setzt dort eine entsprechende elektrische Leistung um. Da diese Verlustleistung der Last nicht zur Verfügung gestellt werden kann, ist ein Linearregler nicht besonders effizient. Beispielsweise beträgt die Verlustleistung bei einer Eingangsspannung von 12 V, einem Strom von 1 A, einer Ausgangsspannung von 5 V bereits 7 W.

$$P_{\text{verlust}} = (V_{\text{eingang}} - V_{\text{Ausgang}}) * I_{\text{Last}} = (12 \text{ V} - 5 \text{ V}) * 1 \text{ A} = 7 \text{ W} \quad (1)$$

Diese im Vergleich zur Gesamtleistung große Verlustleistung wird in Wärme umgesetzt und muss über Kühlerkörper an die Luft abgegeben werden.

Eine wesentlich effizientere Spannungswandlung kann über einen geschalteten Abwärtswandler realisiert werden. Die Schaltelemente des Abwärtswandlers werden im Großsignalbetrieb verwendet, wodurch sich Phasen mit einem niederohmigen Schaltzustand und geringen Spannungsabfällen bzw. hochohmigen Schaltzustand und sehr niedrigem Stromfluss abwechseln. Insgesamt führt dies zu einer geringen Verlustleistung in den Regelementen des Spannungswandlers und damit einhergehend auch zu kleineren Kühlkörpern. So erreicht man geringere Abmessungen der Gesamtschaltung.

Die Ausgangsspannung ergibt sich aus dem Mittelwert der beiden Schaltzustände, wodurch bei entsprechender Regelung der Schaltzeiten die Generierung der gewünschten Ausgangsspannung bei sehr hoher Versorgungseffizienz erreicht wird.

3.1 Grundaufbau des Abwärtswandlers

Wie in Abbildung 2 dargestellt besteht ein synchroner Abwärtswandler im Prinzip aus 2 Schaltern, der zugehörigen Regelung, einer Induktivität und einer Kapazität.

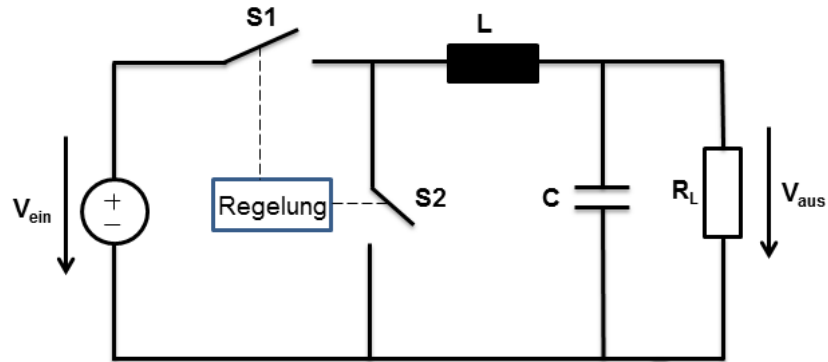


Abbildung 2 Grundaufbau des DC-DC Wandlers

Die Schalter sind üblicherweise MOSFETS (metal-oxide-semiconductor field-effect transistor). Damit der MOSFET als Schalter fungieren kann, wird lediglich eine positive Steuerspannung benötigt.

Im eingeschalteten Zustand fließt trotz der angelegten Gate-Source Spannung kein Steuerstrom. Dadurch kann der MOSFET leistungslos angesteuert werden. Das LC-Glied wirkt in der Schaltung als Energiespeicher. Außerdem kann es als LC-Tiefpass unerwünschte Oberwellen dämpfen.

4 Grundlagen des linearen Spannungsreglers

Der lineare Spannungsregler verhält sich im Prinzip wie eine konstante Spannungsquelle. Der Regler vergleicht die Ausgangsspannung mit einer intern erzeugten Referenzspannung.

Falls die Ausgangsspannung zu niedrig ist, wird der variable Widerstand, welcher üblicherweise ein Transistor ist, so geändert, dass ein größerer Strom fließen kann, bis die gewünschte Spannung am Ausgang erreicht ist. Ist die Ausgangsspannung zu groß, wird der Strom durch den variablen Widerstand reduziert, bis die Spannung wieder auf dem gewünschten Wert ist [1, S.3]

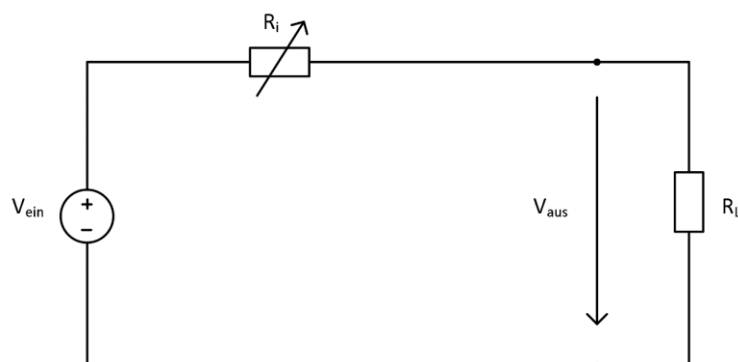


Abbildung 3 Spannungsteiler als Grundsaltung eines Linearreglers

Ausgehend von dem in Abbildung 3 dargestellten Spannungsteiler wird jetzt die Funktionsweise eines Linearreglers detailliert beschrieben.

Die Ausgangsspannung des linearen Spannungsreglers ist grundsätzlich niedriger als die Eingangsspannung und lässt sich mit einer einfachen Spannungsteiler Formel berechnen:

$$V_{\text{aus}} = V_{\text{ein}} * \frac{R_L}{R_i + R_L} \quad (2)$$

Ist am Ausgang keine bzw. eine sehr kleine Last vorhanden, dann entspricht das einem Leerlauf bzw. einem sehr großen Lastwiderstand. Ohne Regelung würde dies zur Folge haben, dass die volle Eingangsspannung am Ausgang anliegt. Durch Erhöhen der Last sinkt die Ausgangsspannung von ihrem Maximalwert ab. Diese Differenz zwischen der Eingangsspannung und Ausgangsspannung wird EVO genannt.

Als EVO versteht man also den prozentualen Unterschied zwischen dem Ausgang bei Leerlaufbedingung und unter Last. [2, S.4]

$$E_{VO} = \frac{V_{OUT,MAX} - V_{LAST}}{V_{OUT,max}} \quad (3)$$

Durch eine einfache Umformung der Gleichungen (2) und (3) kann man die Differenz zwischen der Eingangs- und Ausgangsspannung auch durch das Widerstandsverhältnis von R_i und R_L ausdrücken:

$$E_{VO} = \frac{R_i}{R_i + R_L} \quad (4)$$

Damit dieser Fehler auf einem Minimum reduziert werden kann, muss die Schaltung in Abbildung 3 leicht verändert werden. Die Schaltung sollte einen Lastwechsel erkennen können und dementsprechend den variablen Innenwiderstand so ändern, dass das Verhältnis vom internen Widerstand zum Lastwiderstand konstant ist.

Dazu wird ein Faktor k eingeführt, der dieses Verhältnis ausdrückt:

$$k = \frac{R_i}{R_L} \quad (5)$$

Das wird mithilfe einer Rückkopplung wie in Abbildung 4 zu sehen ist erreicht.

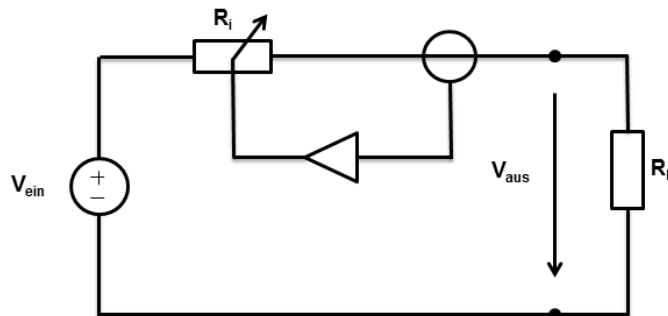


Abbildung 4 Rückkopplung

Der Wirkungsgrad des linearen Spannungsreglers berechnet sich aus der Eingangs- und Ausgangsspannung. Der Eigenstromverbrauch des Reglers kann vernachlässigt, weil er verhältnismäßig klein zum Ausgangsstrom ist. [3]

$$I_{\text{aus}} = I_{\text{ein}} \quad (6)$$

$$\eta = \frac{P_{\text{aus}}}{P_{\text{ein}}} = \frac{V_{\text{aus}} \cdot I_{\text{aus}}}{V_{\text{ein}} \cdot I_{\text{ein}}} = \frac{V_{\text{aus}}}{V_{\text{ein}}} * 100\% \quad (7)$$

Durch das folgende Beispiel wird deutlich, dass linearer Spannungsregler nicht sehr effizient sind. Bei einer Eingangsspannung von 12 V und einer Ausgangsspannung von 5 V beträgt der Wirkungsgrad nur 41,66%.

$$\eta = \frac{P_{\text{aus}}}{P_{\text{ein}}} = \frac{V_{\text{aus}} \cdot I_{\text{aus}}}{V_{\text{ein}} \cdot I_{\text{ein}}} = \frac{5 \text{ V}}{12 \text{ V}} * 100\% = 41,66 \%$$

Damit der lineare Spannungsregler zuverlässig arbeiten kann, muss die Eingangsspannung höher sein als die Ausgangsspannung. Lineare Spannungsregler zeichnen sich dadurch aus, dass sie zuverlässig die Spannung regeln können, wenn zwischen dem Eingang und Ausgang eine bestimmte Mindestspannungsdifferenz eingehalten wird. Klassische Linearregler benötigen z.B. Spannungsdifferenzen von mindestens 600 mV. Die Schaltung ist im Vergleich zu Schaltreglern relativ einfach zu realisieren. Linearregler eignen sich besonders gut für Anwendungen bei denen keine hohe Effizienz benötigt werden und andere Eigenschaften wie z.B. glatte störungsfreie Ausgangsspannungen im Vordergrund stehen. Heutzutage erreicht man mithilfe dieses Reglertyps Wirkungsgrade von bis zu 87 %. [4]

Wenn ein Spannungsregler ein System versorgen soll, bei dem die Differenz zwischen dem Eingang und dem Ausgang nicht sehr groß sein darf, eignet sich besser der sogenannte Low-Dropout Regler.

5 Grundlagen des LDO

Low-Dropout-Regler werden in großem Umfang für eine breite Vielfalt an Elektronikanwendungen und in vielen unterschiedlichen Branchen eingesetzt. Sie sind einfache und kostengünstige Regler zur Steuerung und Regelung einer Ausgangsspannung.

LDOs werden in den meisten Anwendungen dazu verwendet, eine empfindliche Last von einer störbehafteten Energiequelle zu isolieren.

Der Low-Dropout Regler gehört auch der Klasse der linearen Spannungsregler an. Der Unterschied zum klassischen linearen Spannungsregler ist, dass der LDO die Spannung regeln kann, auch wenn die Differenz zwischen Eingang und Ausgang relativ gering ist. Bei LDOs liegt diese Differenz bei etwa 200 mV.

5.1 Aufbau und Funktionsweise

Der LDO besteht im Prinzip aus einer Referenzspannung, einem Operationsverstärker, einem Durchgangselement, welches auch Pass-Device genannt wird und einem Widerstand in Reihe zum Kondensator am Ausgang. Low-Dropout-Regler können je nach Anforderung folgende Durchgangselemente enthalten: p-Kanal-MOSFET, n-Kanal-MOSFET, NPN-Transistor oder PNP-Transistor.

Die Wahl des Durchgangselements wird nach Wunsch der Dropout-Spannung also der Differenz zwischen dem Eingang und Ausgang gewählt. Der MOSFET ist dafür da, die Ausgangsspannung durch Änderung des Kanalstromes anzupassen. Der Operationsverstärker vergleicht die Spannung, welche durch den Spannungsteiler am Ausgang gebildet wird, mit einer Referenzspannung. Je nach Eingangsspannungsdifferenz stellt sich eine höhere oder niedrigere Ausgangsspannung am Operationsverstärker ein, so dass die Spannung zwischen Gate und Source des Transistors anwächst oder kleiner wird. Dadurch fließt mehr oder weniger Strom zum Reglerausgang. Der Kondensator am Ausgang dient als Speicher und definiert meist auch die Bandbreite bzw. die Reaktionszeit des LDO. Der Widerstand in Reihe zum Kondensator hat eine stabilisierende Wirkung und verhindert, dass der Regler schwingt.

Der Regler kann nicht sofort auf Lastwechsel reagieren, sondern benötigt dafür eine gewisse Zeit. Diese Zeit wird auch als die Zeitkonstante des Reglers bezeichnet und ist eng mit der Bandbreite des Reglers verknüpft.

Wenn die Last plötzlich zunimmt, wird zunächst kein zusätzlicher Strom vom das Pass-Device zur Verfügung gestellt. Der zusätzliche Laststrom wird demnach zunächst den Ausgangskondensator entladen, wodurch die Ausgangsspannung etwas abfällt. Am Operationsverstärker wird die Spannung am nichtinvertierenden Eingang nun kleiner als am invertierenden Eingang. Die Differenzspannung am Eingang des Operationsverstärkers wird dadurch leicht negativ, was dazu führt, dass die Ausgangsspannung des Operationsverstärkers sinkt. Da der Ausgang des Operationsverstärkers am Gate des PMOS Transistors angeschlossen ist, steigt zeitgleich die Source-Gate Spannung U_{SG} des PMOS, wodurch sich der Stromfluss durch das Pass-Device erhöht. Der Lastanstieg wird demnach vom Pass-Device ausgeglichen und die Spannung auf den ursprünglichen Wert zurück geregelt. Die Last bekommt nun mehr Strom und der Kondensator wird wieder aufgeladen.

6 Dimensionierung der Bauteile

Das Durchgangselement und der Operationsverstärker sind beim Low-Dropout-Regler die wichtigsten Bauteile. Dementsprechend müssen diese Bauteile auch entsprechend den Anforderungen dimensioniert werden. Bei falscher Dimensionierung könnte der Regler nicht das gewünschte Regelverhalten aufweisen und z.B. die gewünschte Ausgangsspannung nicht zur Verfügung stellen.

In diesem Kapitel geht es um die Dimensionierung der beiden Bauteile.

6.1 Transistor

Bei einem Low-Dropout Regler wird üblicherweise ein p-Kanal MOSFET verwendet. Diese zeichnet sich dadurch aus, dass er eine geringe Dropout-Spannung hat.

Die Gleichung (9) zeigt, wie der Strom von dem Verhältnis der Breite zur Länge abhängt.

$$I = \frac{1}{2} \mu C_{ox} \frac{W}{L} (U_{GS} - U_{TH})^2 \quad (8)$$

μ ist die Ladungsträgerbeweglichkeit, C_{ox} ist die Gateoxid-Kapazität, U_{GS} die Gate-Source Spannung und U_{TH} die Schwellspannung des Transistors. Diese Größen können nicht verändert werden, so bleibt nur das Verhältnis der Breite zur Länge, womit der Strom eingestellt werden kann.

Allerdings gilt diese Transistor-Gleichung nur, wenn sich der Transistor in starker Inversion und im Sättigungsbereich befindet. Das heißt, es muss $U_{GS} > U_{TH}$ und $U_{DS} > U_{DSAT} = U_{GS} - U_{TH}$ gelten. Um eine Dropout-Spannung von 200 mV zu gewährleisten, darf die Sättigungsspannung des PMOS Transistors U_{DSAT} 200 mV nicht überschreiten, da andernfalls der Transistor aus der Sättigung gehen würde.

Um am Ausgang des Reglers die gewünschten 50 mA zur Verfügung stellen zu können, wurde eine Transistorbreite von 16 mm gewählt und zwar über eine „Finger Width“ von 16 μm und einem Multiplikator von $m=1000$.

6.2 Modell des Operationsverstärkers

Bei der Dimensionierung des LDO wird zunächst nur ein Verilog-A Modell des Operationsverstärkers verwendet, um verschiedene Parameter wie z.B. die Verstärkung oder den Ausgangswiderstand so zu wählen, dass der LDO wie gewünscht funktioniert. Verilog ist eine Hardwarebeschreibungssprache (Hardware Description Language:HDL), womit es möglich ist, ein System sehr abstrahiert zu beschreiben. Verilog-A ist eine Erweiterung zu Verilog, womit es möglich ist, analoge Systeme zu beschreiben.

Das Modell ermöglicht es dem Anwender, verschiedene Parameter sehr einfach zu verändern und so die gesamte Schaltung relativ einfach und schnell bei Veränderung zu simulieren. Nachdem die Parameter des benötigten Operationsverstärkers gefunden worden sind, wird der Operationsverstärker, wie in Kapitel 11 beschrieben entworfen und anschließend in den LDO eingesetzt und simuliert.

7 Line Regulation

Bei linearen Spannungsreglern sollte die Ausgangsspannung möglichst unabhängig von der Eingangsspannung sein. Bei realen Reglern existiert jedoch eine kleine Abhängigkeit zwischen der Ein- und der Ausgangsspannung. Diese Abhängigkeit hängt maßgeblich vom Verstärkungsfaktor A des Operationsverstärkers ab. Bei der Wahl des Verstärkungsfaktors muss darauf geachtet werden, dass die Verstärkung nicht zu groß ist. Wie in den folgenden Kapiteln gezeigt wird, verbessert ein hoher Verstärkungsfaktor zwar die Line und Load Regulation aber ein zu großer Verstärkungsfaktor kann die Stabilität des Reglers beeinflussen.

$$\frac{V_{out}}{V_{in}} = \frac{1}{A*\beta} \quad (9)$$

$$\beta = \frac{R_2}{R_1 + R_2} \quad (10)$$

Die Betriebsspannung des Low-Dropout Reglers ist 3,3 V. Da diese Spannung aber Schwanken kann, wurde der Regler so dimensioniert, dass bei einer Eingangsspannung von 3,3 V bis 4 V der LDO die erforderte Ausgangsspannung von 3,1 V liefert.

Die Eingangsspannung auf der X-Achse wird von 3,3 V bis 4 V erhöht, wie in Abbildung 5 abgebildet. Zu sehen ist, dass mit größeren Verstärkungsfaktoren die Differenz der Ausgangsspannung kleiner wird. Bei einer Verstärkung von $A=1000$ schwankt die Ausgangsspannung bei der Line Regulation nur um 828 μV . Dieser Anstieg ist aber so gering, dass die Ausgangsspannung nahezu als Konstant bezeichnet werden kann.

8 Load Regulation

Wie bei der Line-Regulation muss der Regler auch bei einem Lastwechsel in der Lage sein, eine konstante Ausgangsspannung zur Verfügung zu stellen. Der Regler wurde für einen maximalen Laststrom von 50 mA ausgelegt. Dieser Strom wird aber nicht immer konstant bleiben und schwanken. Von 0 bis 50 mA sollte der Regler also in der Lage sein, die Ausgangsspannung von 3,1 V konstant zur Verfügung zu stellen.

Allgemein gilt folgender Zusammenhang für die Load Regulation. A ist die Verstärkung des Operationsverstärkers, g_m die Transistorsteilheit:

$$\frac{V_{out}}{I_{Load}} = \frac{1}{A \cdot \beta \cdot g_m} \quad (11)$$

In den Abbildungen 6 ist die Load Regulation für Verstärkungsfaktoren $A=1.000$, 10.000 und 100.000 dargestellt. Zu sehen ist, dass mit größeren Verstärkungsfaktoren die Differenz der Ausgangsspannung kleiner wird. Bei einer Verstärkung von $A=1000$ schwankt die Ausgangsspannung nur um $824 \mu V$. Aus der Simulation der Load-Regulation ist auch zu erkennen, dass mit zunehmendem Laststrom die Ausgangsspannung sinkt, während bei der Line-Regulation die Ausgangsspannung mit steigender Eingangsspannung ebenfalls ansteigt. Charakteristisch für die Load Regulation eines LDO ist auch, dass die Spannungsabhängigkeit vom Laststrom für kleine Lastströme zunimmt. Grund hierfür ist, dass sich kleinen Lastströmen niedrige Source-Gate Spannungen am PMOS Pass-Device einstellen und den Ausgang des Operationsverstärkers aus der Sättigung treiben, wodurch die Verstärkung abnimmt und sich die Load Regulation verschlechtert.

DC Response

Thu Jan 25 15:55:14 2018 1

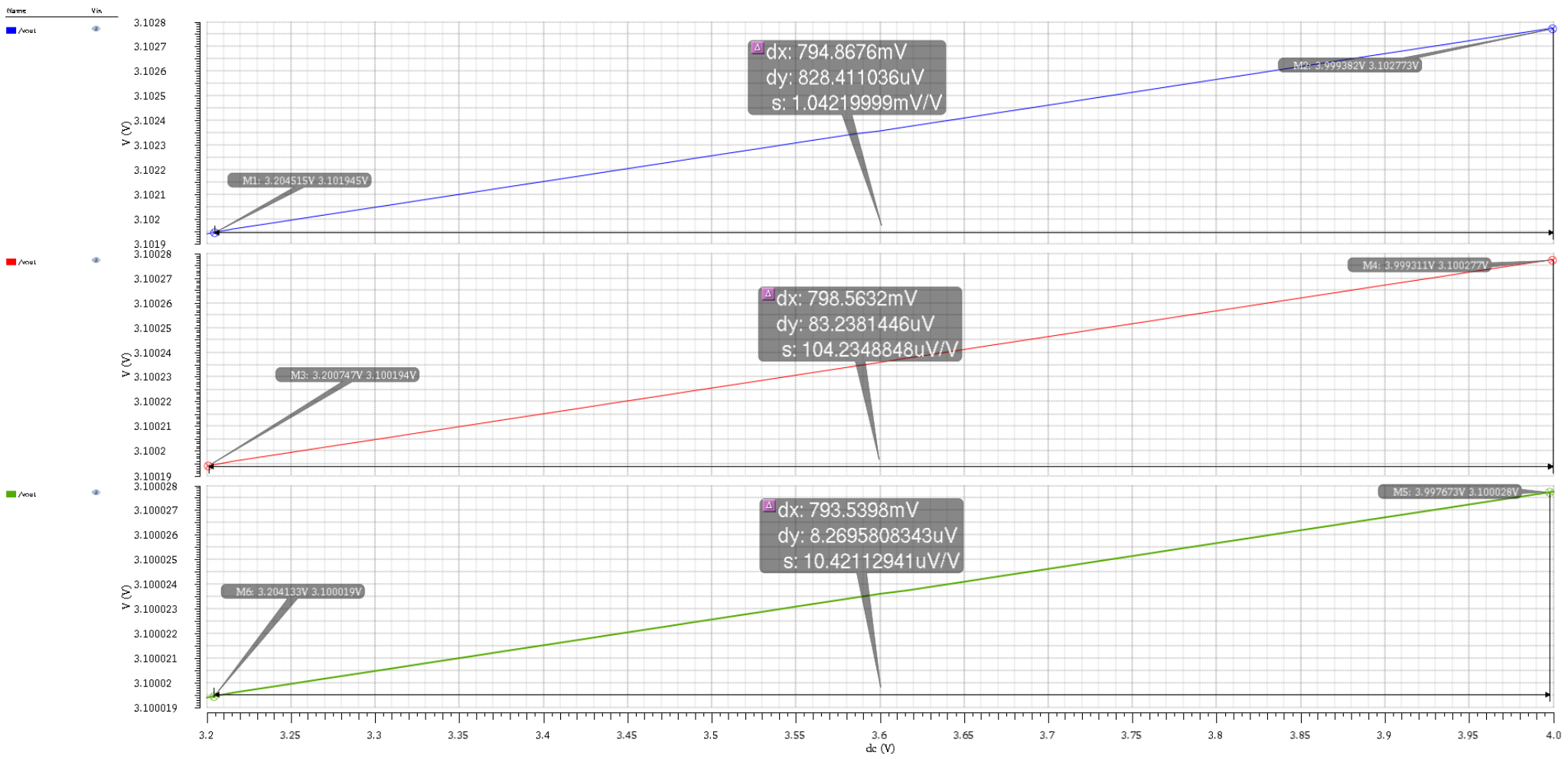


Abbildung 5 Line Regulation bei variabler Verstärkung. 1. A=1k, 2. A=10k, 3. A=100k

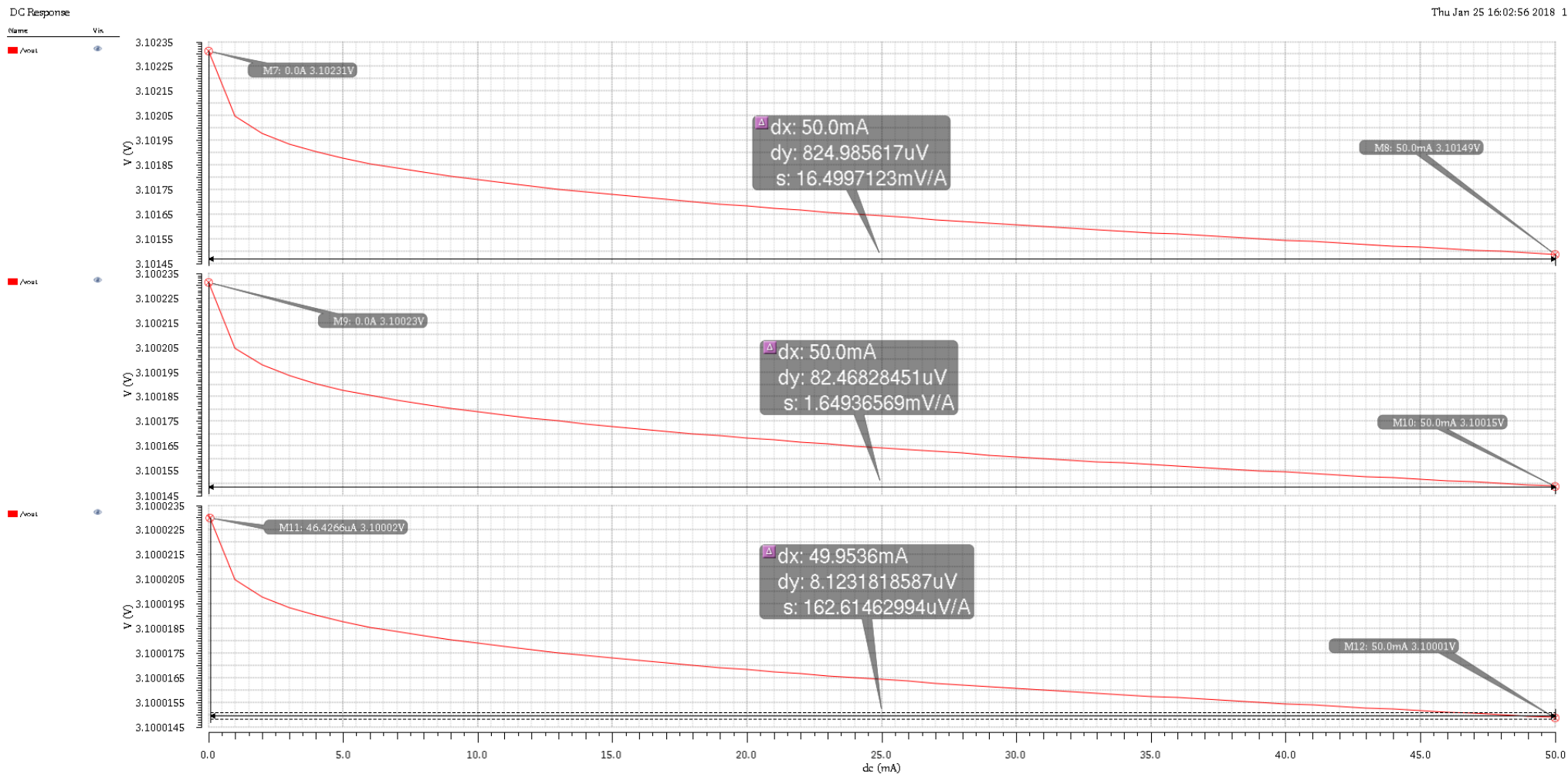


Abbildung 6 Load Regulation bei variabler Verstärkung. 1. A=1k, 2. A=10k, 3. A=100k

9 Stabilität des Reglers

Low Dropout Regler haben den Nachteil, dass durch den Aufbau der Schaltung besonders auf die Stabilität geachtet werden muss.

Das „spezielle Nyquist-Kriterium“ ermöglicht eine Beurteilung der Stabilität ohne die Übertragungsfunktion zu kennen. Es wird nur die Ortskurve oder das Bode Diagramm des offenen Regelkreises benötigt.

Den Frequenzgang des offenen Regelkreises kann man in Cadence über die Stability Analyse ermitteln. Für die Simulation ist es nötig der Software mitzuteilen, an welcher Stelle der Regelkreis geöffnet werden soll. Hierfür wird eine Spannungsquelle zwischen dem Spannungsteiler am Ausgang des Reglers und dem nichtinvertierenden Eingang des Operationsverstärkers gelegt und die DC-Spannung auf 0V gesetzt.

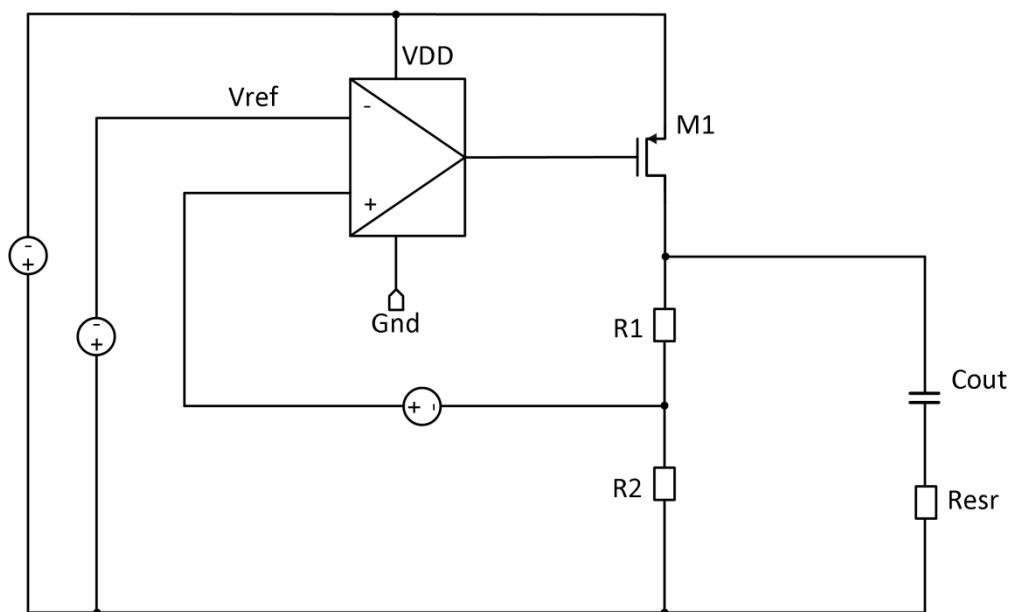


Abbildung 7 Offener Regelkreis

9.1 Das spezielle Nyquist-Kriterium

Das spezielle Nyquist-Kriterium wird anhand des folgenden Systems erklärt. In der Abbildung 8 ist ein einfacher Regelkreis zu sehen. $F_o(s)$ ist die Übertragungsfunktion des offenen Regelkreises, welche den Regler, das Stellglied, die Regelstrecke und das Rückkoppelglied einschließt. $Y(s)$ ist die Ausgangs und $W(s)$ die Führungsgröße.

Alle Signale, auch die Führungsgröße und die Rückkopplung über dem Messglied kann man als eine Überlagerung aus sinusschwingung sehen, die das System durchlaufen. Diese Schwingungen erfahren aufgrund des Übertragungsverhaltens der einzelnen Glieder des Regelkreises eine Phasenverschiebung.

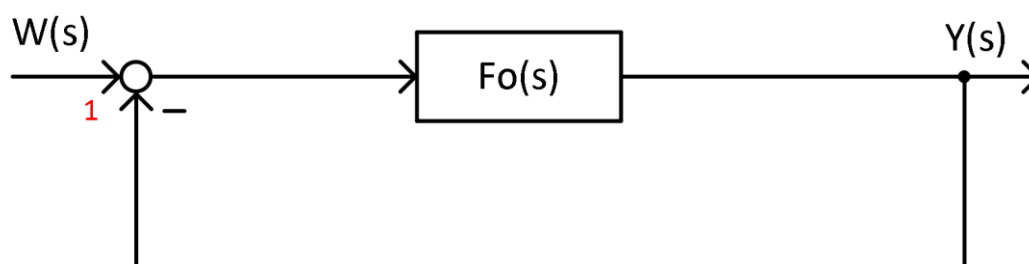


Abbildung 8 Regelkreis

Das Ausgangssignal $Y(s)$ wird auf den Eingang zurückgeführt und von der Führungsgröße $W(s)$ abgezogen. Eine derartige Reglerstruktur wird als Gegenkopplung bezeichnet. Durch die Differenzbildung erhält das zurückgekoppelte Signal eine Phasendrehung von 180° . Des weiteren überlagern sich an der Stelle (1), die zwei Schwingungen, die dem Eingangs- und dem Rückkoppelsignal entsprechen. Erzeugen die in der Übertragungsfunktion $F_o(s)$ zusammengefassten Glieder des offenen Regelkreises eine Phasendrehung von weiteren 180° , wird aus der Gegenkopplung eine Mitkopplung. In diesem Fall stellt sich statt der Differenzbildung eine Summation der Führungsgröße mit der Rückkoppelgröße ein. Das resultierende Signal steigt dadurch immer weiter an und das System kann instabil werden.

Für die Stabilität des Systems ist die Verstärkung des Regelkreises bei der Frequenz ausschlaggebend, bei der das Rückkoppelsignal eine Phasenverschiebung von 180° erhält. Ist die Verstärkung bei dieser Frequenz größer als eins wirkt der Regelkreis wie ein Oszillator und ist instabil. Ist die Verstärkung bei dieser Frequenz kleiner eins, nimmt der Regelkreis einen stabilen stationären Zustand ein.

Besonders anschaulich kann die Stabilität durch die Ortskurve, welche den Frequenzgang des offenen Regelkreises in Betrag und Phase zeitgleich visualisiert.

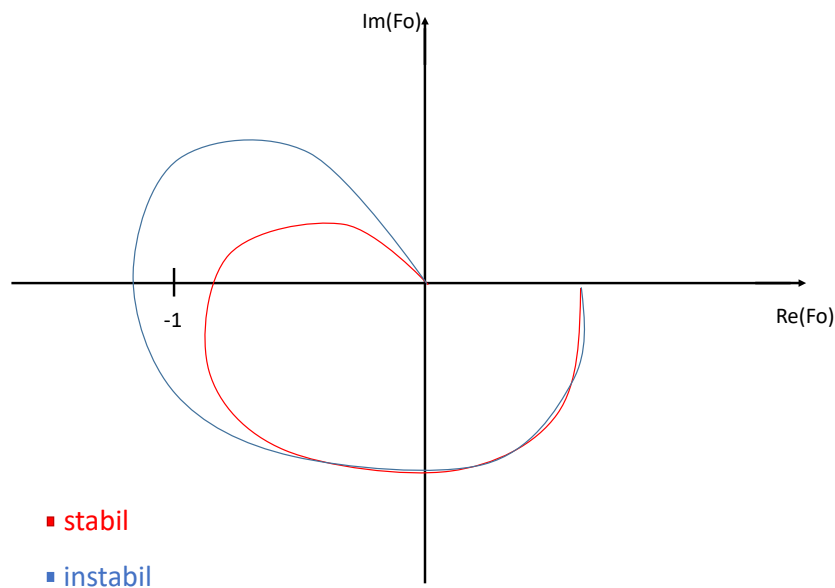


Abbildung 9 Ortskurve für stabiles und instabiles System

Nach der Definition des Nyquist-Kriteriums, ist ein System dann stabil, wenn die Ortskurve des offenen Regelkreises den Punkt -1 der Ortskurvenebene weder umschließt, noch durchdringt. Einfacher ausgedrückt kann man sagen, dass das System stabil ist, wenn die Ortskurve den Punkt -1 in der komplexen Ebene links liegen lässt.

Die Stabilität eines Systems kann aber auch im Bode-Diagramm beurteilt werden. Anders als bei der Ortskurve wird im Bodediagramm der Amplituden- und Phasengang in zwei getrennten Kurven dargestellt. Darüber hinaus ist die Frequenzachse im Bodediagramm logarithmisch skaliert und die Amplitude in der logarithmischen Einheit Dezibel aufgetragen. In der Abbildung 10 ist beispielhaft erklärt, wie anhand eines Bode Diagramms beurteilt werden kann, ob ein System stabil ist.

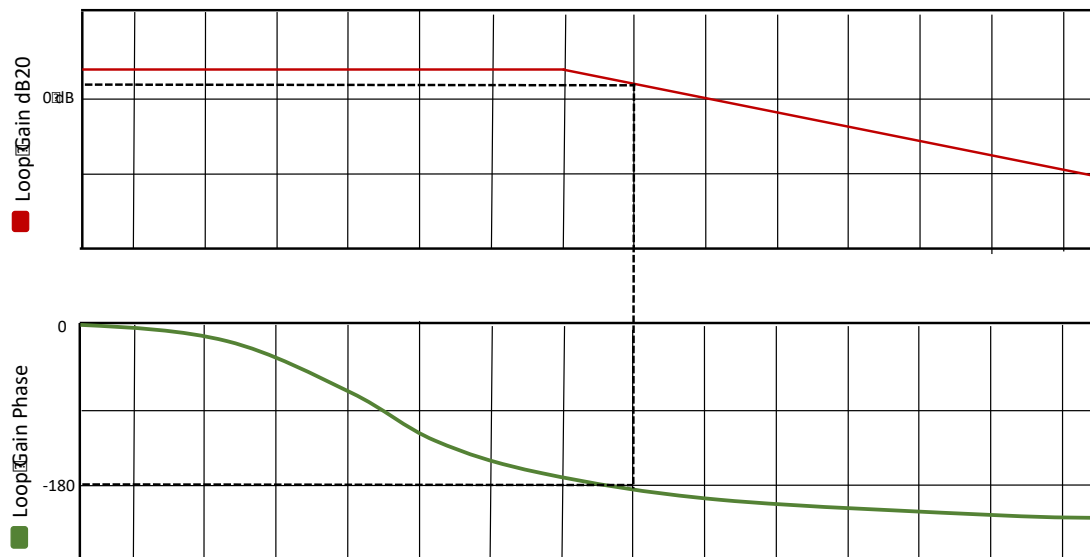


Abbildung 10 Stabilität überprüfen anhand des Bode Diagramms

Ein System ist stabil, wenn bei einer Phasenverschiebung von $\varphi = -180^\circ$ des offenen Regelkreises, die Verstärkung kleiner als 1 ist. Im Bode Diagramm schaut man sich dazu die kritische 0 dB Linie an. Bei einer Phasendrehung von 180° wird abgelesen, ob die Verstärkung unter oder oberhalb der 0 dB Linie ist. Das System in der Abbildung 10 wäre somit instabil.

Die Dämpfung eines Reglers kann anhand der Phasenreserve beurteilt werden. Die Phasenreserve sagt aus, wie weit der Phasengang an der Durchtrittsfrequenz von -180 entfernt ist. Die Durchtrittsfrequenz ist die Kreisfrequenz bei der die Betragskennlinie des offenen Regelkreises durch die 0 dB-Linie tritt.

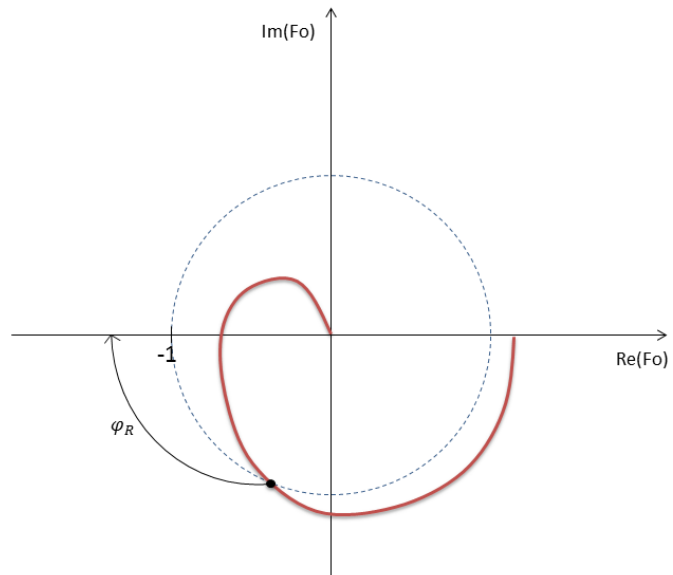


Abbildung 11 Phasenreserve in der Ortskurve

9.2 Pole des Operationsverstärkers

Die Dimensionierung des Operationsverstärkers ist aufwendiger als die des Transistors. Der LDO hat mehrere Pole, welche dafür sorgen, dass der Regler ohne weitere Maßnahmen nicht stabil ist und somit ein unerwünschtes Verhalten aufweisen kann.

Die dominanten Pole des Reglers befinden sich am Reglerausgang und am Ausgang des Operationsverstärkers.

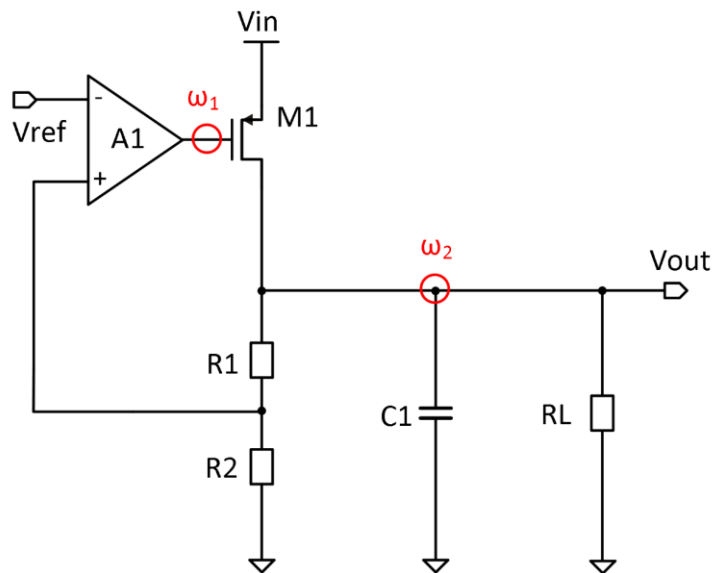


Abbildung 12 Pole des Reglers

Dabei gilt folgendes:

Der Pol am Ausgang des Verstärkers.

$$\omega_1 = \frac{1}{r_{A1out} [C_{gs} + C_{gb} + (1 + g_m r_{LG}) C_{gd}]} \quad (12)$$

Der Pol am Ausgang des Reglers.

$$\omega_2 = \frac{1}{r_{LG} C_o} \quad (13)$$

Gesamter am Ausgang angeschlossener Widerstand.

$$r_{LG} = r_{DS} || R_1 + R_2 || R_L \quad (14)$$

Jeder Pol der zusätzlich dazu kommt, muss bei einer Frequenz oberhalb der 0 dB Durchtrittsfrequenz des offenen Regelkreises liegen. Die Durchtrittsfrequenz des offenen Regelkreises erreicht ihren größten Wert bei hohen Lastströmen. Um den Einfluss des Pols am Ausgang des Operationsverstärkers zunächst zu vernachlässigen, wurde der Parameter für den Ausgangswiderstand des Verstärkers im verwendeten Verilog-A Modell auf sehr kleine Werte gelegt. Anschließend wurde die Grenzfrequenz des Operationsverstärkers so gewählt, dass sich eine Phasenreserve von 60° einstellt. Für den aufgebauten Regler hat sich eine Grenzfrequenz von 28 MHz ergeben. Die Wahl des Ausgangswiderstandes des Operationsverstärkers wird im Abschnitt 9.3 näher beleuchtet. In der folgenden Abbildung sind die Parameter des Operationsverstärkers zu sehen.

Parameter	Value	Display
gain	1000	off
rin	1e+09	off
cin	1e-14	off
fg	28M	off
rout	188k	off
imax	0.001	off

Abbildung 13 Einstellung des Operationsverstärker

9.3 R_{ESR}

Die Idee hinter der Verwendung des zusätzlichen Widerstands ist, dass man einen Pol in der Übertragungsfunktion durch das Einführen einer weiteren Nullstelle kompensieren kann. Dieser Widerstand muss wie auch der Kondensator extern angebracht werden. In dem Moment, wo der Kondensator am Ausgang entladen wird, fließt der Strom auch über den R_{ESR} und verursacht einen kleinen Spannungsimpuls, welcher wiederum auf den Regler zurückkoppelt. Dieser Effekt hat eine stabilisierende Wirkung auf den Regler.

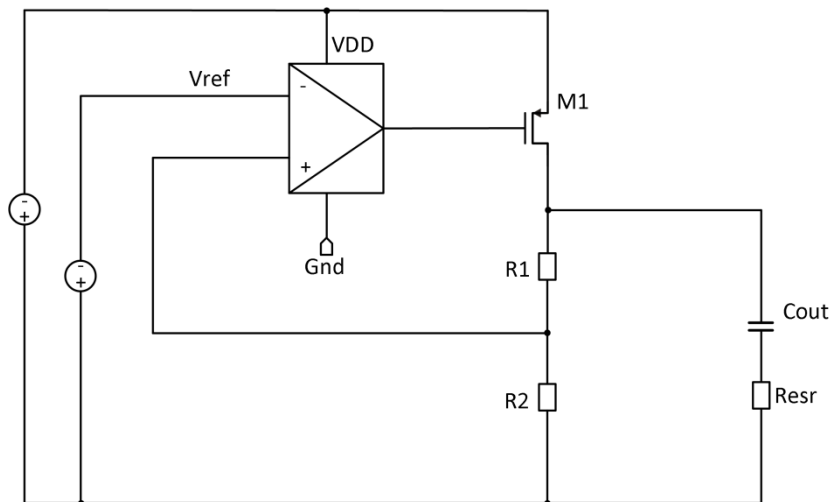


Abbildung 14 Stabilisierung des Reglers mithilfe eines externen Widerstandes

Die verfolgte Stabilisierungsstrategie sieht vor, dass der Pol am Ausgang des Reglers dominant ist, während der Pol am Ausgang des Operationsverstärkers kompensiert werden soll. Um dies zu erreichen, muss die Frequenz der Nullstelle ω_n und der Polstelle ω_2 nahezu identisch sein. ω_{NS} ist diese Frequenz. Bei einem Ausgangswiderstand von $R_{out} = 50 \text{ k}\Omega$ des Operationsverstärkers liegt der zu kompensierende Pol bei 700 kHz. Somit berechnet sich der Widerstand R_{ESR} wie folgt:

$$\omega_{NS} = \frac{1}{R_{ESR} * C_{out}} \quad (15)$$

$$R_{ESR} = \frac{1}{2 * \pi * f * C_{out}} = \frac{1}{2 * \pi * 700 * 10^3 \frac{1}{s} * 2,2 * 10^{-6} F} = 103,3 \text{ m}\Omega \quad (16)$$

Die durch den Widerstand erzeugten Stromspitzen bei den Umladevorgang des Ausgangskondensators verschlechtern das Load-Regulation Verhalten des LDO. Aus diesem Grund wird angestrebt den Widerstand möglichst klein zu halten.

Da in der Simulation mit dem berechneten Wert aus der Formel (16) eine Phasenreserve von über 90° erreicht worden ist, wurde der Widerstand erhöht um den Ausgangswiderstand des Operationsverstärkers auch erhöhen zu können. Dadurch, dass

der R_{ESR} etwas größer ausgelegt worden ist, kann der Ausgangswiderstand des Operationsverstärkers auch erhöht werden. Als endgültigen Wert für den R_{ESR} wird in dieser Ausführung des LDOs 500 m Ω genommen.

Um zu prüfen, ob der LDO ein stabiles Regelverhalten aufweist, wird eine Transient- und Stabilitätsuntersuchung durchgeführt.

Die Abbildung 15 zeigt das Ergebnis der Stabilitätsuntersuchung des LDO. Die geforderte Phasenreserve von 60 ° werden erreicht. Der Regler verhält sich also stabil.

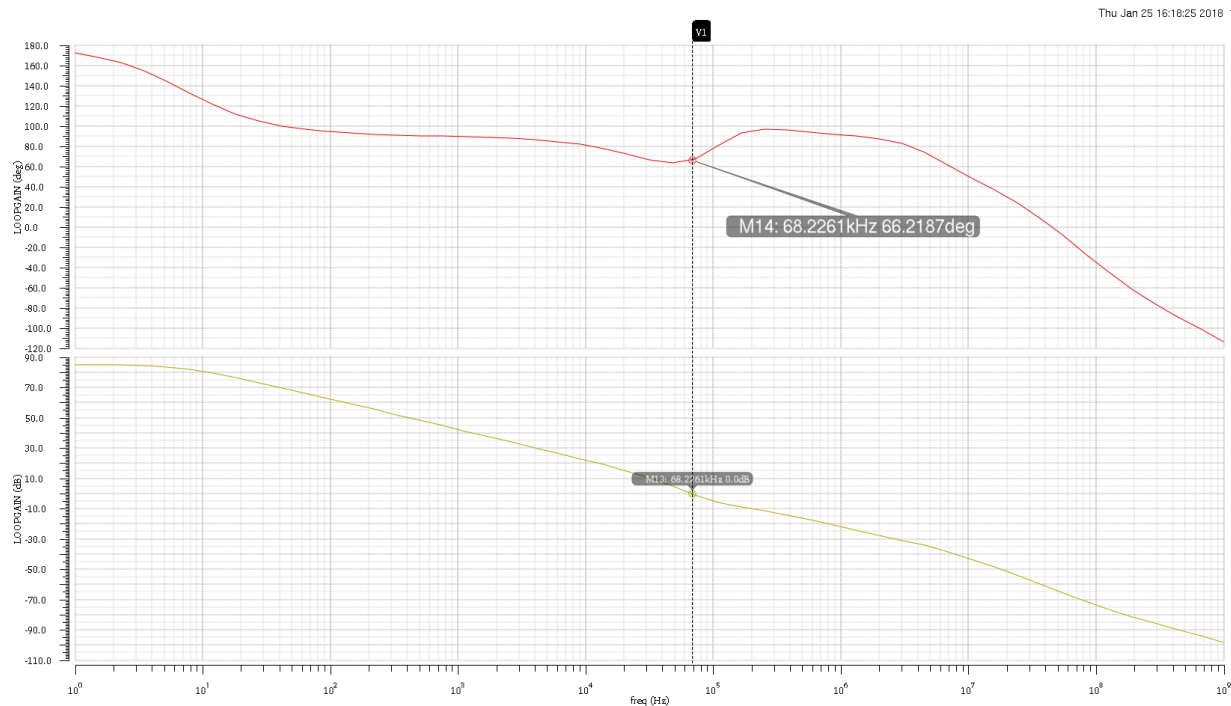


Abbildung 15 Phasenreserve des LDO

In den folgenden Abbildungen sind die Ergebnisse der Transiente Analyse zu sehen. Der Lastwechsel findet von 0 auf 25 mA und von 25 mA auf 50 mA statt. Zu sehen ist, dass die Eingangsspannung bei einem Lastwechsel von 0 mA auf 25 mA und von 25 mA auf 50 mA nur um maximal 11 mV schwankt. Dieser Wert ist vollkommen akzeptabel. Darüber hinaus treten keine Schwingungen auf, da der Regler sich stabil verhält.

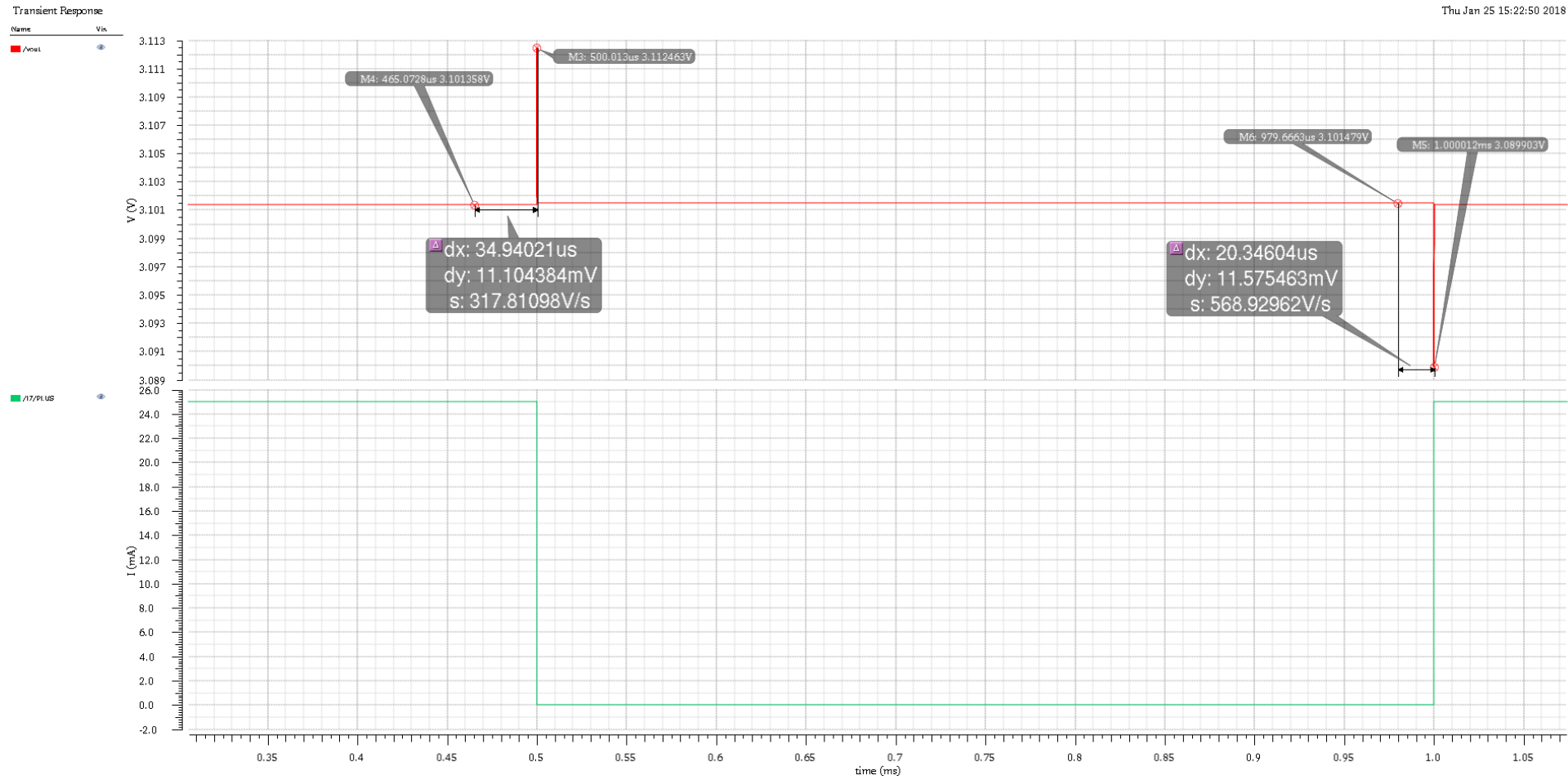


Abbildung 16 Transienten Analyse für 0 mA auf 25 mA

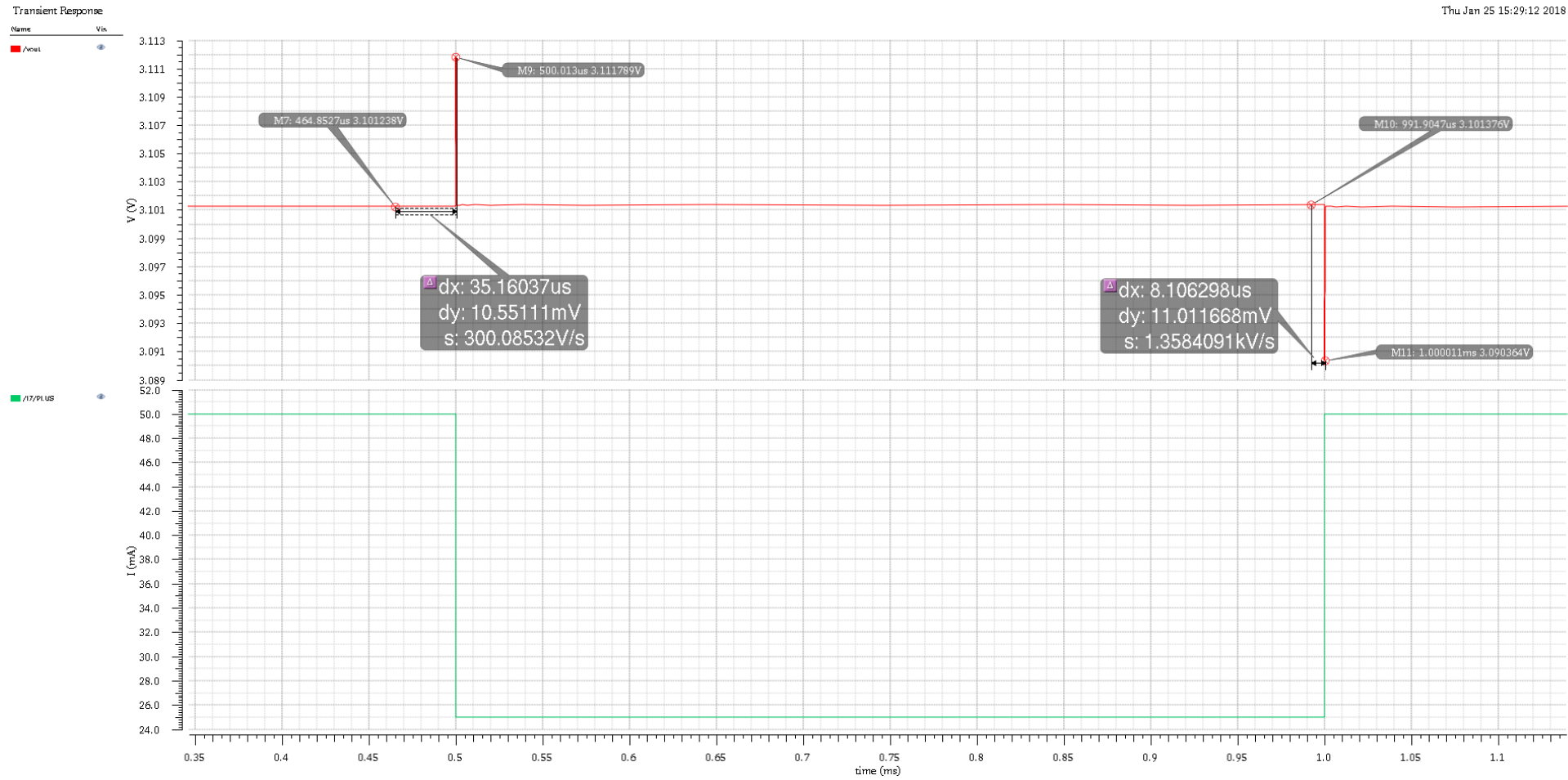


Abbildung 17 Transienten Analyse für 25 mA auf 50 mA

9.4 Alternative Methode zur Stabilisierung

Die klassische Kompensationsmethode hat den Nachteil, dass Sie entweder mit dem Widerstand eine zusätzliche externe Komponente benötigt oder nur mit Kondensatoren funktioniert, welche auf Grund ihrer baulichen Beschaffenheit einen relativ hohen ESR (Equivalent Series Resistance) Widerstand besitzen. Falls man aber einen externen Widerstand nicht verwenden möchte, kann man die folgende Stabilisierungsmethode nutzen. Das Ziel ist es, den stabilisierenden Spannungspuls, der sich aus dem R_{ESR} Widerstand ergibt auch ohne den externen Widerstand zu generieren.

Hierfür wird eine Kompensationsschaltung benötigt, die in Abbildung 18 dargestellt ist.

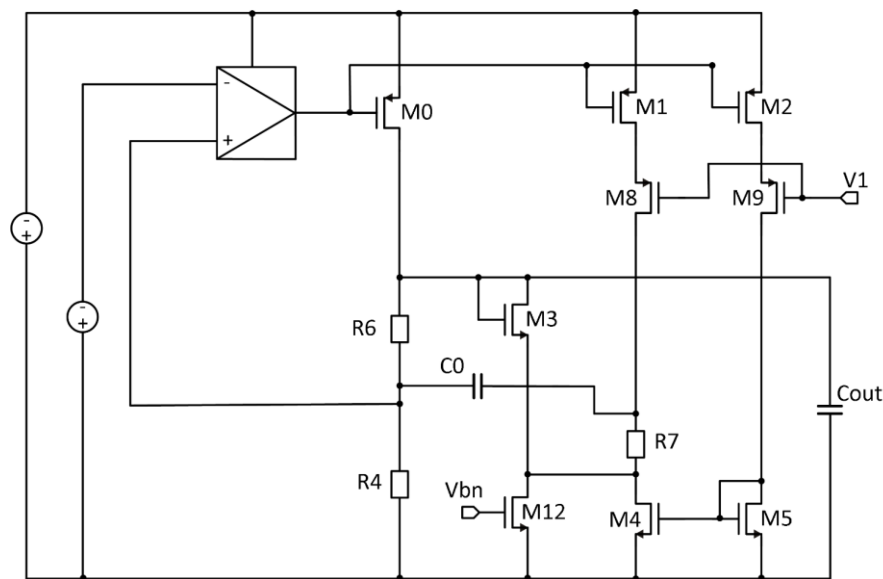


Abbildung 18 Schaltung zur Stabilisierung ohne den externen Widerstand

In dieser Kompensationsschaltung wird der Strom durch das Pass-Device mit einem Faktor 1000 zu 1 gespiegelt und durch den internen Widerstand R7 geführt. Für die Spiegelung werden die Transistoren M1 und M2 verwendet. Zu Verbesserungen der Stromspiegelgenauigkeit werden noch zusätzlich die Kaskodetransistoren M8 und M9 genutzt. Durch den Stromfluss entsteht ein Spannungsabfall über dem Widerstand. Nimmt der Strom zu, so nimmt auch die Spannung über dem Widerstand zu. Bei einem Abfall des Stromes nimmt auch die Spannung ab. Je nach Lastverhalten hat man also ein entsprechendes gepulstes Spannungsmuster. Durch den Kondensator C0 wird diese Pulsspannung auf den Regler zurück gekoppelt wodurch ähnliche Spannungsspitzen auf den Regler einwirken wie bei der Methode mit externem R_{ESR} -Widerstand. Diese Spitzen wirken auch in diesem Fall stabilisierend.

Zur Prüfung der Stabilität der alternativen Stabilisierungsmethode werden ebenfalls Stabilitätsuntersuchungen und Transient-Simulationen mit schnellen Lastwechsel

durchgeführt. Die Ergebnisse werden im Folgenden dargestellt. Auch in dieser Methode erreicht der Regler eine Phasenreserve von mindestens 60°.

Wie den Simulationen in Abbildungen 20 und 21 zu entnehmen ist, reagiert der Regler auf einen Lastwechsel akzeptabel. Im Vergleich zur Methode der Stabilisierung mit einem R_{ESR} -Widerstand ist zu erkennen, dass hier die Ausgangsspannung nur um maximal 9 mV schwankt. Ein kleiner Nachteil dieser Methode ist aber, dass das Regelverhalten einen kleinen Überschwinger aufweist. Das ist jedoch nicht weiter problematisch, da der Regler sich in einer Zeit kleiner als 10 μ s wieder einschwingt.

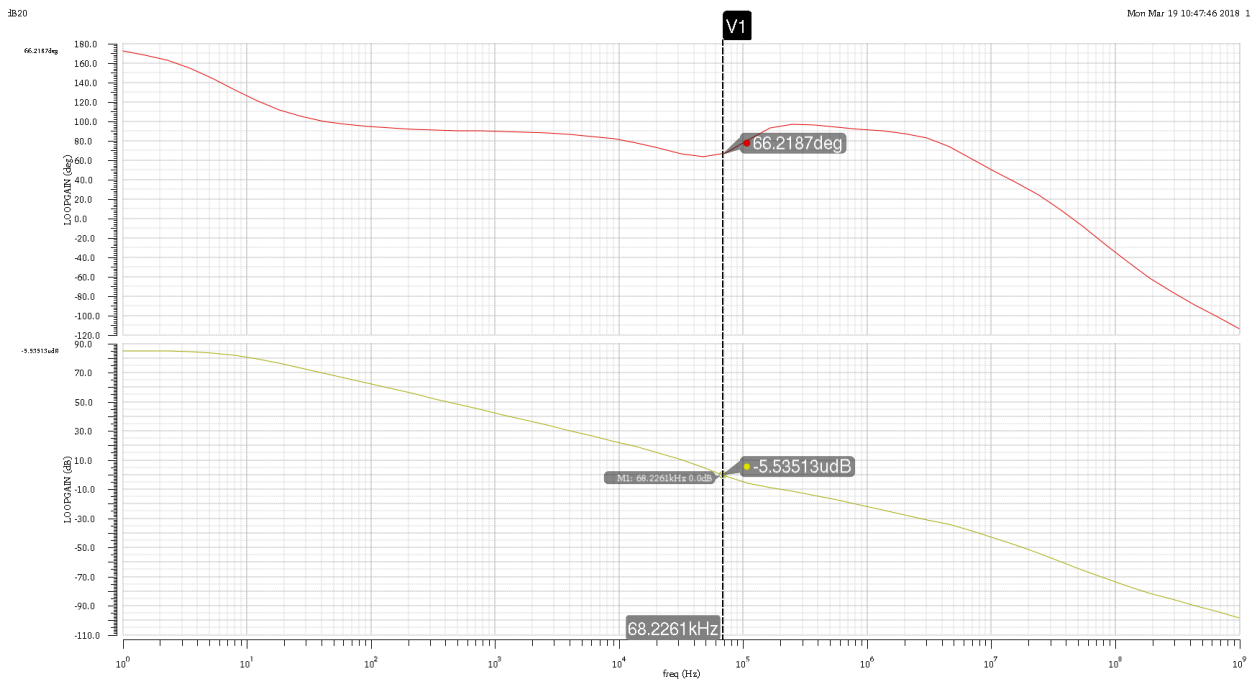


Abbildung 19 Phasenreserve der alternativen Stabilisierungsmethode

Transient Response

Thu Jan 25 16:13:05 2018 1

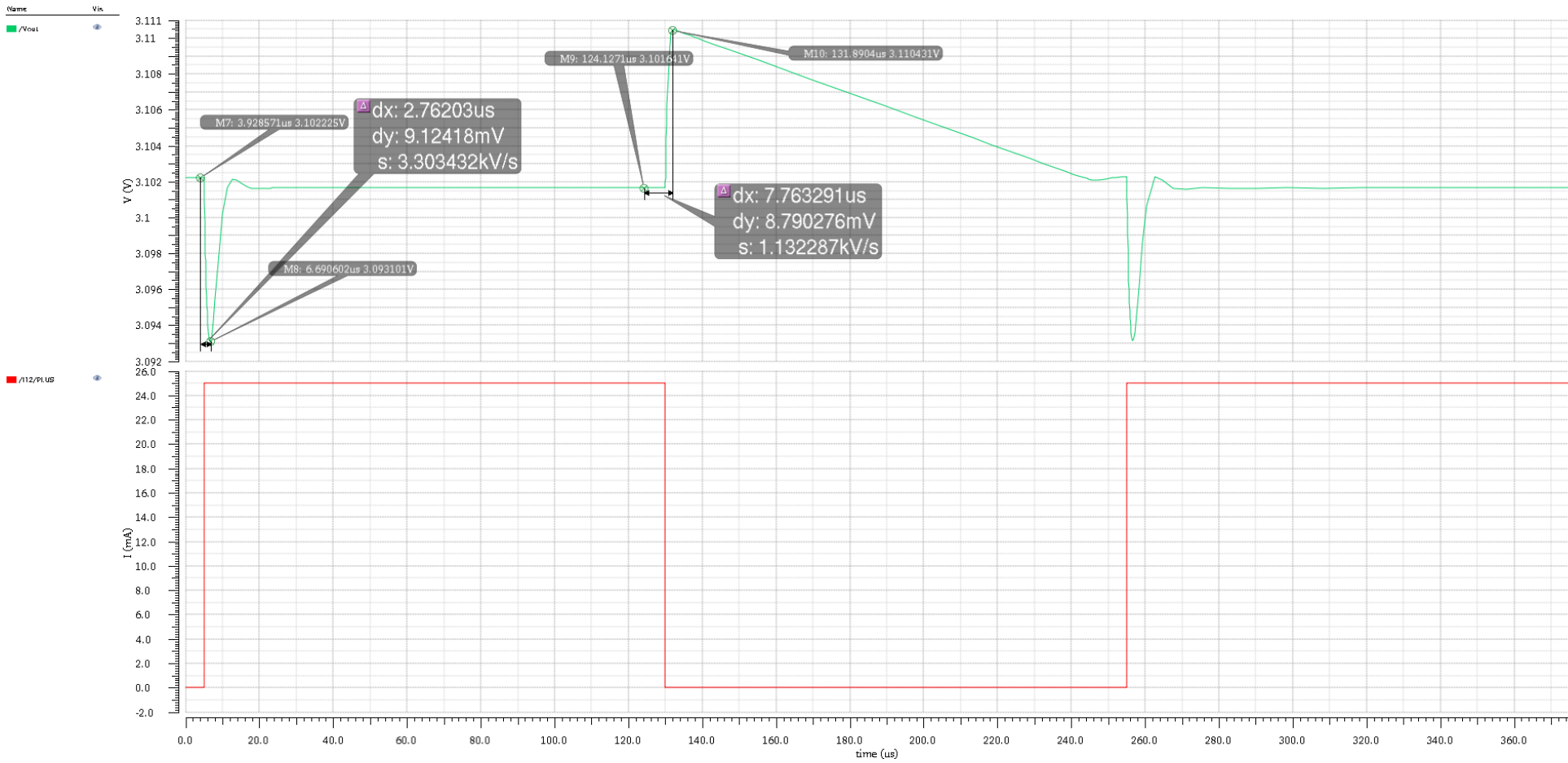


Abbildung 20 Transienten Analyse der alternativen Methode für 0 mA auf 25 mA

Transient Response

Thu Jan 25 16:10:49 2018 1

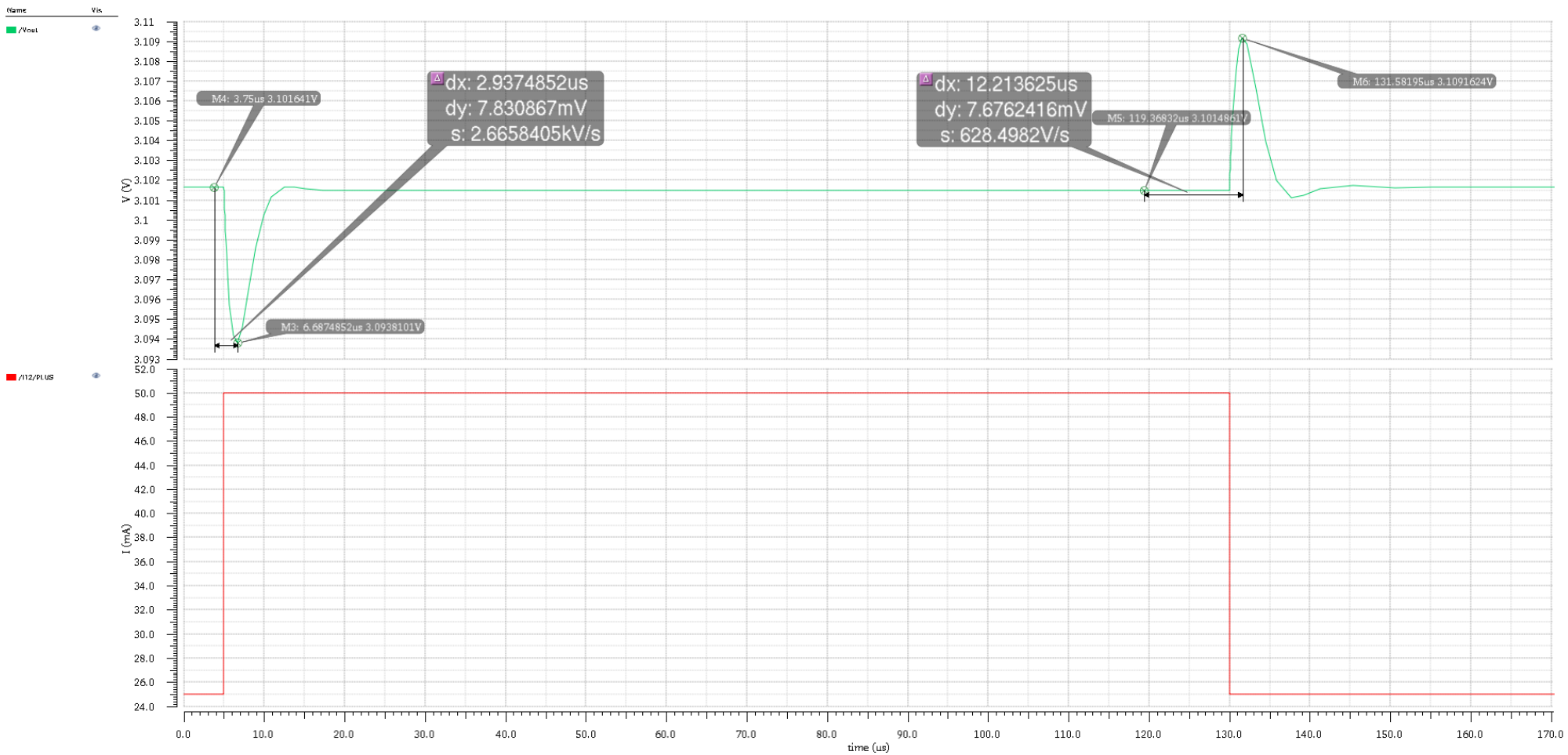


Abbildung 21 Transienten Analyse der alternativen Methode für 25 mA auf 50 mA

10 PVT-Simulation

Als letzten Schritt werden sogenannte PVT-Simulationen durchgeführt. Bei dieser Simulation werden verschiedene Parameter variiert, um die Stabilität des Reglers bei allen möglichen Situationen zu gewährleisten. Im Normalfall arbeitet der Regler bei einer Eingangsspannung von 3,3 V in einer Umgebungstemperatur von normalerweise nicht mehr als 50°C. Diese Umstände können sich aber durch verschiedene Faktoren ändern und der Regler könnte einer viel höheren oder niedrigeren Temperatur ausgesetzt sein. Auch die Eingangsspannung oder der Laststrom könnte schwanken.

Durch diese Umstände können extreme Fälle auftreten, welche einen nachteiligen Einfluss haben. Besonders kritisch sind dabei tiefe/hohe Temperaturen, hohe/niedrige Eingangsspannung bzw. hohe/niedrige Lastströme.

Außerdem können sich bei der Herstellung der Chips Unterschiede in den Transistoreigenschaften einstellen. Diese fertigungsbedingten Prozessschwankungen werden durch sogenannte Modell-Corner in die Simulation eingebracht. Bei den folgenden Simulationen wurden die folgenden Corner berücksichtigt.

- tt (typical typical/ dt. typisch)
- ss (slow slow/ dt. langsam)
- ff (fast fast/ dt. schnell)

Der erste Buchstabe steht für die Corner des NMOS, der zweite die Corner des PMOS. Die Analyse wird mithilfe von ADE XL durchgeführt, weil mit diesem Entwicklungswerkzeug mit wenig Aufwand beliebig viele Parameter gleichzeitig variiert werden können.

Bei den folgenden Simulationen werden die Eingangsspannung, die Temperatur und der Laststrom variiert. Für die Eingangsspannung werden die Werte 3,3 und 4 V genommen. Der Laststrom wird von 0 bis 50 mA in 30 Schritten erhöht. Als niedrigste Temperatur wird -50 °C genommen. Außerdem wird die Schaltung für 27°C und als Höchsttemperatur 120°C simuliert. Um den Regler für verschiedene Situationen zu dimensionieren, ist die Corner-Analyse von sehr wichtiger Bedeutung.

Im folgende sind die Ergebnisse der schlechtesten und besten Corner für den LDO mit dem R_{ESR} -Widerstand angegeben.

Tabelle 1 PVT-Analyse des LDO mit dem Verilog-A Modell und dem Widerstan R_{ESR}

iload	mm180_reg33_v114	Temperatur	Vein	Phasenreserve
0 A	ff	-50 °C	4 V	60°
44.44 mA	snfp	120 °C	3,3 V	82,73°

Die Ergebnisse der PVT-Analyse für den LDO mit der alternativen Stabilisierungsmethode sind wie folgt:

Tabelle 2 PVT-Analyse des LDO mit Verilog-A Modell und alternativen Stabilisierungsmethode

iLoad	mm180_reg33_v114	mm180_reg18_v114	Temperatur	Vein	Phasenreserve
0 A	fnsp	fnsp	120 °C	3,3 V	61,4°
3,571 mA	ff	ff	120 °C	4 V	91,66°

Die Analyse zeigt, dass der Regler unter allen möglichen Zuständen die erwünschten 60° Phasenreserve erreicht und somit stabil ist.

11 Entwurf der Verstärkerschaltung

Nachdem in Kapitel 9.2 alle Parameter der Verstärkerschaltung gefunden worden sind, kann der Verstärker entsprechend den benötigten Spezifikationen aufgebaut werden. Gewählt wurde die in Abbildung 22 gewählte Schaltung, die einem Transkonduktanzverstärker (OTA) entspricht.

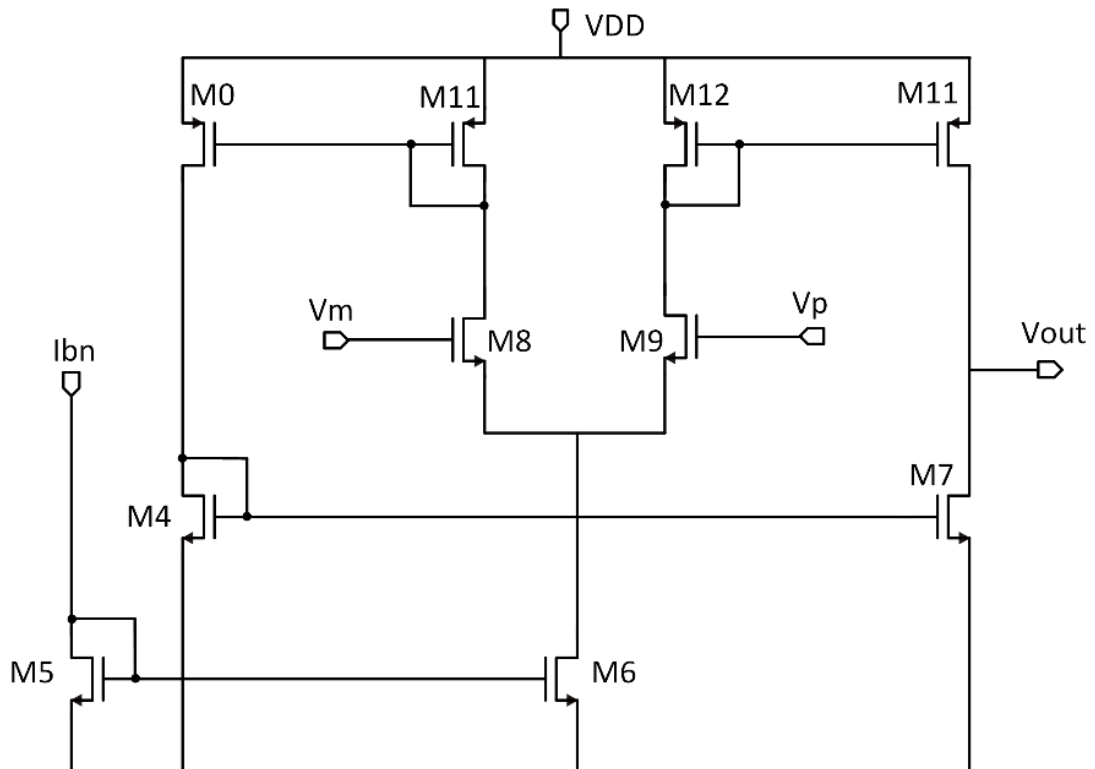


Abbildung 22 Aufbau des OTA

Das Prinzip des OTAs ist, dass die Spannungsdifferenz zwischen dem invertierenden und nicht invertierenden Eingang zu einem proportionalen Ausgangsstrom umgewandelt wird. Der Unterschied zu einem Opamp ist, dass ein OTA einen hohen während ein Opamp einen niedrigen Ausgangswiderstand hat.

11.1 Dimensionierung

Für die Dimensionierung des Operationsverstärkers ist es vorteilhaft zunächst beide Eingangssignale auf exakt den gleichen Wert zu setzen. Außerdem muss bei allen Transistoren, welche Stromspiegel bilden, darauf geachtet werden, dass die Geometrie identisch ist. Das betrifft insbesondere M5 zu M6, M11 zu M0, M12 zu M10 und M4 zu M7. Durch den Transistoren M5 wird der Strom des Operationsverstärkers eingespeist und auf den Transistor M6 gespiegelt. Der Transistor M5 hat die Aufgabe, einen konstanten und möglichst rauschfreien Strom zu erzeugen. Für diesen Zweck ist es hilfreich, die Sättigungsspannung der Transistoren M5 und M6 höher als bei anderen Transistoren zu wählen. Der Hintergrund ist, dass Transistoren mit hohen Sättigungsspannungen weniger stark rauschen als Transistoren mit niedrigen Sättigungsspannungen. Außerdem können sich die Schwellenspannungen einzelner Transistoren, die auf einem Chip platziert werden, unterschiedlich ausfallen. Je höher die Sättigungsspannung ist, desto weniger stark fallen die Variationen der Schwellenspannungen ins gewischt. Dementsprechend wurden die Transistoren M5 und M6 so dimensioniert, dass sich eine Sättigungsspannung von 300 mV einstellt. Dieser Strom fließt von dem Transistor M6 zu den Transistoren M8 und M9, welche das differentiale Eingangstransistorpärchen des Verstärkers bilden. Der invertierende bzw. nichtinvertierende Eingang des Verstärkers können auf Grund ihrer Wirkung auf das Ausgangssignal identifiziert werden. Ein Anstieg des Potentials am nichtinvertierenden Eingang führt auch zu einem Anstieg des Ausgangssignals. Wenn das Potential am invertierenden Eingang steigt, fällt das Ausgangssignal. In dieser Schaltung entspricht die Gate-Elektrode des Transistors M8 den invertierenden und die Gate-Elektrode des Transistors M9 der nichtinvertierende Eingang. Diese Transistoren werden so eingestellt, dass die Sättigungsspannung 75 mV beträgt, was dem Betrieb im Operationsverstärker der schwachen Inversion entspricht. In schwacher Inversion liefern kleine Änderung der Gate Source Spannung große exponentielle Änderung des Transistorkanalstromes. Dies entspricht einer großen Steilheit des Transistors. Die Transistorsteilheit sagt aus, wie stark sich der Strom im Arbeitspunkt ändert, wenn sich die Gate-Source Spannung verändert. Große Transistorsteilheiten können durch kleine Sättigungsspannungen erreicht werden. Alle übrigen Transistoren werden so eingestellt, dass die Sättigungsspannung 200 mV beträgt, was ein guter Kompromiss zwischen Rauschen, Genauigkeit und Steilheit darstellt.

11.2 Symbol

Nachdem die Arbeitspunkte der Transistoren richtig eingestellt worden sind, wird ein Schaltsymbol erstellt. Durch ein Symbol ist es möglich, hierarchische Schaltpläne zu erstellen. Bei großen und unübersichtlichen Schaltplänen ist es Vorteilhaft, verschiedene Baugruppen in separate Schaltpläne unterzubringen und damit die Übersichtlichkeit zu verbessern.

Dazu entfernt man in der Schaltung alle idealen Strom- und Spannungsquellen und schließt die entsprechenden Netze an. Diese Pins werden dann passend benannt, um anschließend in einem neuen Schematic die Quellen an die Pins des Verstärkersymbols anschließen zu können.

Das Symbol des Operationsverstärkers hat das folgende Aussehen.

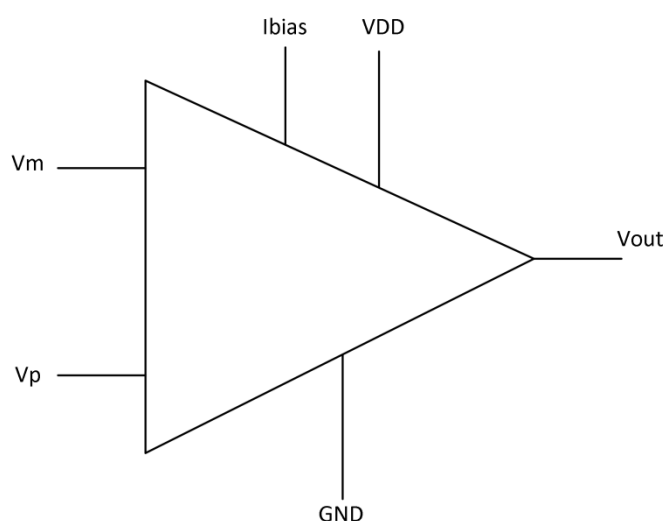


Abbildung 23 Symbol des OTA

11.3 Simulation des OTA

Nach dem Entwurf des OTA muss die Schaltung noch durch Simulationen verifiziert und auf die Einhaltung bestimmter Kriterien überprüft werden. Die wichtigsten Kriterien hierbei sind der Ausgangswiderstand, die Verstärkung und die Grenzfrequenz.

Diese Spezifikationen müssen auch dann eingehalten werden, wenn sich verschiedene Parameter wie z.B. die Eingangsspannung oder die Temperatur ändern. Des Weiteren muss auch der Einfluss von Fertigungsschwankungen betrachtet werden, welche durch die Durchführung sogenannter Prozess Corner und Monte-Carlo Simulationen berücksichtigt werden. Um die Simulation durchzuführen, wird die fertige Schaltung des OTA in einen speziellen Schaltplan, die sogenannte Testbench integriert.

Damit die charakterisierenden Simulationen im Arbeitspunkt der Verstärkerschaltung stattfinden kann, wird in der Testbench für den invertierenden und nicht invertierenden

Eingang eine Gleichspannungsquelle mit 1,55 V angeschlossen. Außerdem wird beim nicht invertierenden Eingang ein AC Magnitude Wert von 1 V eingestellt, weil die Verstärkung, die Bandbreite und der Ausgangswiderstand durch Frequenzanalysen ermittelt werden. Für die Simulation des Ausgangswiderstandes wird ein AC Stromsignal an den Ausgang des Verstärkers angelegt.

Dadurch, dass man für die Amplitude des Wechselsignals den Wert 1 V einsetzt, kann man die Verstärkung direkt ablesen, ohne rechnen zu müssen.

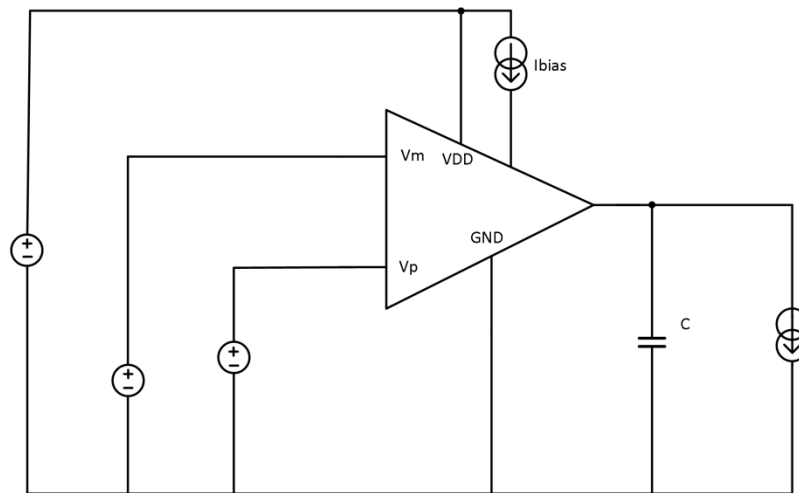


Abbildung 24 Testbench zur Simulation des OTA

11.4 Ausgangswiderstand und Verstärkung

Wie in Kapitel 9.2 beschrieben wurde durch Simulationen an Hand eines Verilog-A Verstärker Modells erkannt, dass ein Verstärker mit einer Verstärkung von 1000, einem Ausgangswiderstand von 188 k Ω und einer Grenzfrequenz von 28 M Herz benötigt wird.

Wie Abbildung 25 zu entnehmen ist, wurde die geforderte Verstärkung von 1000 auf Anhieb durch die vorgestellte OTA Transistorschaltung erreicht.

AC Response

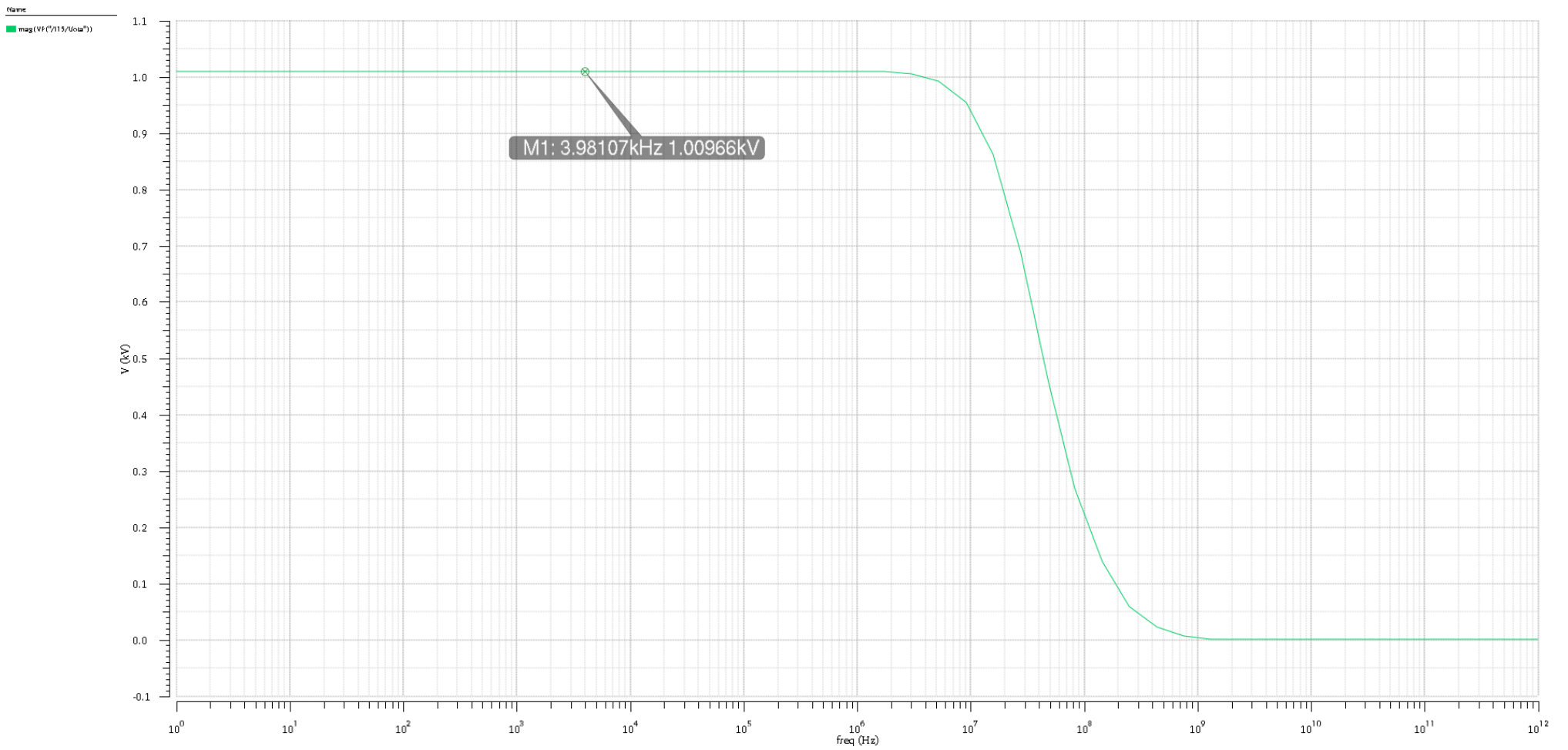


Abbildung 25 Verstärkung des OTA

Die Simulation des Ausgangswiderstandes haben jedoch ergeben, dass dieser zu groß war. Den Ausgangswiderstand des Operationsverstärkers kann man durch kürzere Transistorkanallängen verringern, weil die Kanallänge eines Transistors einen Einfluss auf den Ausgangswiderstand hat. Ein Nachteil dieser Methode ist aber, dass dadurch auch die Verstärkung verändert wird. Eine andere Möglichkeit, den Ausgangswiderstand zu verringern ist der sogenannte „Source Folger“. Der Source Folger ist eine Schaltung, bei der der Ausgangswiderstand kleiner ist als der Eingangswiderstand. Er besteht im Prinzip aus 2 NMOS oder 2 PMOS Transistoren. Der Ausgang des Source Followers „folgt“ dem Eingangssignal. Wenn sich das Eingangssignal verändert, verändert sich der Ausgang im selben Verhältnis auch. Deshalb hat der Source Folger eine Verstärkung von 1.

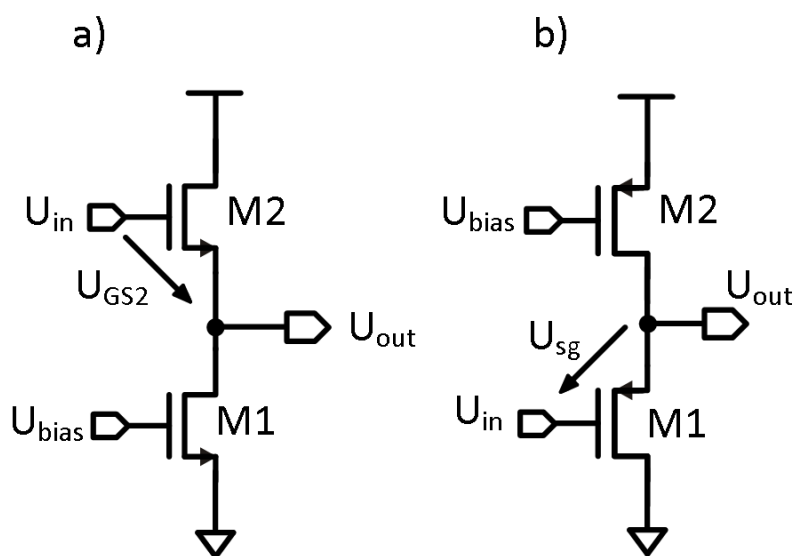


Abbildung 26 Source Folger mit a) NMOS Transistoren und b) PMOS Transistoren

Bei dem Source Folger mit NMOS Transistoren gibt es einen problematischen Fall. Wenn durch das Pass Device im Low Dropout Regler kein Strom fließt hat das zur Folge, dass die Source Gate Spannung annähernd 0 V sein muss. Da der Source Anschluss des Pass Devices im LDO an die Versorgungsspannung angeschlossen ist, kann dieses Potential nicht verändert werden. Damit die Source Gate Spannung also den Wert 0 V annimmt, muss das Potential am Gate annähernd so groß sein wie die Versorgungsspannung. Der Gate Anschluss ist der Ausgang des Source Followers. Wenn am Gate Anschluss des PMOS also am Ausgang des Source Followers die Spannung so groß sein soll wie die Versorgungsspannung, muss das Potential am Gate des Transistors M2 größer sein, als die Versorgungsspannung. Das ist technisch nicht möglich. Die Folge dieses problematischen Falles wäre, dass der Transistor im Verstärker aus der Sättigung gelangen und damit die Regelung nicht mehr funktioniert. Bei dem Source Folger mit

PMOS Transistoren gibt es diesen problematischen Fall nicht. Aus diesem Grund wird im OTA der Source Folger mithilfe von 2 PMOS Transistoren aufgebaut.

Die Eingangsspannung ergibt sich aus einer Masche.

$$u_{in} = u_{SG2} + u_{out} \quad (17)$$

Nach Umformung des Ausdrucks bekommt man die Source Gate Spannung.

$$u_{SG2} = u_{in} - u_{out} \quad (18)$$

Die Source Gate Spannung wird durch den Ausdruck (18) ersetzt und die Formel wird nach der Ausgangsspannung umgeformt.

$$u_{out} = \frac{g_{m2} u_{SG2}}{g_{DS1} + g_{DS2}} = \frac{g_{m2} (u_{in} - u_{out})}{g_{DS1} + g_{DS2}} \quad (19)$$

$$u_{out} \left(1 + \frac{g_{m2}}{g_{DS1} + g_{DS2}} \right) = \frac{g_{m2}}{g_{DS1} + g_{DS2}} u_{in} \quad (20)$$

Mit der Annahme, dass der Bruch $\frac{g_{m2}}{g_{DS1} + g_{DS2}}$ größer als 1 ist bekommt man das Ergebnis, dass die Ausgangsspannung gleich der Eingangsspannung entspricht.

$$u_{out} = \frac{\frac{g_{m2}}{g_{DS1} + g_{DS2}}}{1 + \frac{g_{m2}}{g_{DS1} + g_{DS2}}} u_{in} \approx u_{in} \quad (21)$$

Dadurch, dass man den Source Folger an den OTA anschließt, verkleinert man den Ausgangswiderstand. Der Ausgangswiderstand des OTA berechnet sich durch den Source Folger wie folgt:

$$R_{out} = \frac{1}{g_{m,16}} \quad (22)$$

$$R_{out} = \frac{1}{7,528 \mu} = 133 \text{ k}\Omega$$

11.5 Pole des Verstärkers

Beim Entwurf des OTA muss darauf geachtet werden, dass jeder interne Pol des Verstärkers bei Frequenzen oberhalb der Durchtrittsfrequenz des offenen Regelkreises liegt. Die Simulation hat gezeigt, dass alle Pole bis auf den Pol am Ausgang der ersten Stufe diese Bedingung erfüllen. Der Pol am Ausgang des Verstärkers liegt bei zu tiefen Frequenzen, weil durch den sogenannten „Miller Effekt“ die parasitären Kapazitäten, die auf die Gates von M11 und M17 einwirken, zu groß sind

11.5.1 Miller Effekt

Transistoren haben aufgrund ihrer baulichen Beschaffenheit immer parasitäre Kapazitäten. Die Kapazitäten sind in der Regel unerwünscht aber unvermeidlich.

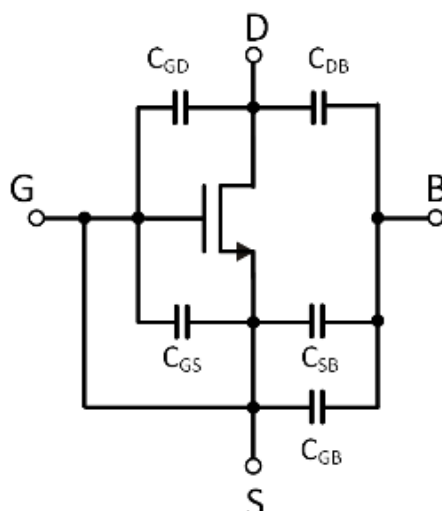


Abbildung 27 Parasitäre Kapazitäten eines Transistors

Bei einem MOSFET ist der Gate – Anschluss von den anderen Anschlüssen durch eine Oxidschicht getrennt, wodurch sich zwischen Gate, Drain und Source Kondensatoren bilden. C_{GS} und C_{GD} sind die Kapazitäten der Oxidschicht.

Der Millereffekt beschreibt den Einfluss der Rückkopplungskapazität bei einem invertierenden Verstärker. Im einfachsten Fall sind invertierende Verstärker Transistoren in Emitter bzw. Source Schaltung. Die parasitären Kapazitäten bewirken eine Kopplung des Ausgangs auf den Eingang. Bei einer hohen Verstärkung A erscheint diese Kapazität um diese Verstärkung größer am Eingang.[5, S.23]

Um den Millereffekt auf die C_{GD} Kapazitäten der Transistoren M10 und M17 zu verringern, werden Kaskode Transistoren eingesetzt. Die Kaskodierung hat mehrere Vorteile. Da die Kaskodierung den Ausgangswiderstand der Schaltung vergrößert, kann die Kanallänge der Transistoren verringert werden ohne die Verstärkung der Schaltung zu verringern. Die kürzere Kanallänge führt bei konstantem Strom und gleichbleibender Sättigungsspannung auch zu einer kleineren Kanalbreite, was eine Reduktion der Kapazität C_{GD} zur Folge hat. Desweiteren stabilisiert die Kaskodierung die Potentiale an den Drain der Transistoren M10 und M17, wodurch die Wirkung des Millerffekt reduziert und die effektive Kapazität erheblich vermindert wird. Ein Nachteil der Kaskodierung ist, dass sich die benötigte Mindestspannung durch jeden weiteren Transistor erhöht wird. Wenn die Versorgungsspannung zu gering ist, kann das zur Folge haben, dass die Transistoren nicht mehr in Sättigung sind und die Schaltung dadurch nicht ordnungsgemäß funktioniert.

Nachdem die Kaskode Transistoren und der Source Folger in die Schaltung eingefügt worden sind, sieht der OTA wie folgt aus:

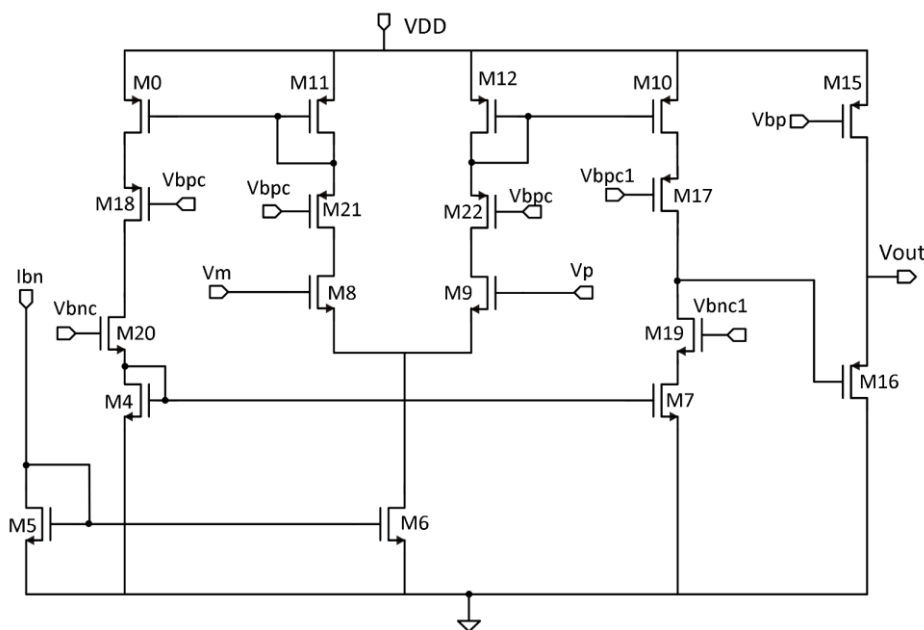


Abbildung 28 OTA mit kaskode Transistoren und Source Folger

Eine andere Möglichkeit, den Pol nach „rechts“ zu verschieben, das heißt zu Frequenzen größer als die Grenzfrequenz, ist die Möglichkeit, den Stromfluss zu erhöhen. Dadurch, dass durch den Ausgang des Verstärkers mehr Strom fließt, verkleinert sich der Ausgangswiderstand der Transistoren.

Die Formel (27) zeigt, wie der Widerstand vom Strom abhängt und letztendlich die Frequenz des Pols beeinflusst:

Die Frequenz, bei der sich der Pol befindet berechnet sich aus dem Widerstand und dem Kondensator.

$$\omega = \frac{1}{RC} \quad (23)$$

Der Widerstand der Transistoren M10 und M17 ist wie folgt definiert.

$$R(M10, M17) = r_{Ds1} + r_{Ds2} + g_{m2} r_{Ds1} r_{Ds2} \quad (24)$$

Durch die Annahme, dass $g_{m2} r_{Ds1} r_{Ds2}$ größer ist als $r_{Ds1} + r_{Ds2}$ vereinfacht sich der Ausdruck.

$$r_{Ds1} + r_{Ds2} \ll g_{m2} r_{Ds1} r_{Ds2} \quad (25)$$

$$R(M10, M17) = g_{m2} r_{Ds1} r_{Ds2} \quad (26)$$

Der Ausgangswiderstand berechnet sich aus dem Drain Strom und dem Kanallängenmodulationsparameter

$$r_{Ds1} = \frac{1}{\lambda_1 * I_D} \quad (27)$$

$$r_{Ds2} = \frac{1}{\lambda_2 * I_D} \quad (28)$$

Die Transistorsteilheit berechnet sich wie folgt.

$$g_m = \frac{2 * I_D}{U_{GS} - U_{TH}} \quad (29)$$

Um den Ausgangswiderstand der Transistoren M10 und M17 zu berechnen wird g_m aus der Formel (29) und r_{Ds1}, r_{Ds2} aus den Formeln (27) und (28) in die Formel (26) eingesetzt. Nach Umformung und Vereinfachung ergibt sich der Widerstand.

$$R(M10, 17) = \frac{2 I_D}{U_{GS} - U_{TH}} * \frac{1}{\lambda_1 I_D} * \frac{1}{\lambda_2 I_D} \quad (30)$$

$$R(M10, 17) = \frac{2}{(U_{GS} - U_{TH}) * \lambda_1 * \lambda_2 * I_D} \quad (31)$$

Zu sehen ist, dass durch einen größeren Strom der Widerstand der beiden Transistoren M10 und M17 verkleinert werden kann. Durch den kleineren Widerstand verschiebt sich der Pol zu größeren Frequenzen. Der Nachteil des größeren Stromes ist aber, dass bei gleichbleibender Sättigungsspannung die Transistorbreiten vergrößert werden müssen und sich damit auch die parasitären Kapazitäten erhöhen. Das hebt den Effekt der Kompensation wiederum auf kann sogar zur Verschiebung des Pols zu tieferen Frequenzen führen

Ein guter Kompromiss, um eine Polfrequenz größer als die Durchtrittsfrequenz zu erhalten ist, durch eine Erhöhung des Stromes den Ausgangswiderstand der Transistoren zu erhöhen aber zeitgleich durch eine Vergrößerung der Sättigungsspannung die Verbreiterung der Transistoren und damit auch die Erhöhung der parasitären Kapazitäten zu vermeiden. Da die Kaskodetransistoren M17 und M19 eine höhere Sättigungsspannung als die übrigen aufweisen, erhalten diese auch eigene Biasing-Spannungen.

Die folgende Abbildung zeigt bei welchen Frequenzen sich die internen Pole des OTA befinden. Alle Pole befinden sich bei einer größeren Frequenz als 28 M Hz.

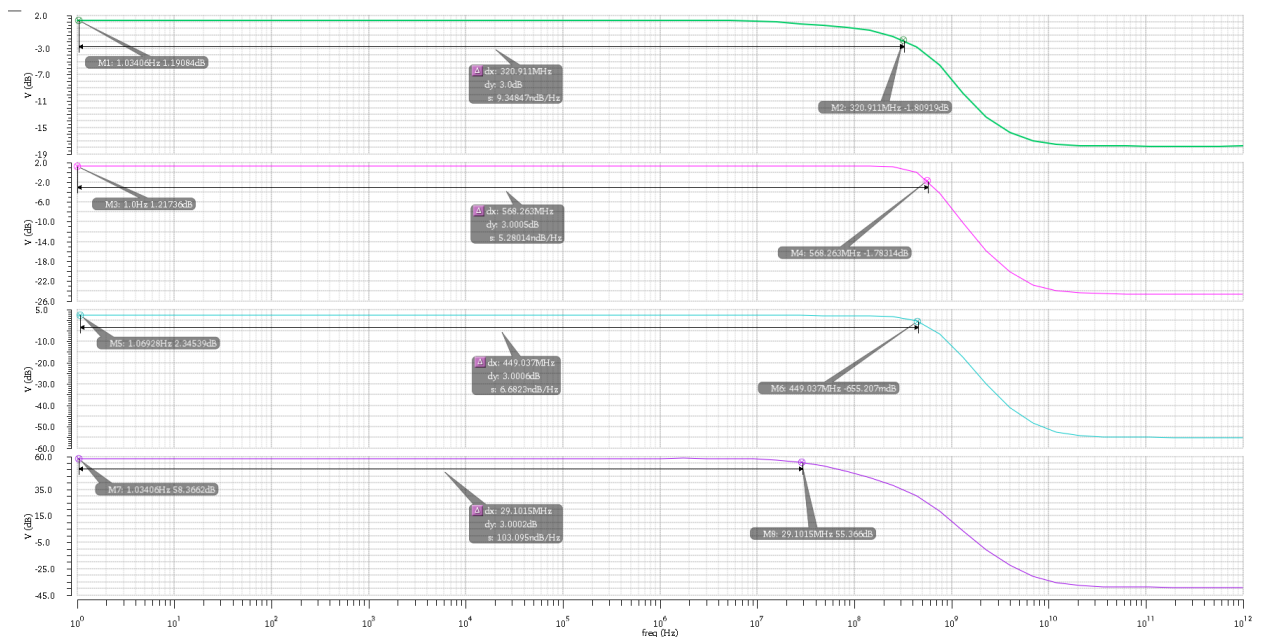


Abbildung 29 interne Pole des Operationsverstärkers

11.5.2 Corner Analyse der Verstärkung und des internen Pols

Über die Corner-Analyse muss geschaut werden, ob die Frequenz des Ausgangspols und die Verstärkung auch bei verschiedenen Cornern den Anforderungen entspricht.

Die Ergebnisse der Simulation sind in der folgenden Tabelle zu sehen.

Tabelle 3 Corner Analyse der Verstärkung und des internen Pols

Corner	Temperatur in °C	Frequenz in Hz	Verstärkung
ff	-50	17,46 M	2266
ff	27	19,55 M	1693
ff	120	23,68 M	1103
fnsp	-50	22,96 M	1869
fnsp	27	26,55 M	1293
fnsp	120	33,62 M	763
snfp	-50	20,55 M	2218
snfp	27	25,09 M	1470
snfp	120	35,87 M	820
ss	-50	30,09 M	1582
ss	27	40,65 M	918
ss	120	60,59 M	432
tt	-50	20,92 M	2105
tt	27	24,83 M	1436
tt	120	32,97 M	851

Zu sehen ist, dass bei einer Slow Corner und einer Temperatur von 120 °C die Verstärkung extrem abfällt und nur noch 432 beträgt. Die Verstärkung bei dieser Corner ist deutlich zu gering. Der höchste Wert wird bei einer Fast Corner und einer Temperatur von -50 °C erreicht. Bei den restlichen Cornern schwankt die Verstärkung zwischen 820 und 2218.

Die kleinste Frequenz wird bei einer Fast Corner und einer Temperatur von -50 °C erreicht. Die größte Frequenz wird bei einem Slow Corner und einer Temperatur von 120°C erreicht.

12 Biasing Schaltung

Um die Arbeitspunkte des Operationsverstärkers einzustellen, gibt es mehrere Möglichkeiten. Eine Möglichkeit ist, dass eine Stromquelle benutzt wird. Die Stromquelle speist einen Strom ein und die Sättigungsspannungen der Transistoren können so über die Geometrie eingestellt werden. Diese Art der Einstellung ist aber nicht nützlich, da es so eine Stromquelle in integrierten Schaltungen nicht gibt.

Eine Möglichkeit, um die Transistoren einstellen zu können ist in der folgenden Abbildung zu sehen:

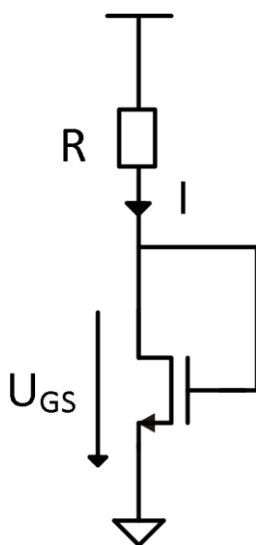


Abbildung 30 Arbeitspunkteinstellung mit Hilfe eines Widerstands

Zwischen dem Transistor und der Versorgungsspannung wird ein Widerstand geschaltet. Je nachdem, wie groß der Widerstand gewählt wird, fließt dann entsprechend ein Strom.

Die Transistorgleichung für einen Transistor, welcher sich in Sättigung und in starker Inverse befindet lautet:

$$I = \frac{1}{2} \mu C_{OX} \frac{W}{L} (U_{GS} - U_{th})^2 \quad (32)$$

Die Gate Source Spannung des Transistors ergibt sich aus einer Masche. U_0 ist die Versorgungsspannung.

$$U_{GS} = U_0 - RI \quad (33)$$

In der Gleichung (34) wird U_{GS} mit dem Ausdruck aus der Formel (33) ersetzt.

$$I = \frac{1}{2} \mu C_{OX} \frac{W}{L} (U_o - RI - U_{th})^2 \quad (34)$$

Nach Auflösen der Gleichung nach der Variable R ergibt sich für den Widerstand R der Ausdruck (42).

$$\frac{2I}{\mu C_{OX} \frac{W}{L}} = (U_o - RI - U_{th})^2 = (U_o - U_{th} - RI)^2 \quad (35)$$

$$\frac{2I}{\mu C_{OX} \frac{W}{L}} = (U_o - U_{th})^2 - 2RI(U_o - U_{th}) + R^2 I^2 \quad (36)$$

$$R^2 I^2 - 2RI(U_o - U_{th}) + (U_o - U_{th})^2 - \frac{2I}{\mu C_{OX} \frac{W}{L}} = 0 \quad (37)$$

$$R^2 - 2R \frac{(U_o - U_{th})}{I} + \left(\frac{U_o - U_{th}}{I} \right)^2 - \frac{2}{\mu C_{OX} \frac{W}{L} I} = 0 \quad (38)$$

$$\left[R - \frac{U_o - U_{th}}{I} \right]^2 - \frac{2}{\mu C_{OX} \frac{W}{L} I} = 0 \quad (39)$$

$$\left[R - \frac{U_o - U_{th}}{I} \right]^2 = \frac{2}{\mu C_{OX} \frac{W}{L} I} \quad (40)$$

$$R - \frac{U_o - U_{th}}{I} = \pm \sqrt{\frac{2}{\mu C_{OX} \frac{W}{L} I}} \quad (41)$$

$$R = \frac{U_o - U_{th}}{I} \pm \sqrt{\frac{2}{\mu C_{OX} \frac{W}{L} I}} \quad (42)$$

Anhand der Formel (42) ist zu sehen, dass sich der Widerstand nur berechnen lässt, wenn die Schwellenspannung, die Geometrie und der Strom bekannt sind. Das Problem dieser Schaltung ist aber, dass eine Variation der Versorgungsspannung auch zu einer Änderung des Stromes führen wird und damit der Arbeitspunkt von der Versorgungsspannung abhängt.

Ein anderes Problem würde sich bei der Corner Simulation zeigen. Über Corner verändern sich die Transistoreigenschaften wie z.B. die Schwellenspannung. Bei einer großen Schwellenspannung wird der Strom kleiner als bei einer kleinen Schwellenspannung.

Außerdem besteht neben der Abhängigkeit des Stromes von der Versorgungsspannung und der Schwellenspannung, auch eine Abhängigkeit von der Temperatur, da durch die Veränderung der Temperatur auch der Widerstand sich ändert.

Eine bessere Möglichkeit, die Arbeitspunkte einzustellen ist der sogenannte „Beta Multiplier“.

Der prinzipielle Aufbau ist wie folgt:

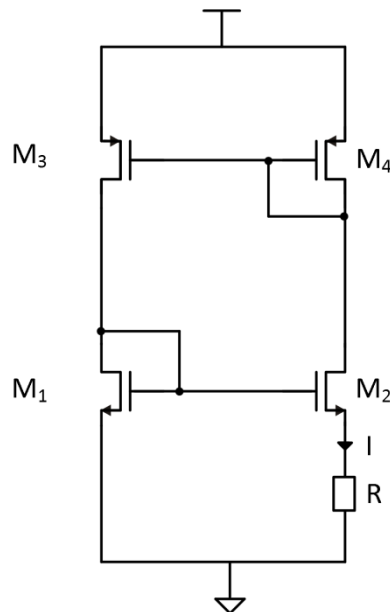


Abbildung 31 Grundaufbau der Biasing Schaltung

Die Schaltung besteht aus 2 gegenläufigen Stromspiegeln und einem Widerstand. Der Widerstand dieser Schaltung berechnet sich mithilfe einer Masche im unteren Stromspiegel:

Die Masche im unteren Stromspiegel ergibt.

$$U_{GS1} = U_{GS2} + U_R \quad (43)$$

Die Spannung über dem Widerstand wird mit dem Ausdruck RI ersetzt.

$$U_{GS1} = U_{GS2} + RI \quad (44)$$

Der Ausdruck wird nach R umgeformt.

$$R = \frac{U_{GS1} - U_{GS2}}{I} \quad (45)$$

Die Gate Source Spannungen der Transistoren berechnen sich wie folgt. Zu beachten ist, dass der Transistor M2 um den Faktor k größer ist als der Transistor M1.

$$U_{GS1} = \sqrt{\frac{2I}{\mu C_{OX} \frac{W_1}{L_1}}} + U_{th} \quad U_{GS2} = \sqrt{\frac{2I}{\mu C_{OX} K_2 \frac{W_1}{L_1}}} + U_{th} \quad (46)$$

Die Gate Source Spannungen werden im Ausdruck (43) durch die Ausdrücke aus (44) ersetzt. Außerdem wird der Strom im Nenner ausgeklammert.

$$R = \frac{1}{I} \left[\sqrt{\frac{2I}{\mu C_{OX} \frac{W_1}{L_1}}} + U_{th} - \left(\sqrt{\frac{2I}{\mu C_{OX} K_2 \frac{W_1}{L_1}}} + U_{th} \right) \right] \quad (47)$$

Die Schwellenspannung kürzt sich raus und der Ausdruck vereinfacht sich.

$$R = \frac{1}{I} \left[\sqrt{\frac{2I}{\mu C_{OX} \frac{W_1}{L_1}}} - \sqrt{\frac{2I}{\mu C_{OX} K_2 \frac{W_1}{L_1}}} \right] \quad (48)$$

Bis auf die Variable K2 ist die Wurzel identisch. Dieser Ausdruck wird ausgeklammert.

$$R = \frac{1}{I} \sqrt{\frac{2I}{\mu C_{OX} \frac{W_1}{L_1}}} \left[1 - \frac{1}{\sqrt{K_2}} \right] \quad (49)$$

Der Strom I wird gekürzt und der Ausdruck vereinfacht sich wie folgt.

$$R = \sqrt{\frac{2}{\mu C_{OX} \frac{W_1}{L_1} I}} \left[1 - \frac{1}{\sqrt{K_2}} \right] \quad (50)$$

Der Vorteil dieser Schaltung ist, dass der Widerstand weder von der Versorgungsspannung noch von der Schwellenspannung abhängig ist. Wenn der Strom und die Geometrien der Transistoren bekannt sind, kann der Widerstand berechnet werden.

Außerdem hat der Beta Multiplier den Vorteil, dass die Schaltung sich „automatisch“ auf Veränderung der Transistoreigenschaften wie z.B. die Schwellenspannung anpasst und somit gewährleistet wird, dass alle Transistoren immer in Sättigung sind.

Der Beta Multiplier kann auch mit Kaskode Transistoren und zusätzlichen Widerständen aufgebaut werden. Der Nachteil dieser Schaltungen ist aber, dass die Versorgungsspannung höher sein muss, damit alle Transistoren auch stets in Sättigung sind und die Schaltung wie gewünscht funktioniert.

In der Abbildung 32 sind die verschiedenen Möglichkeiten mit den benötigten Mindestspannungen zu sehen.

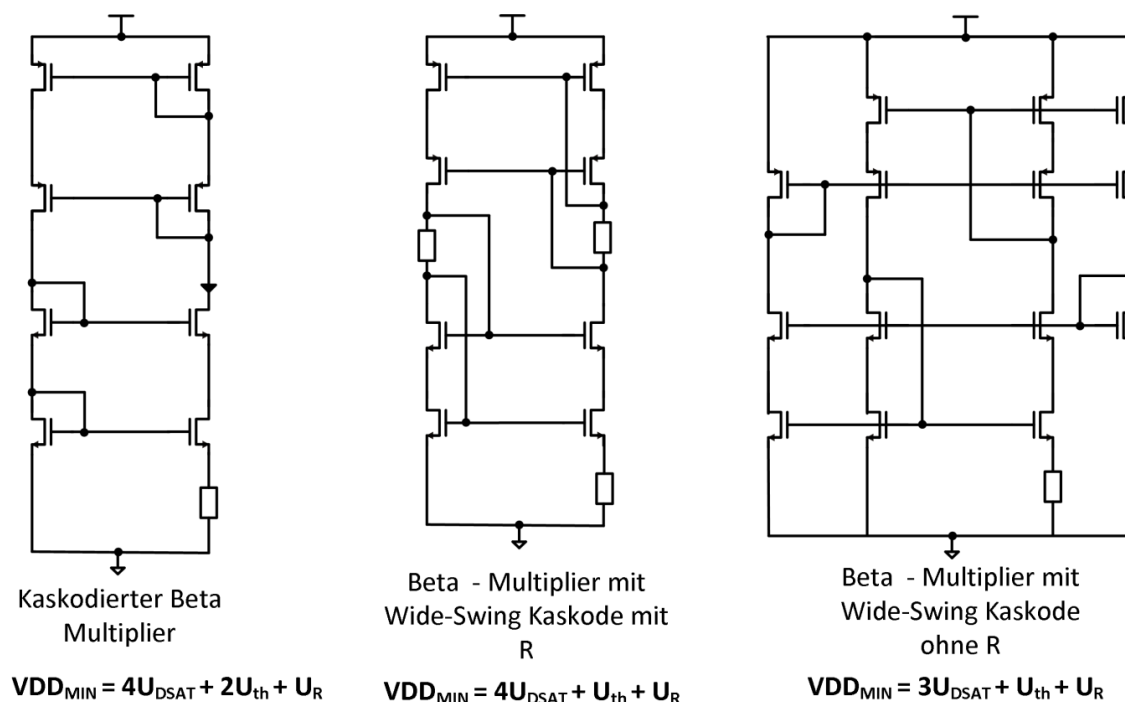


Abbildung 32 Verschiedene Biasing Schaltungen

In der Abbildung 33 ist der Vergleich der verschiedenen Schaltungstypen dargestellt. Zu sehen ist auf der x-Achse die Versorgungsspannung und auf der y-Achse der Strom. Die unkaskodierte Variante ist die schlechteste, weil der Strom ab ca.1,2 V weiterhin stark ansteigt. Am besten ist die Variante „Wide Swing ohne Widerstand“. Ab einer Versorgungsspannung von 1,2 V steigt der Strom nur sehr leicht an.

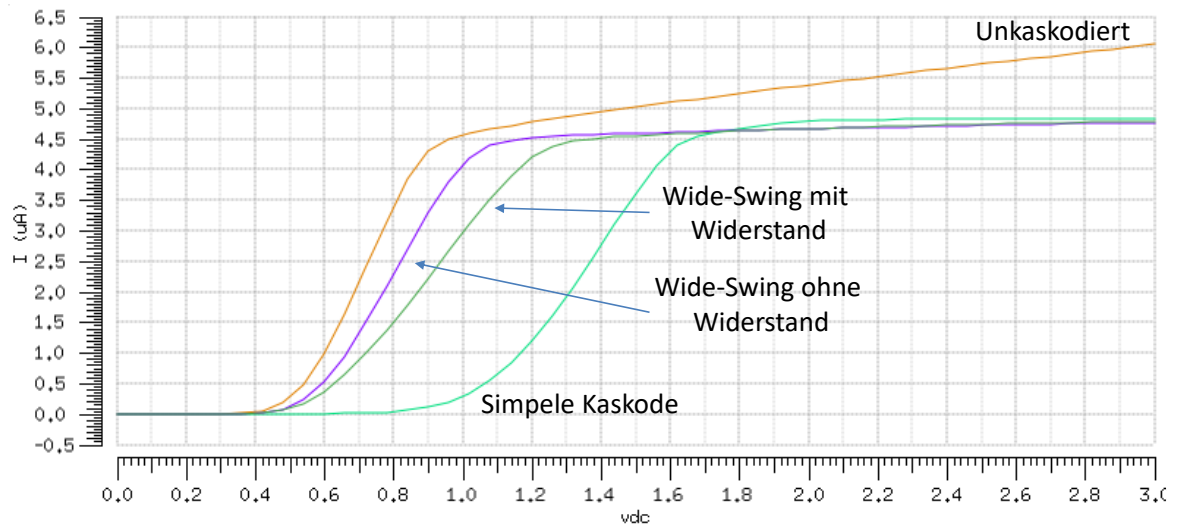


Abbildung 33 Strom über Spannung der verschiedenen Biasing Schaltungen [6, S.25]

Um die Arbeitspunkte auch bei Variationen der Transistoren einstellen zu können, eignet sich diese Art der Arbeitspunkteinstellung zwar sehr gut, weißt jedoch auch Nachteile auf. Widerstände in der CMOS-Technologie variieren um $\pm 10\%$. Somit variiert sich auch der Strom um diesen Faktor. Das zweite Problem ist, dass die Widerstände temperaturabhängig sind. Dadurch variiert der Strom auch mit der Temperatur.

Um die temperaturabhängig zu kompensieren gibt es die Möglichkeit, die Schaltung um einen weiteren NMOS Transistor M5 zu erweitern. Dieser Transistor besitzt eine hohe Sättigungsspannung, so dass sein Temperaturverhalten von der Ladungsträgermobilität μ dominiert ist, welche eine negativen Temperaturkoeffizienten besitzt. Bei steigender Temperatur wird sich die Ladungsträgermobilität verringern, wodurch die Gate-Source Spannung des zusätzlichen Transistors M5 sich vergrößert.

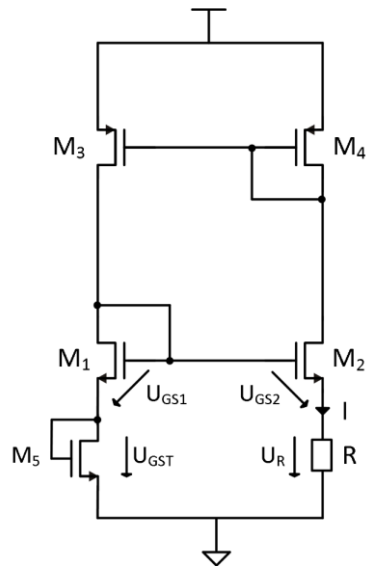


Abbildung 34 Temperatur Kompensation mithilfe eines weiteren NMOS Transistors

Die Idee hinter dieser Schaltungsmaßnahme besteht darin, dass die Spannung am Transistor mit zunehmender Temperatur ansteigt, während die Spannung am Widerstand abfällt. Dadurch werden die temperaturbedingten Variationen in erster Näherung kompensiert.

Der Aufbau der endgültig verwendeten Biasing Schaltung ist in Abbildung 35 zu sehen.

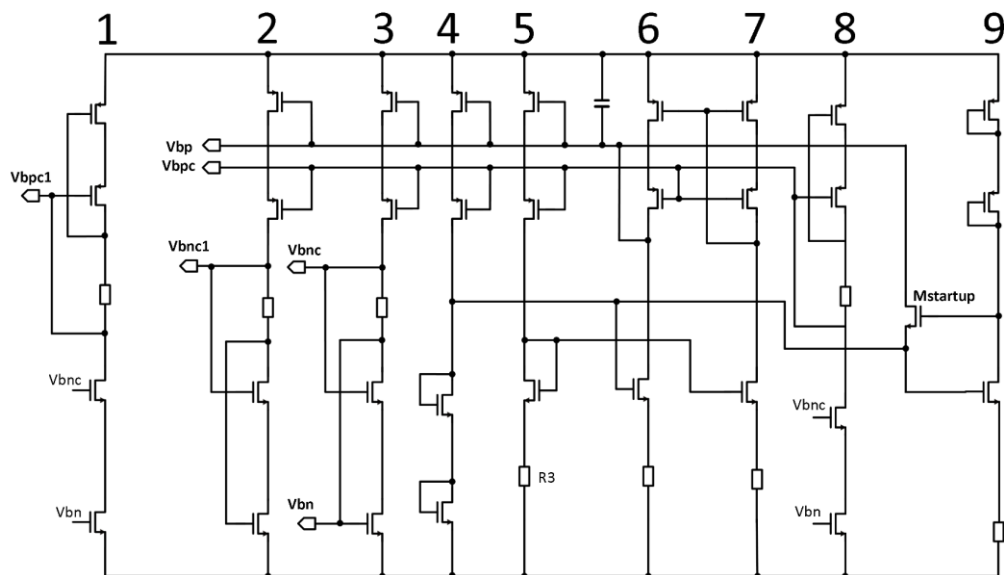


Abbildung 35 Vollständig aufgebaute Biasing Schaltung

Die Schaltung besteht aus mehreren Zweigen. Jeder Zweig besteht aus einem PMOS, einem Kaskode PMOS, einem Kaskode NMOS und einem NMOS Transistor. Außerdem

sind in einigen Zweigen Widerstände vorhanden, um die Biasingspannungen für die Kaskodetransistoren einstellen zu können. Die Zweige 4 und 5 stellen den Kern der Schaltung dar. Über dem Widerstand R3 wird der Strom der Schaltung eingestellt. Aus Symmetriegründen sind die Widerstände, die in den Zweigen 6,7 und 9 vorhanden sind, genauso dimensioniert, wie der Widerstand R3. Die Zweige 6 und 7 bilden einen differentiellen Verstärker. Insgesamt wird die Schaltung so aufgebaut, dass alle Transistoren eine Sättigungsspannung von 200mV aufweisen und der Stromfluss überall 10 μ A beträgt. Dieser Strom entspricht dem Bias Strom des OTA.

In dem OTA werden zwei verschiedene Spannungen für die PMOS Kaskode Transistoren und 2 verschiedene Spannungen für die NMOS Kaskode Transistoren benötigt. Um die richtigen Spannung zu erzeugen, muss darauf geachtet werden, dass die Transistoren, die die Spannung erzeugen, identisch sind mit den Transistoren im OTA. Das heißt, dass z.B. der PMOS Kaskode Transistor in dem Zweig 1 die gleiche Geometrie besitzt, wie der PMOS Kaskode Transistor im OTA. Außerdem muss der Multiplier Faktor so eingestellt werden, dass der Stromfluss übereinstimmt. Im OTA fließt durch den PMOS Kaskode Transistor ein Strom von 100 μ A und der Multiplier Faktor beträgt 6. In der Bias Schaltung fließt durch den PMOS Kaskode Transistor nur der halbe Strom also 50 μ A. Aus diesem Grund wird der Multiplier Faktor des PMOS kaskodetransistors in der Biasing Schaltung halbiert, sodass er im OTA 6 und in der Biasing Schaltung nur 3 beträgt.

Alle anderen benötigten Spannungen werden auf die gleiche Art und Weise erzeugt. Nachdem die Schaltung vollständig dimensioniert worden ist, müssen an den richtigen Stellen Pins erstellt werden und das dazu gehörige Symbol.

12.1 Start Up Schaltung

Die Biasing Schaltung hat 2 mögliche Arbeitspunkte, in der die Schaltung sich befinden kann. Beim ersten Arbeitspunkt beträgt der Strom durch die Schaltung 0 A. Beim zweiten Arbeitspunkt hingegen fließt der gewünschte Strom von 10 μA . Um sicher zu stellen, dass während der Einschaltphase die Biasingschaltung den korrekten Arbeitspunkt erreicht, wird eine sogenannte „Start-Up Schaltung“ verwendet. Wie in Abbildung 35 dargestellt besteht die Start-Up Schaltung aus Zweig 9 und dem Transistor M_{startup} . Im normalen Arbeitspunkt muss der Strom durch den Start-Up Transistor 0 A betragen, wodurch die Start-Up Schaltung dann keine weiteren Auswirkungen auf die Gesamtschaltung besitzt. Wenn sich der falsche Arbeitspunkt mit 0 A einstellt, stellt sich an dem Signal V_{bp} und am Drain des Transistors M_{startup} die Versorgungsspannung ein. Die Source des Transistors ist mit dem Zweig 4 verbunden und beträgt in diesem Fall nahezu 0V. Das Gate des M_{startup} ist mit Zweig 9 verbunden und entspricht nahezu der Versorgungsspannung. Dadurch ist der Transistor M_{startup} leitend. Das Signal V_{bp} wird also über dem Transistor M_{startup} und den beiden NMOS Transistoren im Strang 4 gegen Masse gezogen. In diesem Moment beginnt der Strom zu fließen. Die Spannung am Gate und am Drain des M_{startup} fällt durch den Stromfluss sodass dieser Transistor nicht mehr leitet und kein Strom durch diesen Transistor fließt. Die Schaltung befindet sich dadurch im richtigen Arbeitspunkt.

12.2 Corner Analyse der Biasing Schaltung

Der Strom durch die Biasing-Schaltung darf bei Variation der Transistoreigenschaften, bei unterschiedlichen Temperaturen und bei Variationen der Widerstände nicht zu sehr von dem eingestellten Wert schwanken. Die Ergebnisse der Corner Analyse haben gezeigt, dass der Strom zwischen 7 μA und 16,5 μA schwankt.

Tabelle 4 Corner Analyse der Biasing Schaltung

mm180_lvt33	mm180_reg33	mm180_res	I in μA
fnsp	ss	res_max	6,91
tt	ss	res_typ	10,36
ss	snfp	res_min	16,52

In der Abbildung 36 ist der Strom über der Temperatur bei Variation des Widerstandes dargestellt. Die Biasing Schaltung wurde zunächst mit idealen Widerständen aufgebaut. Diese Widerstände müssen durch reelle Widerstände ersetzt werden, weil in integrierten Schaltungen Widerstände mit einer Genauigkeit von bis zu $\pm 10\%$ realisiert werden

können. Diese prozessbedingten Schwankungen werden ebenfalls in der Corner Simulation mit berücksichtigt.

Zu beobachten ist, dass sich drei Gruppen bilden. Die oberen Kurven entsprechen dem Stromverlauf bei minimalem Widerstand. Die unteren Kurven einem maximalen Widerstand und die mittleren einem typischen.

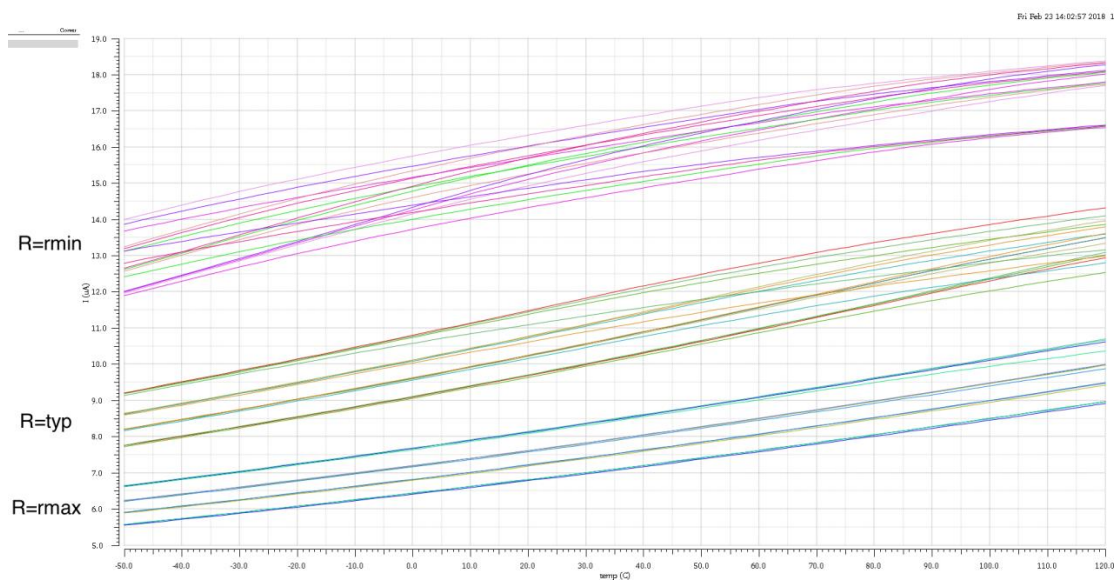


Abbildung 36 Verlauf des Stroms bei steigender Temperatur

Dieses Ergebnis zeigt, dass die Biasing Schaltung noch optimiert werden muss. Der Strom weicht deutlich von den geforderten 10 µA ab. Dadurch, dass die Biasing Schaltung die Arbeitspunkte der Transistoren im OTA einstellt, stellt die Abweichung des Stromes ein Nachteil für den gesamten Regler dar.

12.3 Stabilität der Biasing Schaltung

Neben dem Strom muss auch überprüft werden, ob sich die Biasing Schaltung stabil verhält. Das heißt, dass die Phasenreserve stets über 60° betragen sollte.

Dazu wird an dem nichtinvertierenden Eingang der Biasing Schaltung eine Spannungsquelle mit 0 V angeschlossen und über Cadence eine „stability“ Analyse durchgeführt.

Die Ergebnisse der Phasenreserve über Corner und Temperatur sind in der folgenden Tabelle ersichtlich:

Tabelle 5 Stabilität der Biasing Schaltung

mm180_lvt33	mm180_reg33	mm180_res	Temperatur	Phasenreserve
ff	ss	res_min	-50°C	82°
ss	snfp	res_min	120°C	168°

Die Ergebnisse der Corner Analyse zeigen, dass selbst bei dem schlechtesten Corner die Phasenreserve deutlich über 60° beträgt. Die Biasing Schaltung verhält sich somit stabil.

13 Gesamtsimulation des LDO mit OTA Schaltung

In diesem Kapitel geht es um die Simulation des LDO unter Einbindung des in Kapitel 11 vorgestellten OTA. Nach der vollständigen Dimensionierung des Verstärkers und der Biasing Schaltung wird ein Symbol erstellt, welches die beiden Schaltungen beinhaltet. Anschließend wird das Model des Operationsverstärkers im LDO durch den entworfenen OTA ersetzt Die Simulation des OTA wird zuerst im LDO mit der R_{ESR} -Stabilisierung und anschließend im LDO mit der 2. Variante der Stabilisierung durchgeführt.

13.1 R_{ESR}

13.1.1 Line - und Load Regulation

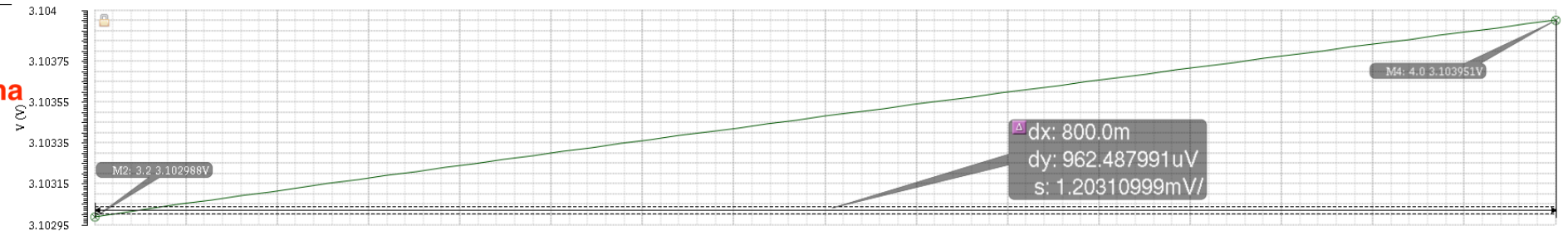
Die Simulation der Line Regulation in Abbildung 37 hat gezeigt, dass die Ausgangsspannung bei einem Anstieg der Eingangsspannung bei verschiedenen Lastströmen nur um maximal 1,145 mV steigt. Zu beobachten ist, dass bei großen Lastströmen die Line Regulation schlechter ist als bei kleinen Lastströmen. Insgesamt sind die Ergebnisse aber akzeptabel.

Die Ergebnisse der Load Regulation in Abbildung 38 zeigen, dass auch hier die Ausgangsspannung nahezu als konstant beschrieben werden kann, weil die Ausgangsspannung bei einem Anstieg des Laststromes nur um 571,3 μ V abfällt.

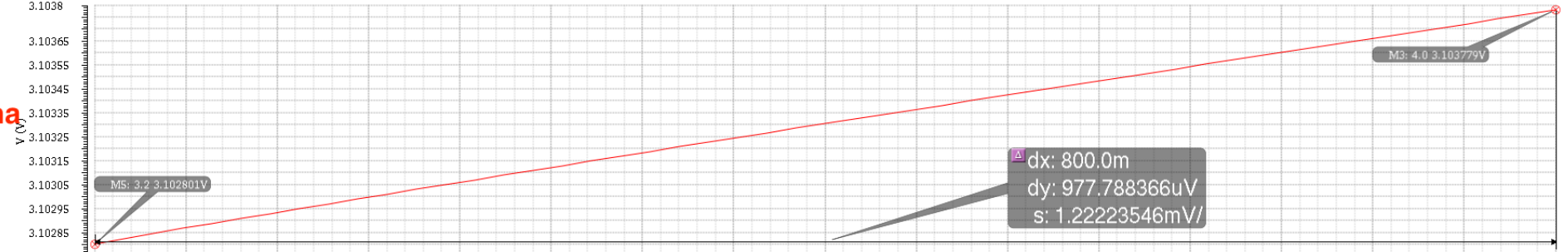
Name Vix

█ /out

I = 0 ma



I = 1 ma



I = 50 ma

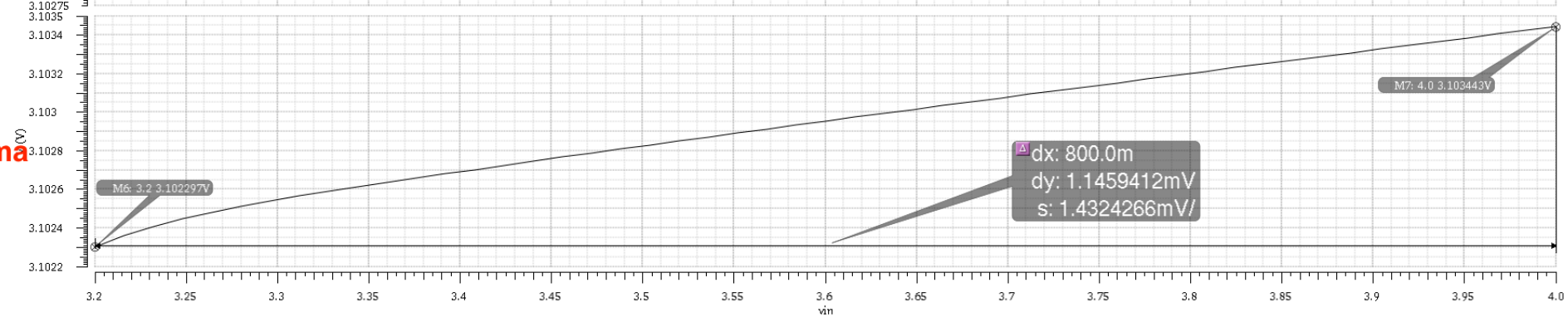


Abbildung 37 Line Regulation bei verschiedenen Lastströmen beim LDO mit dem OTA

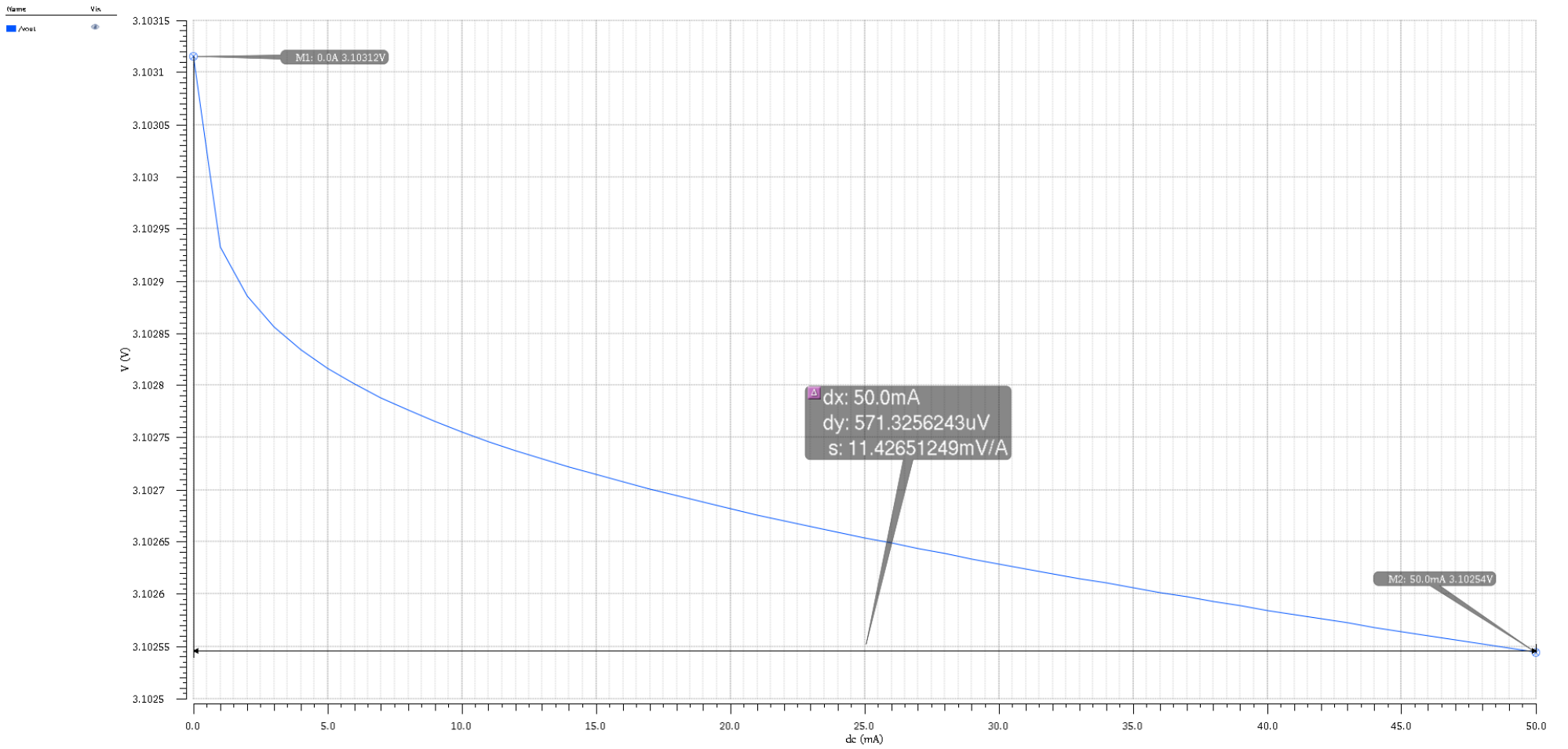


Abbildung 38 Load Regulation des LDO mit dem OTA

13.1.2 Transienten Analyse

In den unteren Abbildungen sind die Ergebnisse der Transienten Analyse des LDO mit dem entworfenen OTA zu sehen. Die Abbildung 39 und 40 zeigen die negative und positive Flanke der Ausgangsspannung bei einem Sprung des Stromes von 0 A auf 25 mA. In Abbildung 41 und 42 wird der Sprung von 25 mA auf 50 mA dargestellt. Im Vergleich zu den Ergebnissen der Transienten Analyse des LDO unter Verwendung des Verilog A-Models des Operationsverstärkers ist zu sehen, dass das Verhalten keine signifikanten Verschlechterungen aufweist. Die Spannung steigt um maximal 12 mV an. Weder beim Sprung von 0 mA auf 25 mA noch von 25 mA auf 50 mA sind Schwingungen zu beobachten.

Transient Response

Tue Mar 6 15:24:44 2018 1

Name Vis
Aout

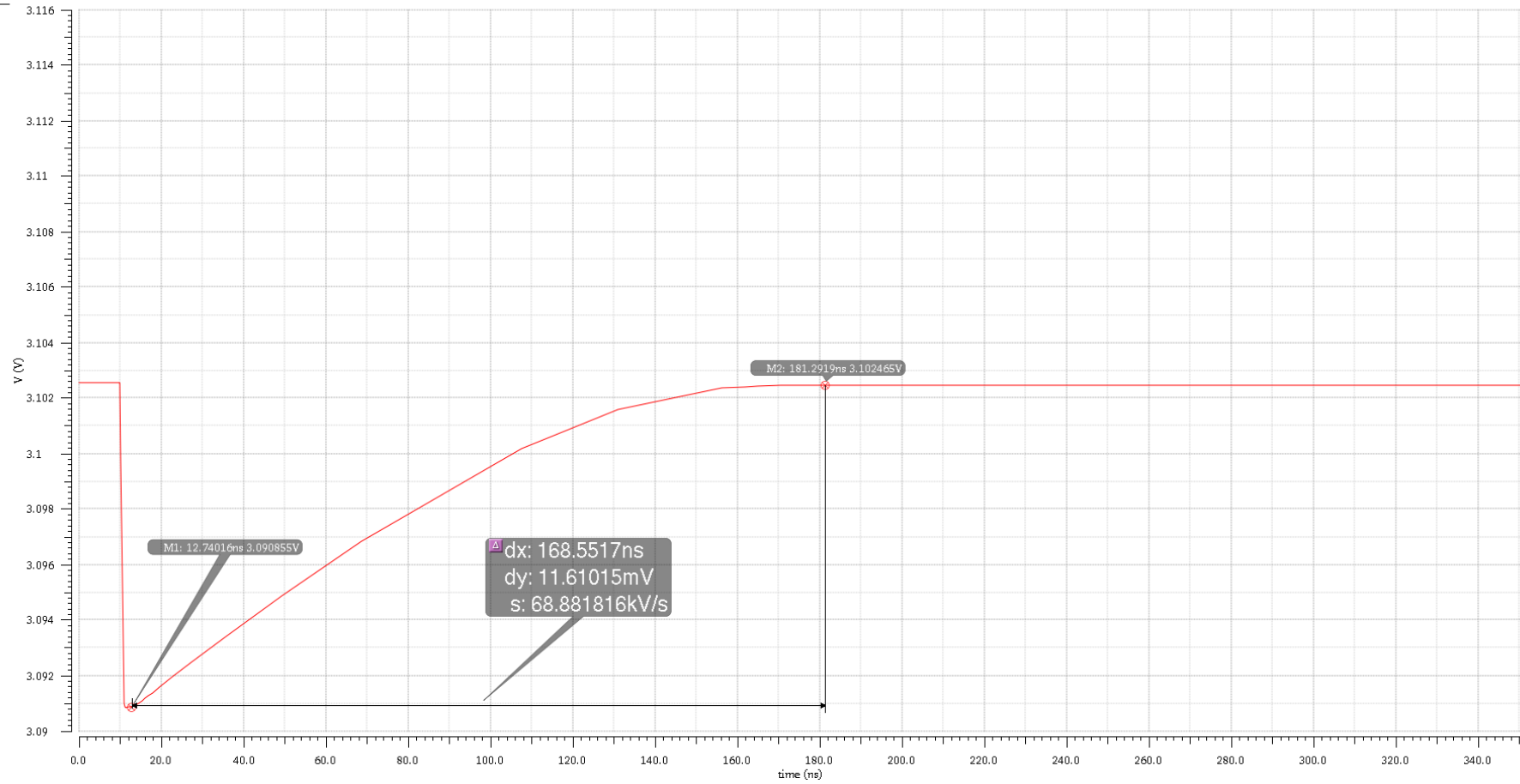


Abbildung 39 Negative Flanke der Transienten Analyse 0-25mA

Transient Response

Tue Mar 6 15:24:44 2018 1

Name Vis
Aout

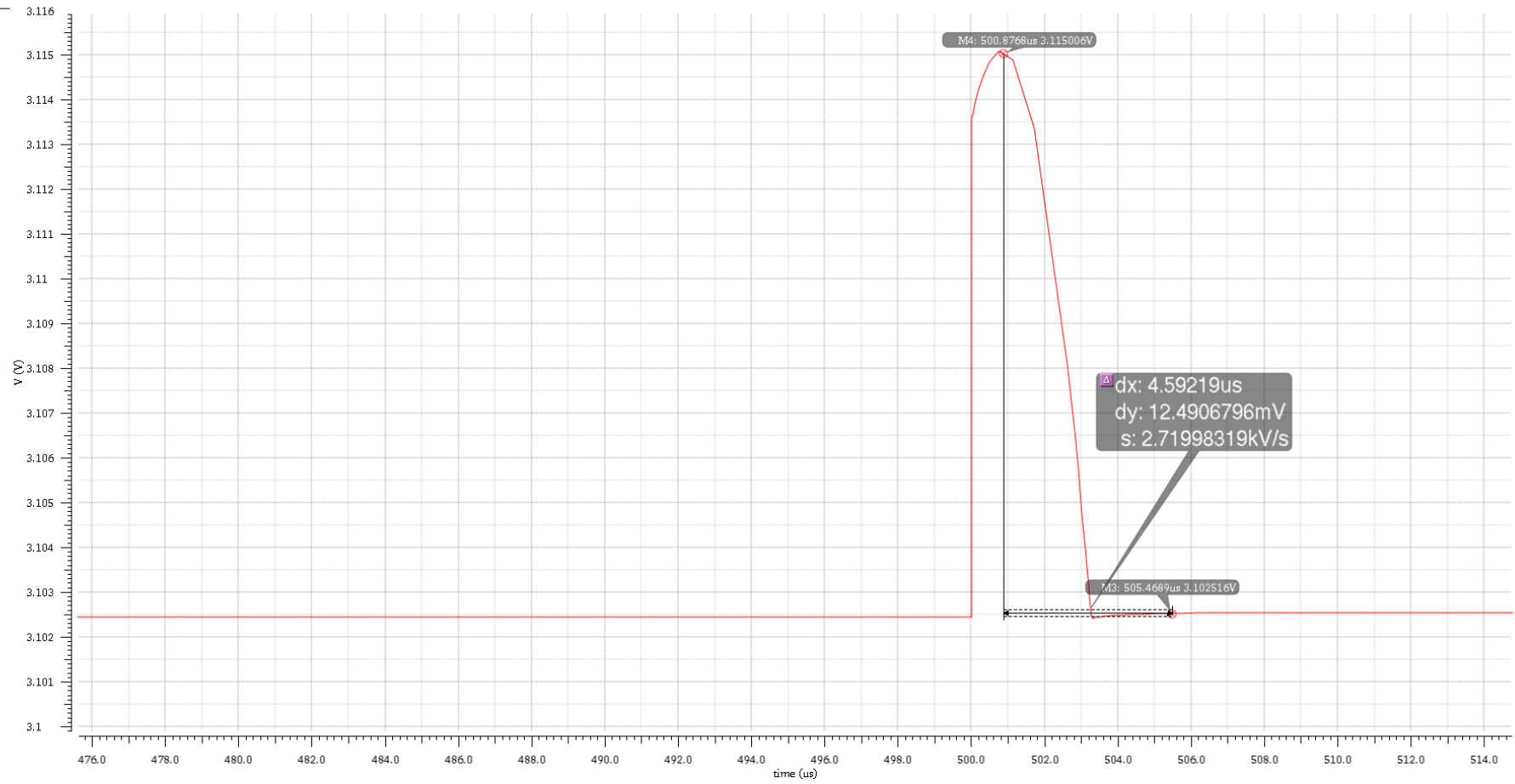


Abbildung 40 Positive Flanke der Transienten Analyse 0-25mA

Name Vis
Aout

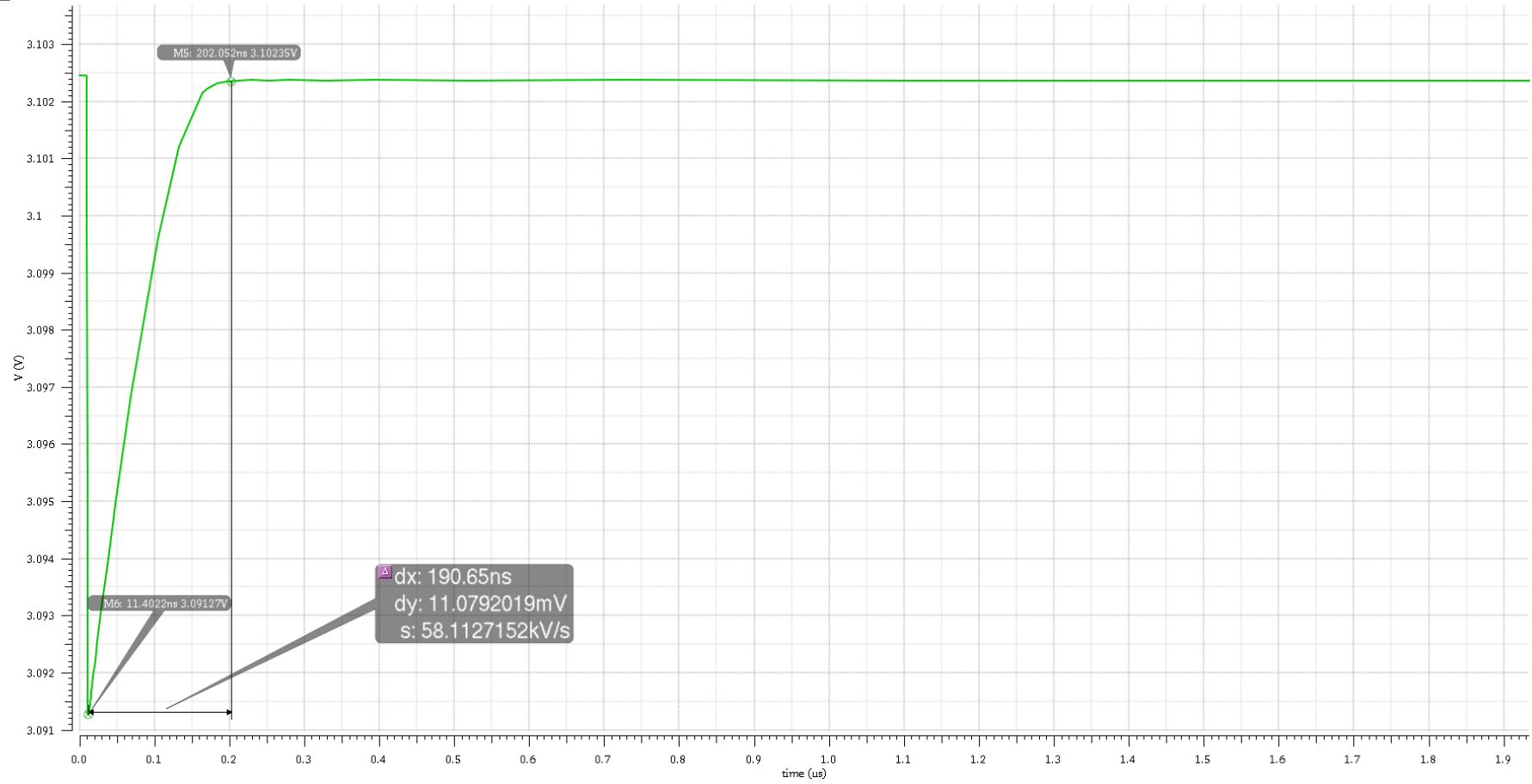


Abbildung 41 Negative Flanke der Transienten Analyse für 25mA-50mA

Name Vis
Aout

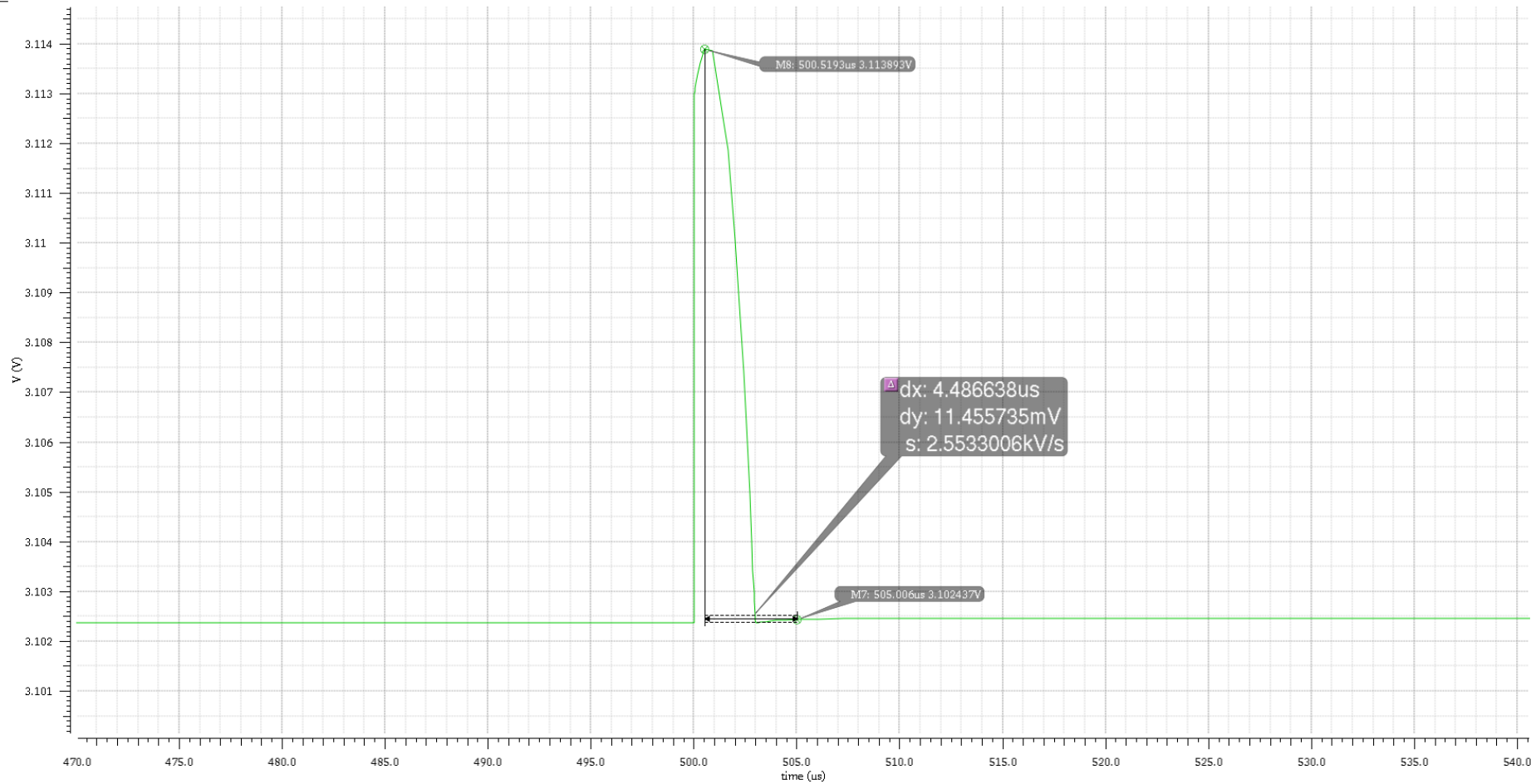


Abbildung 42 Positive Flanke der Transienten Analyse für 25mA-50mA

13.1.3 Stabilität

Die Untersuchung der Stabilität hat gezeigt, dass im nominellen Arbeitspunkt die Phasenreserve mit über 68° zufriedenstellend ist.

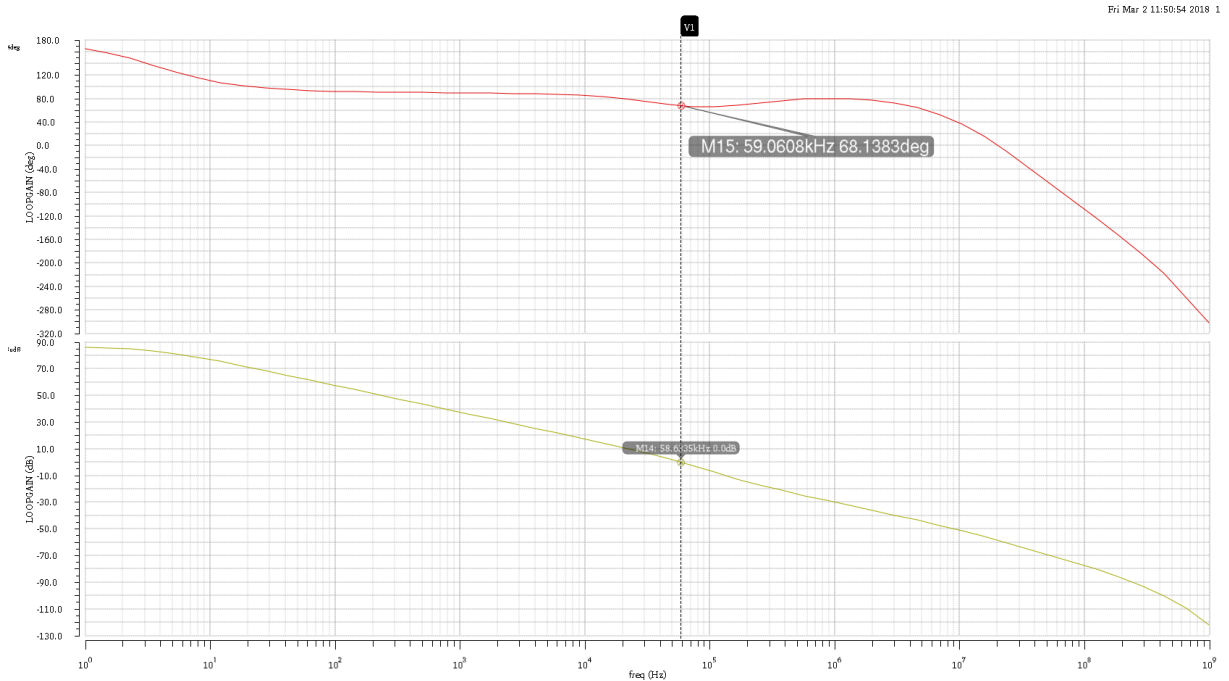


Abbildung 43 Phasenreserve des LDO mit R_{ESR}

13.1.4 PVT-Simulation

Die PVT-Simulation hat ergeben, dass der Regler immer mindestens eine Phasenreserve von mindestens 48° vorweist. Der Regler sollte möglichst eine Phasenreserve von 60 vorweisen, dennoch ist dieses Ergebnis akzeptabel, da die Phasenreserve nur leicht von den geforderten 60 ° abweicht.

Tabelle 6 PVT- Simulation des LDO mit R_{ESR}

mm180_reg33_v114	mm180_res_v141	Temperatur	I_{Last}	V_{in}	Phasenreserve
snfp	res_max	-50 °C	50 mA	3,3 V	48°
ss	res_min	120 °C	0 A	4 V	85°

13.1.5 Monte Carlo

Während der Herstellung eines Mikroelektronikchips können Variationen entstehen. Mikroelektronikchips werden aus Wafern hergestellt. Das Grundmaterial eines Wafers ist Quarzsand. Durch mehrere chemische Abläufe erhält man durch diesen Quarzsand ein perfektes Siliziumkristall. Dieser Kristall wird dann in dünne, runde Platten geschnitten, welche Wafer genannt werden. Der Wafer wird ebenfalls in rechteckige Strukturen zersägt, die schließlich die mehrere Chips ergeben.

Das Verhalten kann sich bei integrierten Schaltungen von Chip zu Chip auf einem Wafer variieren. Diese Variationen werden meist als lokale Variation bezeichnet. Außerdem kann sich das Verhalten auch Produktionsbedingt ändern. Solche Variationen bezeichnet man meist als globale- bzw. Prozessvariationen. In Virtuoso kann unter der Option „Statistical Variation“ ausgewählt werden, ob einer dieser beiden Fälle allein oder beide gleichzeitig berücksichtigt werden sollen. Außerdem ist unter der Kategorie „Number of Points“ die Anzahl der Simulationsdurchläufe einstellbar.

Für die Charakterisierung des LDOs werden sowohl lokale als auch globale Variationen berücksichtigt und 200 bzw. 1000 Simulationsdurchläufe festgelegt. Die Monte-Carlo Simulationsmodelle der UMC 180nm Technologie stellen eine Variable Sigma bereit, die bei der Generierung der Bauteilevariationen ausgewertet wird. Die Bauteilevariationen werden in den Simulationsmodellen als Gaußverteilung statistisch beschrieben, wobei der Parameter SIGMA der Standardabweichung der Gaußschen-Glockenkurve entspricht. Die Variable Sigma wird mit 3 gleichgesetzt, wodurch die Werte von bis zu drei 3 Sigma-Abschnitten links und rechts vom Mittelwert der Verteilung bei der Bauteilevariation berücksichtigt werden.

Die Ergebnisse der Monte Carlo Simulation sind in der Abbildung 44 und Abbildung 45 zusehen. Die Standardabweichung beträgt bei der Phasenreserve 3,3°. Bei der Ausgangsspannung beträgt die Standardabweichung 13,2 mV Diese Ergebnisse sind akzeptabel.

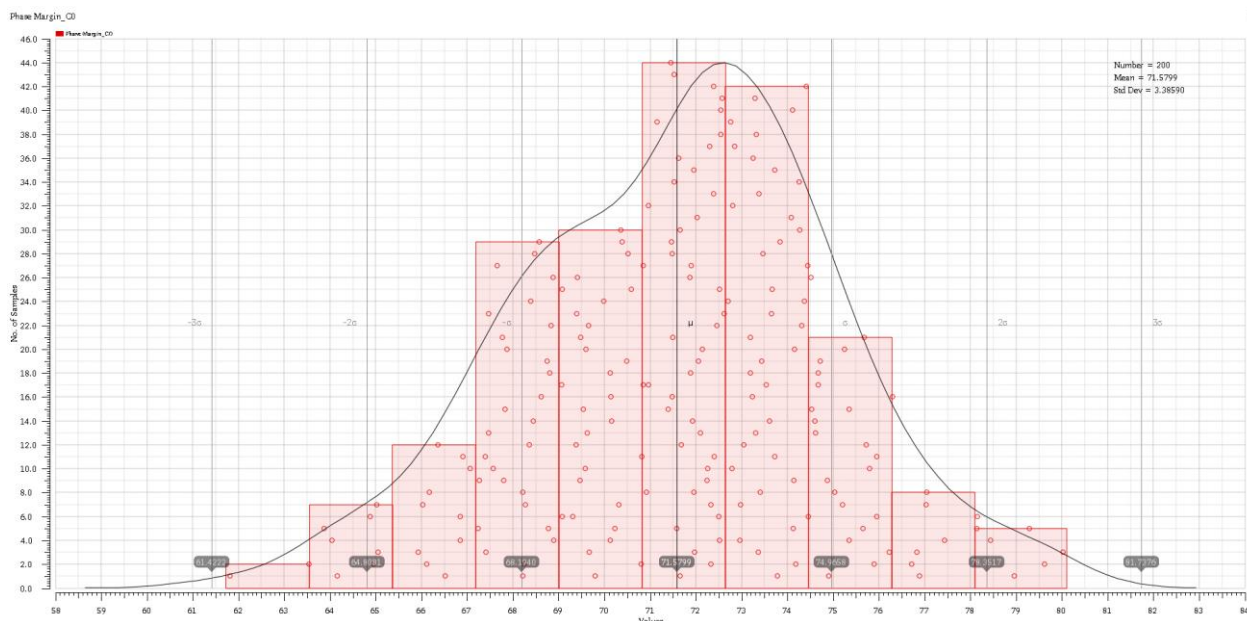


Abbildung 44 Monte Carlo Simulation des LDO mit R_{ESR} für die Phasenreserve

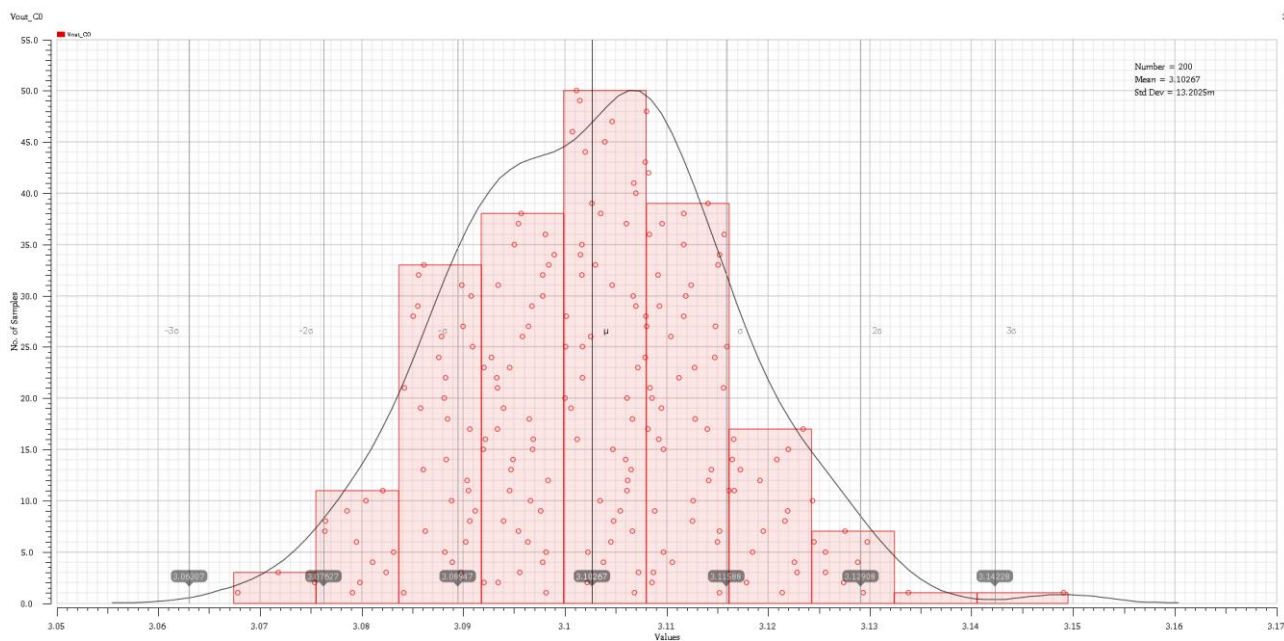


Abbildung 45 Monte Carlo Simulation des LDO mit R_{ESR} für die Ausgangsspannung

13.2 Alternative Methode zur Stabilisierung

Zur Stabilisierung des LDOs gibt es zwei verschiedene Möglichkeiten. Um entscheiden zu können, welche der beiden Varianten im DC-DC Wandler zum Einsatz kommt, müssen die Untersuchungen wie in Kapitel 13.1 auch für die alternative Stabilisierungsmethode durchgeführt werden. Dadurch kann verglichen werden, welche der beiden Varianten bessere Eigenschaften aufweist.

13.2.1 Line - und Load Regulation

Wie aus Abbildung 46 ersichtlich wird, sind bei dieser Stabilisierungsmethode die Ergebnisse der Line Regulation zufriedenstellend. Das schlechteste Ergebnis wird bei einem Laststrom von 50 mA erzielt. Das beste Ergebnis bei einem Laststrom von 0 A.

Die Load Regulation, welche in Abbildung 47 zu sehen ist, zeigt ebenfalls zufriedenstellende Ergebnisse. Bei einem Anstieg auf bis zu 50 mA des Laststromes sinkt die Ausgangsspannung nur um ca. 275 μV . Das ist vollkommen ausreichend. Die Ausgangsspannung kann somit als nahezu konstant bezeichnet werden.

Im Vergleich zu der Stabilisierungsmethode mithilfe des externen Widerstandes ist hier zu sehen, dass die Load Regulation geringfügig bessere Eigenschaften aufweist. Die Line Regulation ist bei beiden Varianten annähernd gleich gut.

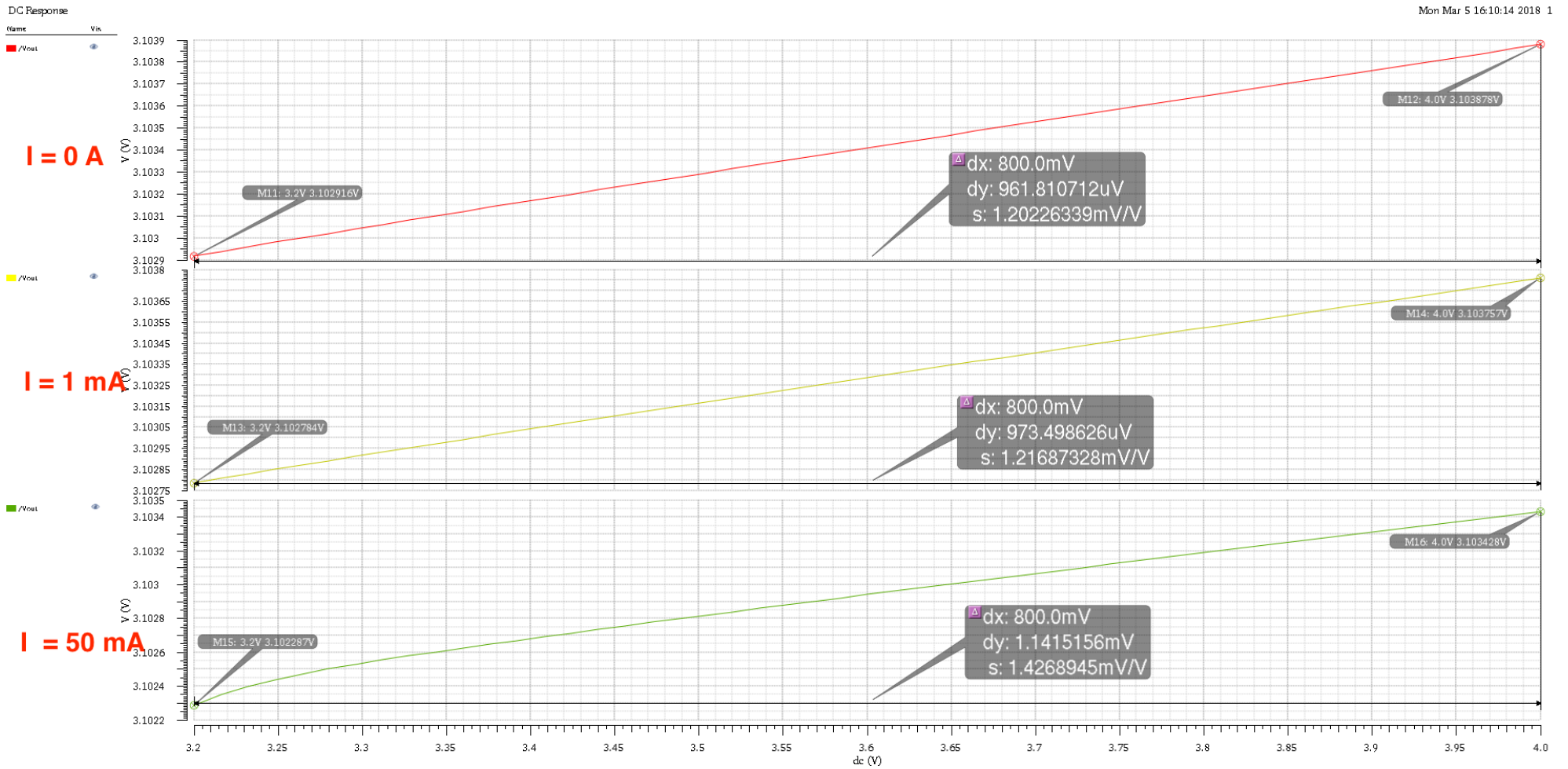


Abbildung 46 Line Regulation der alternativen Methode

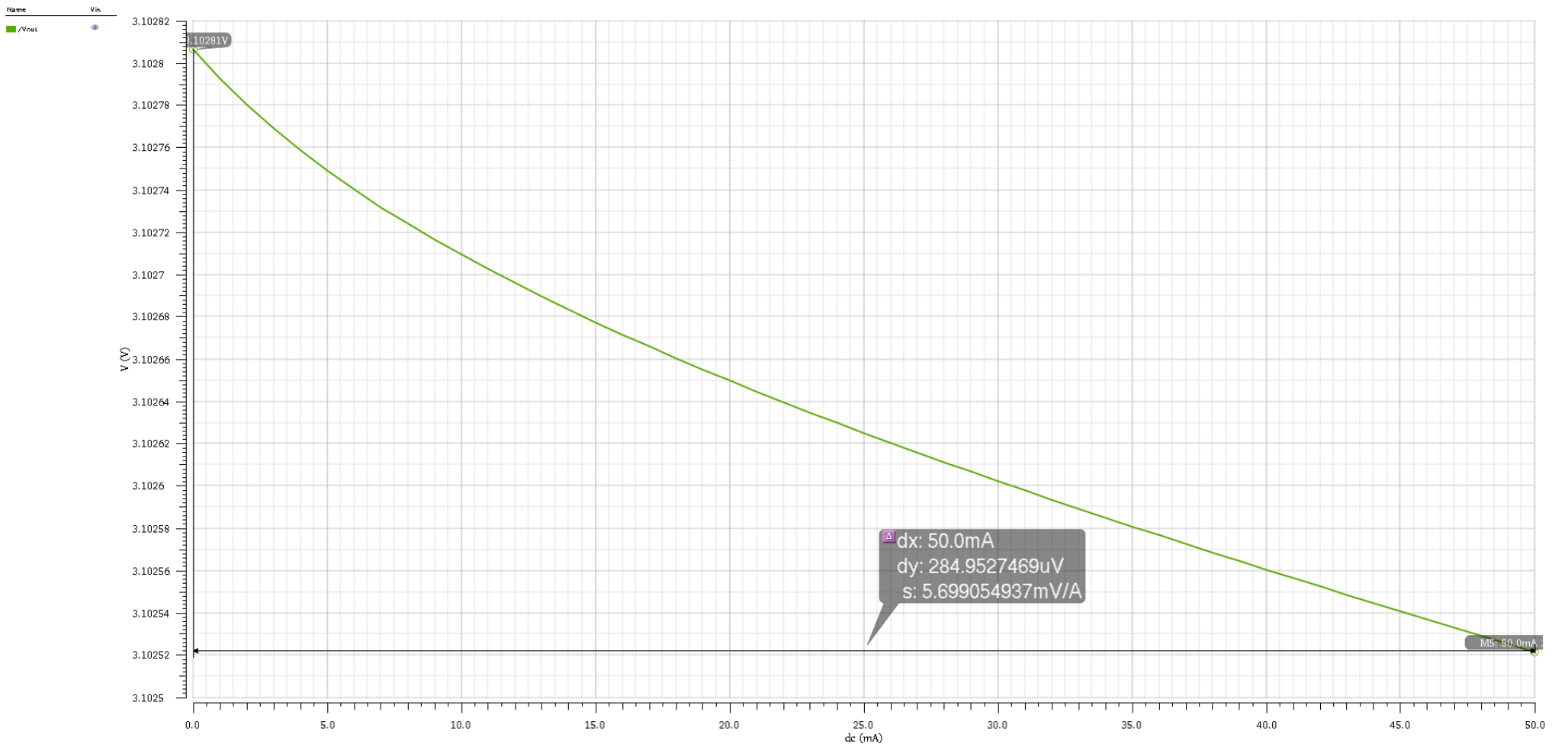


Abbildung 47 Load Regulation der alternativen Methode

13.2.2 Transienten Analyse

Wie in den Abbildungen 48 und 49 ersichtlich ist, verhält sich der Regler bei einem Sprung des Laststroms akzeptabel. Der Regler weist kein Schwingen auf. Zu beobachten ist, dass der Regler bei einem Sprung von 25 mA auf 50 mA etwas besser reagiert als von einem Sprung von 0 A auf 25 mA. Trotz dessen ist das Ergebnis vollkommen zufriedenstellend.

Bei der Transienten Analyse verhält sich der Regler mithilfe der 2. Stabilisierungsvariante auch besser. Die Ausgangsspannung schwankt bei dieser Variante deutlich weniger von der gewünschten Spannung von 3,1 V am Ausgang ab.

Name: /Vout Vtk

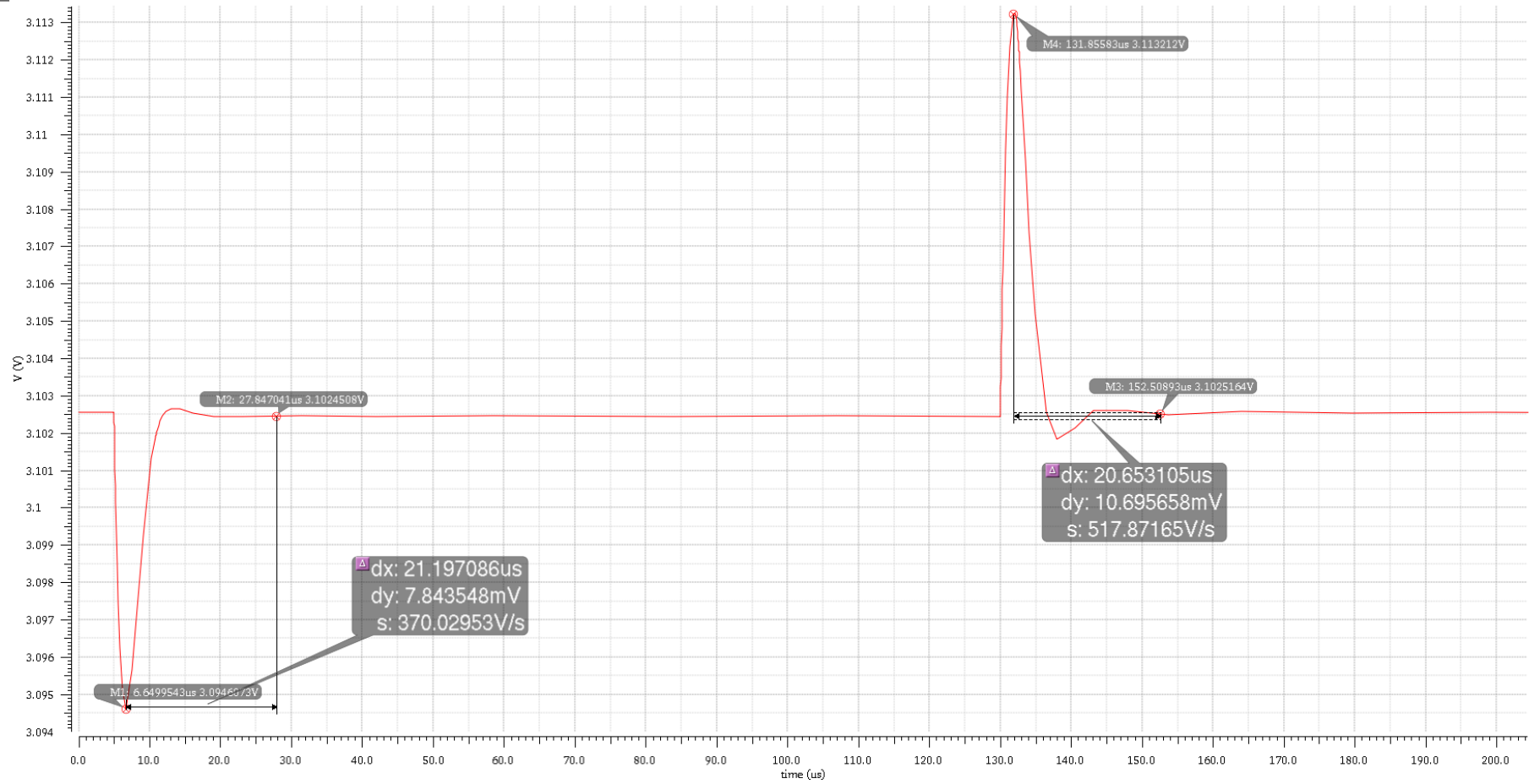


Abbildung 48 Transienten Analyse der alternative Methode für 0-25mA

Name: /Vout Vis

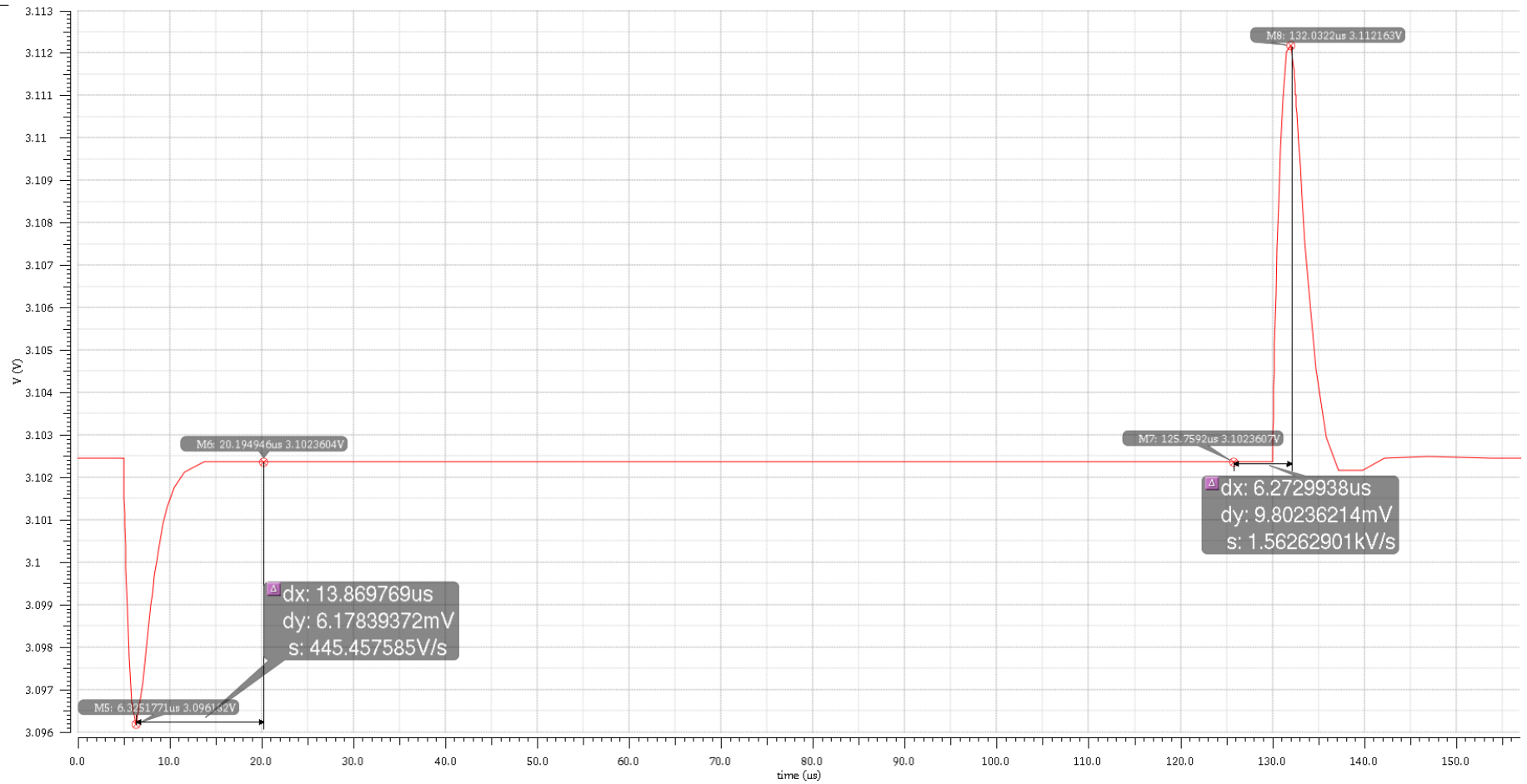


Abbildung 49 Transienten Analyse der alternative Methode für 25mA-50mA

13.2.3 Stabilität

Damit der Regler ein stabiles Verhalten aufweisen kann wurde eine Phasenreserve von mindestens 60 ° gefordert. In der unteren Abbildung ist das Bode Diagramm des Reglers abgebildet.

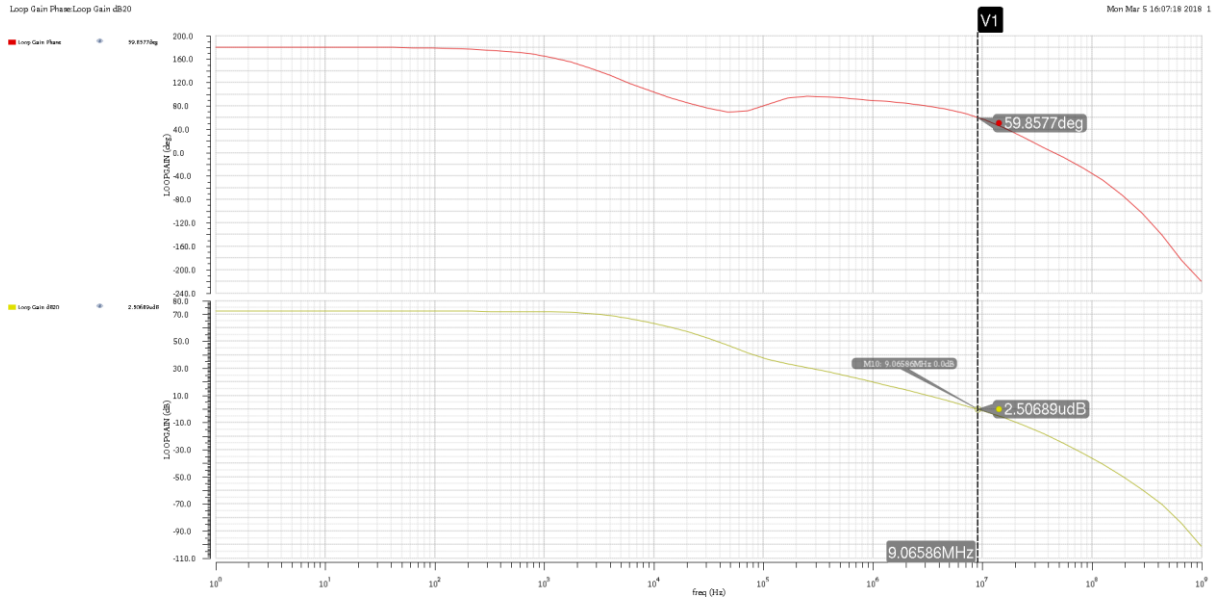


Abbildung 50 Phasenreserve der alternativen Methode

Anders als bei der Line- und Load Regulation bzw. der Transienten Analyse ist hier zu sehen, dass die Phasenreserve im nominellen Arbeitspunkt zwar 60° beträgt, aber im Vergleich zu der Stabilisierungsvariante mit dem R_{ESR} deutlich geringer ist.

13.2.4 PVT-Simulation

Die Untersuchung der Stabilität des Reglers bei variablem Strom, Spannung, Temperatur und bei Abweichungen des Widerstandes hat gezeigt, dass die Phasenreserve deutlich unter 60° fällt. In dem schlechtesten Corner erreicht der LDO nur 30° Phasenreserve. Somit ist der Regler bei z.B. einer Temperatur von -40 °C und einem Laststrom von 50 mA nicht stabil. Die Ergebnisse der Untersuchung in Kapitel 13.2.3 werden hier noch einmal bestätigt. Die Phasenreserve ist im Vergleich zu der Variante mit dem R_{ESR} deutlich zu niedrig.

Tabelle 7 PVT Simulation des LDO mit der alternativen Stabilisierungsmethode

mm180_reg33_v114/ mm180_reg18_v124	mm180_res_v141	Temperatur	I_{Last}	V_{in}	Phasenreserve
snfp	res_max	-40°C	50 mA	3,3 V	30°
snfp	res_max	27 °C	0 A	4 V	106°

13.2.5 Monte Carlo

In Abbildung 51 und 52 sind die Simulationsergebnisse für die Phasenreserve und für die Ausgangsspannung dargestellt. Die Standardabweichung bei der Phasenreserve beträgt 4° . Die Standardabweichung bei der Ausgangsspannung beträgt 12,48 mV. Die Abweichungen beider Werte sind zufriedenstellend.

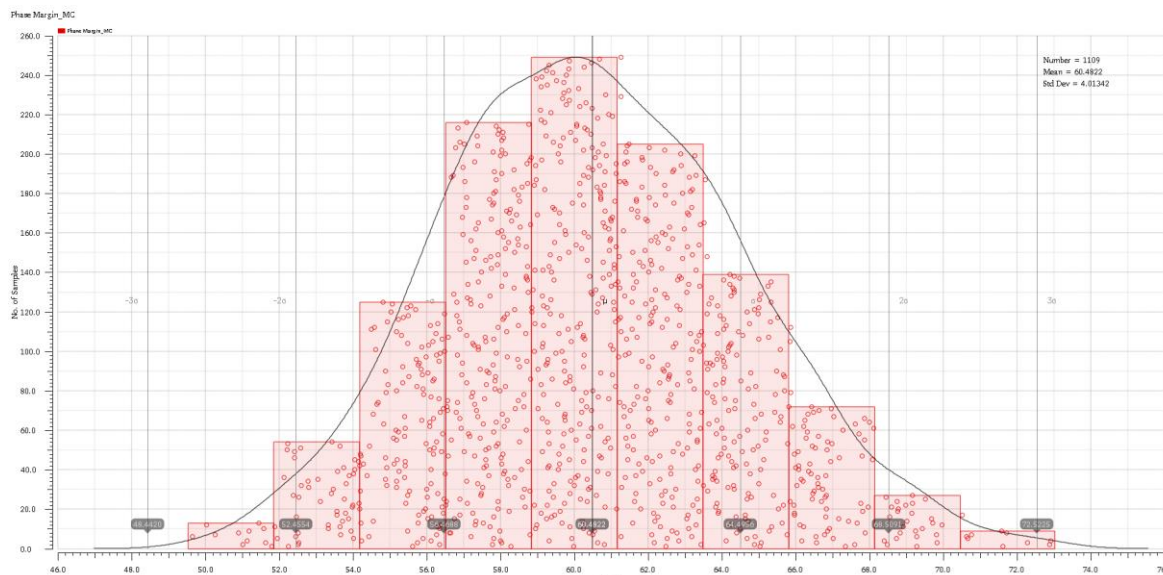


Abbildung 51 Monte Carlo Simulation der alternativen Methode für die Phasenreserve

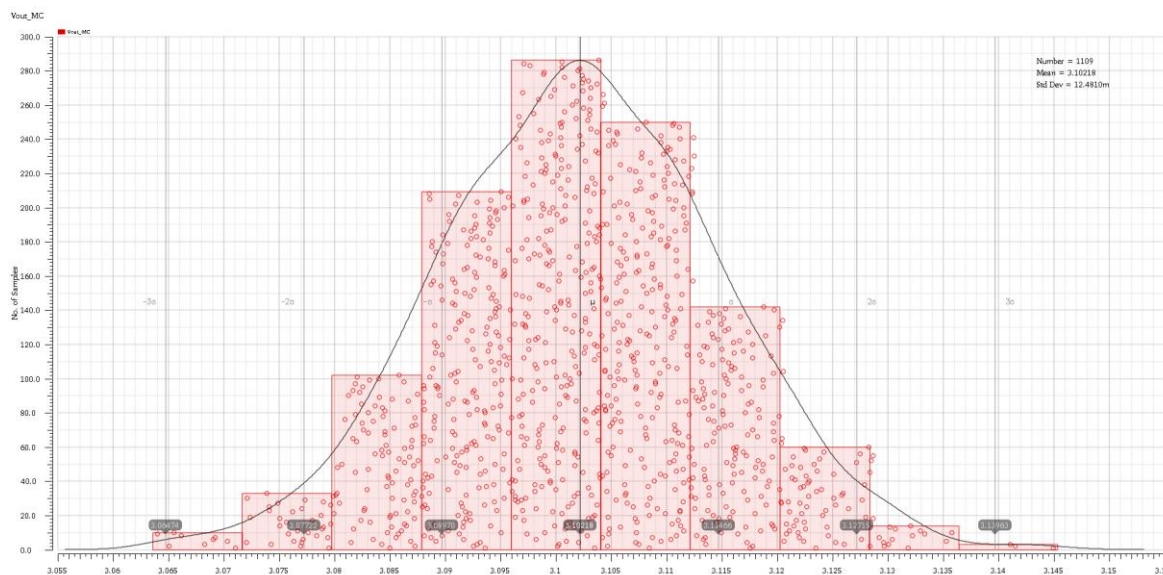


Abbildung 52 Monte Carlo Simulation der alternativen Methode für die Vout

14 Effizienz

Die Effizienz des Low-Dropout-Reglers lässt sich mit der folgenden Formel berechnen:

$$\text{Effizienz} = \frac{I_{\text{aus}} \cdot V_{\text{aus}}}{(I_{\text{aus}} + I_{\text{Ruhe}}) \cdot V_{\text{ein}}} * 100\% \quad (51)$$

I_{Ruhe} ist der Strom, der dauerhaft fließt, auch wenn der Stromkreis nicht aktiv ist.

Um diesen Strom zu ermitteln muss der Ausgangsstrom von dem Strom über dem Durchgangselement subtrahiert werden.

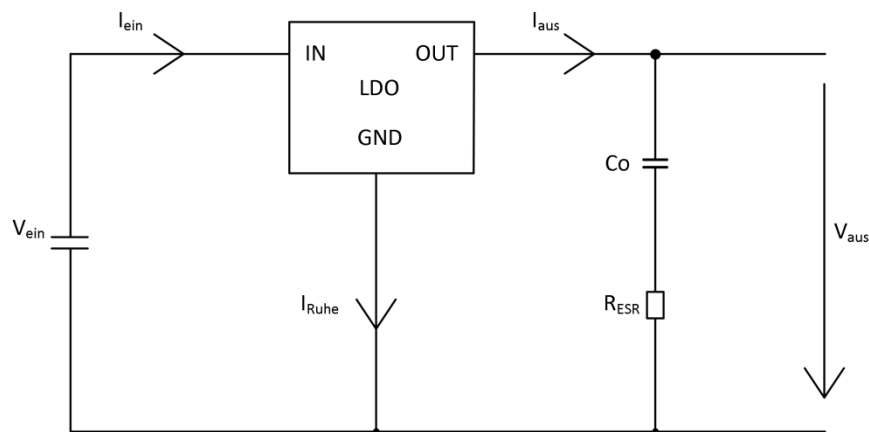


Abbildung 53 Ruhestrom

Um die Effizienz eines LDOs zu verbessern muss der Ruhestrom I_{Ruhe} und auch die Differenz zwischen der Eingangs- und Ausgangsspannung minimiert werden.

Bei der Stabilisierung mithilfe des zusätzlichen Widerstandes R_{ESR} berechnet sich die Effizienz wie folgt:

$$\text{Effizienz, } R_{\text{ESR}} = \frac{50 \text{ mA} * 3,101 \text{ V}}{(50 \text{ mA} + 60 \mu\text{A}) * 3,3 \text{ V}} * 100\% = 93,8 \%$$

Mithilfe der 2. Methode der Stabilisierung, welche in Abschnitt 9.4 vorgestellt wird, wird folgende Effizienz erreicht:

$$\text{Effizienz}_2 = \frac{50 \text{ mA} * 3,101 \text{ V}}{(50 \text{ mA} + 267 \mu\text{A}) * 3,3 \text{ V}} * 100\% = 93,4 \%$$

Die erste Methode der Stabilisierung ist leicht effizienter als die alternative Stabilisierungsmethode.

15 Fazit

In diesem Projekt wurde ein Low-Dropout-Regler für einen synchronen DC-DC Wandler entworfen. Zunächst wurde der Regler mit einem Modell des Operationsverstärkers entworfen. Nachdem der LDO vollständig aufgebaut und die Parameter des Operationsverstärkers ermittelt worden sind, wurde die OTA Verstärkerschaltung entworfen.

Zusätzlich zum Operationsverstärker musste eine Biasing Schaltung aufgebaut werden um die Arbeitspunkte einstellen zu können. Nach dem vollständigen Entwurf wurde jede Schaltung einzeln auf bestimmte Kriterien wie z.B. Corner, Stabilität und Temperaturabhängigkeit untersucht. Anschließend wurde das Modell des Operationsverstärkers durch den neu entworfenen OTA ersetzt und alle Simulationen wurden im LDO erneut durchgeführt

Gefordert war ein LDO für eine Eingangsspannung von 3,3 V bis 4 V. Der Laststrom sollte maximal 50 mA betragen. Für die Stabilität des Reglers wurde eine Phasenreserve von mindestens 60° gefordert.

Die Simulation wurde mithilfe der Software „Virtuoso“ von „Cadence Design Systems, Inc.“ durchgeführt.

Die Simulation der Biasing Schaltung und des OTA ergab, dass die Schaltung nicht wie gewünscht operiert. Dadurch, dass einige Kriterien wie z.B. die Phasenreserve oder die Variation des Stromes über Corner nicht eingehalten werden konnten, wurde das Layout nicht durchgeführt.

Die Biasing Schaltung und der Operationsverstärker müssten vor dem Layout verbessert werden. Der Operationsverstärker sollte eine höhere Bandbreite haben und auch robuster gegenüber Variationen sein. Die Biasing Schaltung weist ebenfalls Optimierungspotential auf, weil auch hier die Variationen einen zu großen Einfluss z.B. auf den Arbeitspunkt einstellenden Strom haben.

Insgesamt ist zu sehen, dass der LDO mit dem Widerstand R_{ESR} eine bessere Performance vorweist als der LDO mit der alternativen Stabilisierungsmethode.

16 Literaturverzeichnis

- [1] Cermak, Miroslaw (Mai 2016): Design of low-dropout voltage regulator, Master Thesis, Tschechische Technische Universität Prag
- [2] Cermak, Miroslaw (Mai 2016): Design of low-dropout voltage regulator, Master Thesis, Tschechische Technische Universität Prag
- [3] <http://rn-wissen.de/wiki/index.php/Spannungsregler>
- [4] <http://rn-wissen.de/wiki/index.php/Spannungsregler>
- [5] Karagounis, Michael (2017): Kapitel 4:: Computer unterstützter Entwurf in der Mikroelektronik, Analog, Massebezogener Verstärker, Fachhochschule Dortmund
- [6] Karagounis, Michael (2017): Kapitel 3:: Computer unterstützter Entwurf in der Mikroelektronik, Analog, Arbeitspunkteinstellung Fachhochschule Dortmund

17 Anhang

Geometrie des LDO mit R_{ESR}

Tabelle 8 Geometrie des LDO mit R_{ESR}

Transistor	Länge	Breite	Multipliiert
M0	340 nm	16 μm	1000
M1/M2	340 nm	16 μm	1
M8/M9	1,2 μm	46 μm	1
M3	180 nm	100 μm	1
M7/M12	1,4 μm	3,3 μm	1
M4/M5	1,2 μm	15 μm	1
R4/R6 (25 k Ω)	47,26 μm	2 μm	
C1 (2,2 μF)			
C0 (80 pF)			
R7 (500 Ω)	1,11 μm	2 μm	

Cell: LDO_ESR

Geometrie des LDO mit der alternativen Stabilisierungsmethode

Tabelle 9 Geometrie der alternativen Stabilisierungsmethode

Transistor	Länge	Breite	Multipliiert
M0	340 nm	16 μm	1000
M1/M2	340 nm	16 μm	1
M8/M9	1,2 μm	46 μm	1
M3	180 nm	100 μm	1
M7/M12	1,4 μm	3,3 μm	1
M4/M5	1,2 μm	15 μm	1
R4/R6 (25 k Ω)	47,26 μm	2 μm	
C1 (2,2 μF)			
C0 (80 pF)			
R7 (500 Ω)	1,11 μm	2 μm	

Cell: LDO_Stabi_alter_Met_OTA

Geometrie des OTA

Tabelle 10 Geometrie des OTA

Transistor	Länge	Breite	Multipliiert
M6	1,7 µm	2,1 µm	20
M4	430 nm	500 nm	10
M7	430 nm	500 nm	20
M8/M9	340 nm	4 µm	5
M21/M22	430 nm	2,11 µm	10
M16	340 nm	1,35 µm	10
M0/M11/M12	430 nm	2,1 µm	10
M10	430 nm	2,1 µm	20
M17	340 nm	1,35 µm	6
M19	340 nm	340 nm	6

Cell: ErrorAmplifierFinal2

Geometrie der Biasing Schaltung

Tabelle 11 Geometrie der Biasing Schaltung

Beuteile	Länge	Breite	Multipliiert
M46/M47	1,7 µm	18 µm	5
M2/M3/M4/M5/M6/M7/M8	1,7 µm	18 µm	1
M45	340 nm	1,35 µm	3
M39	340 nm	1,35 µm	10
M15/M19/M21/M24/M25/M26	340 nm	1,35 µm	2
M27	1,7 µm	18 µm	2
M44	340 nm	340 nm	10
M38	340 nm	340 nm	3
M16/M18/M22/M23/M28/M29/M31	340 nm	340 nm	2
M43/M37	1,7 µm	2,1 µm	10
M17/M30	1,7 µm	2,1 µm	2
M0	6,6 µm	1,5 µm	1
M32	1,7 µm	340 nm	1
R0/R2/R3 (105 kΩ)	197,94 µm	2 µm	
R4/R8 (30 kΩ)	56,68 µm	2 µm	
R5 (13 kΩ)	24,66 µm	2 µm	
R7 (12 kΩ)	22,77 µm	2 µm	

Cell: BiasingSymbol

„Hiermit versichere ich an Eides statt, dass die von mir vorgelegte Prüfungsleistung selbstständig und ohne unzulässige fremde Hilfe erstellt worden ist. Alle verwendeten Quellen sind in der Arbeit so aufgeführt, dass Art und Umfang der Verwendung nachvollziehbar sind.“

Ort, Datum

Sahin Deniz