

Optimierung eines Local Passive  
Interpolation Time-to-Digital Converters  
mit Sub-Gate Delay für eine Time-of-Flight  
Anwendung

Masterarbeit

Andreas Pille

Matrikelnummer: 7203440

**Erstprüfer:** Prof. Dr. Michael KARAGOUNIS

**Zweitprüfer:** Dr. Wolfram BUDDE

09. April 2021

---

## Kurzfassung

Im Rahmen dieser Masterthesis wird in Zusammenarbeit mit der Firma Elmos Semiconductor AG ein Time-To-Digital Converter für eine Time-of-Flight Anwendung weiterentwickelt und optimiert. Als Ausgangspunkt dafür dient die in der vorhergehenden Masterstudienarbeit optimierte Schaltung eines vorhandenen TDC.<sup>1</sup>

Die primäre Aufgabe des Time-to-Digital Converters ist die Quantifizierung einer zeitlichen Verzögerung zwischen zwei Eingangssignalen. Genutzt wird dafür ein Local Passive Interpolation (LPI) TDC mit einer angepeilten Auflösung von 70 Pikosekunden, der als integrierte Schaltung in einer 350 nm CMOS-Technologie realisiert wird. Hauptbestandteil dieser Arbeit ist die Verringerung vorhandener Messungenauigkeiten, die Untersuchung des Einflusses von Layout-Effekten auf die Funktion des TDC und die Überführung der optimierten Schaltung in ein Layout.

## Abstract

Subject of this thesis is the development and optimization of a Time-to-Digital Converter (TDC) for the use in a Time-of-Flight (TOF) application in cooperation with Elmos Semiconductor AG. A previous work of the author<sup>1</sup> serves as a conceptual basis for this thesis.

The primary objective of the TDC is the quantification of a time-delay between two input signals. To accomplish this, a Local Passive Interpolation (LPI) TDC with a targeted resolution of 70 ps, realized as an integrated circuit in a 350 nm process technology, is used. The main focus of this thesis is the reduction of measurement errors, the influence of layout effects on the reliability of the TDC and the transfer of the optimized schematics to a layout.

---

<sup>1</sup>[1]

---

## **Eidesstattliche Erklärung**

Hiermit erkläre ich, dass ich die vorliegende Arbeit eigenständig und ohne fremde Hilfe angefertigt habe. Textpassagen, die wörtlich oder dem Sinn nach auf Publikationen oder Vorträgen anderer Autoren beruhen, sind als solche kenntlich gemacht.

Die Arbeit wurde bisher keiner anderen Prüfungsbehörde vorgelegt und auch noch nicht veröffentlicht.

Ort, Datum

Unterschrift

# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
1.1	Anwendung . . . . .	2
1.1.1	Time-of-Flight . . . . .	2
1.1.2	Funktionsprinzip der Kamera . . . . .	3
1.1.3	Einordnung des Time-to-Digital Converters . . . . .	5
1.2	Ziele . . . . .	7
<b>2</b>	<b>Theoretische Grundlagen</b>	<b>9</b>
2.1	Time-to-Digital Converter . . . . .	9
2.1.1	Delay-Line basierte TDC . . . . .	10
2.1.2	Leistungsmerkmale von TDC . . . . .	12
2.2	Delay-Locked-Loop basierte TDC . . . . .	15
2.3	TDC mit Sub-Gate-Delay . . . . .	16
2.4	Parasitäre Einflüsse des Layouts . . . . .	19
2.4.1	Substrateffekte . . . . .	19
2.4.2	Oberflächeneffekte . . . . .	21
2.4.3	Einfluss der Metallschichten . . . . .	22
2.5	Matching . . . . .	25
2.5.1	Einheitselemente . . . . .	26
2.5.2	Ortsabhängige Prozessgradienten . . . . .	27
<b>3</b>	<b>Aufbau des TDC</b>	<b>31</b>
3.1	Gesamtaufbau des TDC . . . . .	31
3.2	Phasendetektor . . . . .	33
3.3	Charge Pump . . . . .	35
3.4	Spannungsregler . . . . .	36
3.5	False- und Harmonic-Lock . . . . .	37
3.6	Delay-Line . . . . .	39
3.7	Regelschleife . . . . .	43
<b>4</b>	<b>Optimierung des TDC-Designs</b>	<b>45</b>
4.1	Delay-Line Flipflop . . . . .	45
4.2	Testchip . . . . .	52
4.2.1	Anpassung des Pegelwandlers . . . . .	52
4.2.2	Tap-Buffer . . . . .	55
4.2.3	Sensing Buffer . . . . .	57
4.3	Generation des Start-Stop Signals . . . . .	59
4.4	Variable Verzögerungskette für den Gesamtregelkreis . . . . .	61
<b>5</b>	<b>Layout</b>	<b>64</b>
5.1	Layout des Testchips . . . . .	64
5.2	Parasitäre Einflüsse des Testchip-Layouts . . . . .	67

5.3	Layout des optimierten Designs . . . . .	70
5.3.1	Layout des Delay-Line Flipflops . . . . .	71
5.3.2	Layout des Interpolationsbuffers . . . . .	72
5.3.3	Layout des Delay-Elements . . . . .	72
5.4	Parasitäre Einflüsse des optimierten Layouts . . . . .	74
<b>6</b>	<b>Fazit und Ausblick</b>	<b>78</b>

## Abbildungsverzeichnis

1	Time-of-Flight Funktionsprinzip . . . . .	3
2	Vereinfachte Darstellung eines Active-Pixel-Sensors . . . . .	3
3	Messverfahren der Time-of-Flight Kamera . . . . .	4
4	Abstandsbild aus Messungen der Pixelmatrix . . . . .	5
5	Erzeugung der LED- und Shutter-Signale . . . . .	6
6	Quantisierung eines Zeitintervalls mithilfe eines zählerbasierten TDC . . . . .	10
7	Aufbau eines Delay-Line basierten TDC . . . . .	11
8	Ausgangs-Code bei Nutzung von Buffer- oder Inverter-Verzögerungselementen . . . . .	11
9	Übertragungsfunktion des idealen TDC . . . . .	12
10	Auswirkung der DNL auf die Übertragungsfunktion des TDC . . . . .	14
11	Funktionsprinzip des DLL-TDC . . . . .	15
12	Funktionsprinzip der LPI (a) und LPI mit zu starker Verzögerung (b) . . . . .	17
13	Aufbau des LPI-TDC . . . . .	18
14	Parasitäre Substratstromquelle . . . . .	20
15	Parasitärer Thyristor bei einem CMOS-Inverter . . . . .	21
16	Parasitärer NMOS-Transistor durch Oberflächeneffekte . . . . .	21
17	Dimensionen der Metallbahnen . . . . .	22
18	Schichtwiderstand in Metallbahnen . . . . .	23
19	Parasitäre Kapazitäten zwischen den Schichten eines Layouts . . . . .	24
20	Crosstalk zwischen Metallbahnen . . . . .	25
21	Layout eines Spannungsteilers mit (a) und ohne (b) Matching . . . . .	27
22	Layout eines Stromspiegels ohne (a) und mit (b) Matching . . . . .	28
23	Gateoxidtiefe über der Position auf einem Chip . . . . .	28
24	Einfluss der Gateoxidtiefe auf unterschiedliche Transistoren . . . . .	29
25	Common-Centroid Layout bei Poly-Widerständen . . . . .	29
26	Blockdiagramm des Time-to-Digital Converters . . . . .	31
27	Aufbau eines einfachen Positive-Edge-Triggered (PET)-Phasendetektors . . . . .	33
28	Signalverlauf des Phasendetektors bei unterschiedlichen Phasenverschiebungen . . . . .	34
29	Aufbau des erweiterten Phasendetektors mit zusätzlichen Eingangssignalen . . . . .	34
30	Aufbau der Charge-Pump . . . . .	35
31	Vereinfachter Aufbau des Spannungsreglers . . . . .	36
32	Einschwingen auf minimales Delay bei einem False-Lock . . . . .	37
33	False-Lock Detektor . . . . .	37
34	Signalverlauf bei einem Harmonic-Lock . . . . .	38
35	Aufbau des Harmonic-Lock Detektors . . . . .	39
36	Schematische Darstellung der spannungsgesteuerten Delay-Line . . . . .	40
37	Aufbau eines Verzögerungselements . . . . .	41
38	Aufbau des Delay-Line Flipflops zu Beginn der Betrachtungen . . . . .	42
39	Vereinfachte Darstellung der Gesamtanwendung . . . . .	43
40	Position der Delay-Line Flipflops im Verzögerungselement . . . . .	45

41	Resultierender Offset bei unterschiedlichen Setup-Zeiten . . . . .	46
42	Ansatzpunkte für die Optimierung des DL-Flipflops . . . . .	47
43	Ein- und Ausgangssignal eines PMOS Pass-Gates . . . . .	48
44	Ein- und Ausgangssignal eines Transmission-Gates . . . . .	48
45	Eingangsstufe des DL-Flipflops nach Anpassung . . . . .	50
46	Angepasstes Delay-Line Flipflop . . . . .	51
47	Aufbau der im TDC (a) und Testchip (b) verwendeten Pegelwandler . . . . .	53
48	Ein- und Ausgangssignale der beiden Pegelwandler . . . . .	53
49	Verzögerung der Interpolationsstufen an unterschiedlichen Positionen der Delay-Line . . . . .	54
50	Unterschiede der Bufferstufen im Testchip (a) und der aktuellen Schaltung (b) . . . . .	56
51	Sensing Buffer im Testchip (a) und im aktuellen Design (b) . . . . .	57
52	Generierung eines STARTSTOP Signals . . . . .	59
53	Ein- und Ausgangssignale des XOR-Gates . . . . .	60
54	Ein- und Ausgangssignale des AND-Gates . . . . .	61
55	Ein- und Ausgangssignale des Flipflops . . . . .	61
56	Mögliche Verzögerungselemente für das variable Delay . . . . .	62
57	Verzögerungsverlauf der unterschiedlichen Verzögerungselemente . . . . .	63
58	Layout des Testchips . . . . .	65
59	Layout des TDC . . . . .	66
60	Layout eines Verzögerungselements . . . . .	67
61	Verzögerung zwischen Interpolationsstufen, C0 25°C . . . . .	69
62	Verzögerung zwischen Interpolationsstufen, C1 -40°C . . . . .	69
63	Verzögerung zwischen Interpolationsstufen, C4 105°C . . . . .	69
64	Vergrößerte Ansicht der Verzögerungszeiten . . . . .	69
65	Signalverlauf durch die Interpolationsstufen ohne Einfluss des Layouts . . . . .	70
66	Signalverlauf mit parasitären Kapazitäten und Widerständen . . . . .	70
67	Layout des Delay-Line Flipflops . . . . .	71
68	Layout der Treiberstufe . . . . .	72
69	Layout des optimierten Delay-Elements . . . . .	73
70	Verzögerung zwischen Interpolationsstufen, C0 25°C . . . . .	75
71	Verzögerung zwischen Interpolationsstufen, C1 -40°C . . . . .	76
72	Verzögerung zwischen Interpolationsstufen, C4 105°C . . . . .	76
73	Vergrößerte Ansicht der Verzögerungszeiten . . . . .	76
74	Messpunkt im Delay-Line Flipflop für Homogenitätsbetrachtung . . . . .	79

## Tabellenverzeichnis

1	Setup-Zeiten des DL-Flipflops im Ausgangszustand . . . . .	47
2	Setup-Zeiten des DL-Flipflops mit Transmission-Gates . . . . .	49
3	Setup-Zeiten mit vergrößerten PMOS-Transistoren im Master-Latch . . . . .	49
4	Setup-Zeiten nach Anpassung der Eingangsstufe . . . . .	50

5	Resimulation einer Zeitmessung mit optimiertem Delay-Line Flipflop . . .	51
6	Vergleich der Homogenität mit unterschiedlichen Pegelwandlern . . . . .	54
7	Resimulation einer Zeitmessung mit geändertem Pegelwandler . . . . .	55
8	Vergleich der Homogenität mit unterschiedlichen Tap-Buffern . . . . .	56
9	Resimulation einer Zeitmessung mit geändertem Pegelwandler . . . . .	57
10	Vergleich der Homogenität mit unterschiedlichen Sensing Buffern . . . . .	58
11	Homogenität ohne zweiten Sensing-Buffer . . . . .	59
12	Verzögerung eines einzelnen Delay-Elements mit und ohne Parasitics . . . .	68
13	Verzögerung eines optimierten Delay-Elements mit und ohne Parasitics . .	74
14	Standardabweichung, DNL und INL des erstellten Layouts . . . . .	77



## **Abkürzungsverzeichnis**

**ADC** Analog-Digital-Converter

**APS** Active-Pixel-Sensor

**DLL** Delay Locked Loop

**DL-TDC** Delay-Line basierten TDC

**DLL-TDC** Delay-Locked-Loop basierten TDC

**DNL** Differenzielle Nichtlinearität

**INL** Integrale Nichtlinearität

**LPI** Local Passive Interpolation

**LPI-TDC** Local-Passive-Interpolation TDC

**PET** Positive-Edge-Triggered

**TDC** Time-to-Digital Converter

**TOF** Time-of-Flight

# 1 Einleitung

Seit einigen Jahren ist der stetige technologische Trend zu beobachten, dass immer mehr technische Systeme mit lokaler Intelligenz und vielfältiger Sensorik ausgestattet werden. In Wissenschaft, Industrie und Alltag ermöglichen Sensoren zusätzlichen Komfort und Sicherheit durch die automatisierte Interaktion von Mensch und Maschine und die Überwachung von Umwelt- und Arbeitsbedingungen. Bewusst oder unbewusst kommt jeder Mensch täglich mit unterschiedlichen Sensortypen in Berührung. So sind zum Beispiel in Mobiltelefonen, in Automobilen oder anderen Alltagsgegenständen zahlreiche Sensoren verbaut, die für eine leichtere Bedienung und eine Erweiterung des Funktionsumfangs sorgen und Unfälle verhindern sollen.

Time-of-Flight Sensoren stellen dabei eine spezielle Kategorie von optischen Sensoren dar. Mithilfe von Lichtpulsen, welche oftmals von einer Laser-Lichtquelle generiert und von der Umgebung reflektiert werden, können hochpräzise Messungen durchgeführt werden. Die Anwendungsgebiete von Time-of-Flight Sensoren sind vielfältig und teilweise hochspezialisiert. Eine der wohl häufigsten Anwendungen sind Messungen, bei der die Laufzeit eines Lichtimpulses zur Berechnung des Abstands zwischen dem Sensor und einem Objekt genutzt wird.

Time-of-Flight Sensoren finden beispielsweise im Automobil oder in der Industrie häufig Anwendung und müssen daher auch bei schwierigen Umweltbedingungen zum Beispiel bei großen Temperaturschwankungen fehlerfrei funktionieren. Der Sensorbetrieb unter derartigen Bedingungen hat Messungenauigkeiten zur Folge, die durch zusätzliche Elektronik ausgeglichen werden müssen, um akkurate Ergebnisse zu erzielen. Aufgrund der hohen Ausbreitungsgeschwindigkeit der generierten Lichtpulse können bereits geringe Abweichungen in der Zeitmessung zu starken Messabweichungen führen.

Für die genaue Messung von Zeitintervallen werden in einigen Anwendungsbereichen schon seit Jahrzehnten Time-to-Digital Converter eingesetzt<sup>2</sup>. Vor allem für die Messung des zeitlichen Abstands zwischen zwei eingehenden Impulsen sind diese Schaltungen von großem Nutzen. Time-to-Digital Converter ermöglichen eine binäre Repräsentation des gemessenen Zeitintervalls, und ermöglichen so die digitale Weiterverarbeitung der gewonnenen Information.

---

<sup>2</sup>[2], S.5

## 1.1 Anwendung

Die Elmos Semiconductor AG in Dortmund entwickelt eine 3D-Kamera, die in Automobilanwendungen genutzt werden soll. Diese Kamera soll mithilfe des Time-of-Flight Prinzips präzise Abstandsbilder erzeugen und die Detektion von Objekten und deren Entfernung ermöglichen.

Die erzeugten Abstandsbilder können im Innen- und Außenraum eines Automobils für unterschiedliche Zwecke genutzt werden. Im Außenraum eines Fahrzeugs kann eine solche Kamera beispielsweise für die Erkennung von Hindernissen, die kontaktlose Bedienung eines Kofferraums oder für Fahr- und Parkassistenzsysteme eingesetzt werden. Im Innenraum ist eine Verwendung unter anderem im Rahmen der Gestensteuerung oder für Sicherheitssysteme denkbar.

Für einen Überblick auf die geplante Anwendung des zu optimierenden Time-to-Digital Converters, ist es zunächst sinnvoll, das Time-of-Flight Prinzip und die Funktionsweise der Kamera näher zu erläutern.

### 1.1.1 Time-of-Flight

Das Time-of-Flight Messprinzip basiert auf der Konstanz der Lichtgeschwindigkeit. Wie in Abbildung 1 dargestellt, erzeugt eine Lichtquelle einen Lichtimpuls, der von einem Objekt in einer Entfernung  $L$  reflektiert wird. Ein Empfänger, der sich im gleichen Abstand zum Objekt befindet, registriert den reflektierten Lichtpuls und berechnet die Strecke  $L$ . Die Messung des reflektierten Lichtimpulses und die Berechnung des Abstands kann mithilfe unterschiedlicher direkter und indirekter Verfahren erfolgen. Generell gilt für den gemessenen Abstand  $L$ :

$$L = \frac{1}{2} \cdot c \cdot \Delta T \quad (1)$$

Der Faktor  $c$  steht dabei für die Lichtgeschwindigkeit, die als konstant angenommen wird und  $\Delta T$  für die gemessene Laufzeit des Lichtpulses. Durch die Multiplikation mit dem Faktor  $\frac{1}{2}$  wird berücksichtigt, dass der reflektierte Lichtstrahl die doppelte Strecke  $L$  auf dem Weg vom Sender zum Objekt und wieder zurück zum Empfänger zurücklegt, der sich in örtlicher Nähe zum Sender befindet.

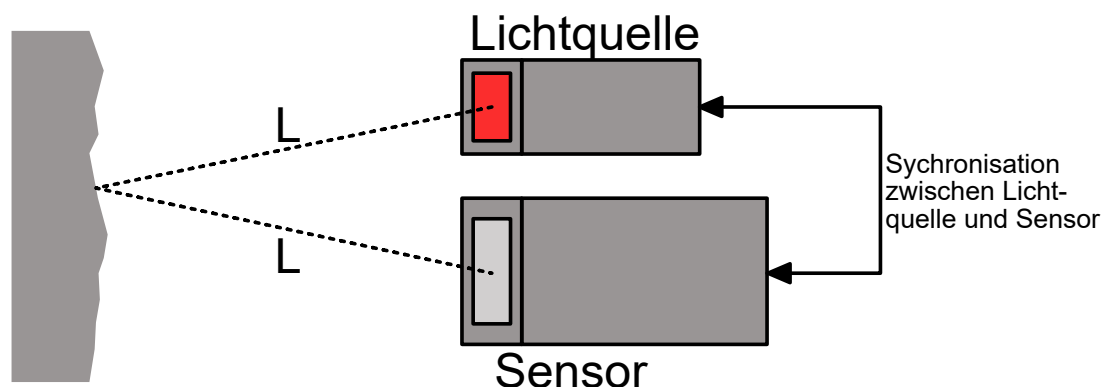


Abbildung 1: Time-of-Flight Funktionsprinzip

### 1.1.2 Funktionsprinzip der Kamera

Die Kamera nutzt zur Einhaltung der Augenschutzregularien eine LED für die Erzeugung der gesendeten Lichtpulse. Als Empfänger dient eine Matrix aus lichtempfindlichen Pixelelementen, die auf dem Active-Pixel-Sensor (APS) Funktionsprinzip beruhen. Abbildung 2 zeigt eine vereinfachte Darstellung eines solchen Pixelelements.

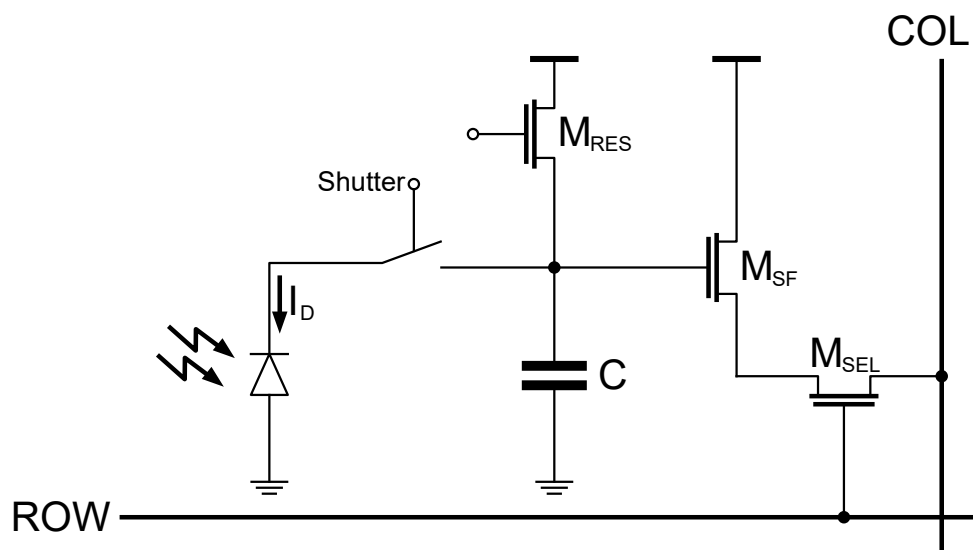
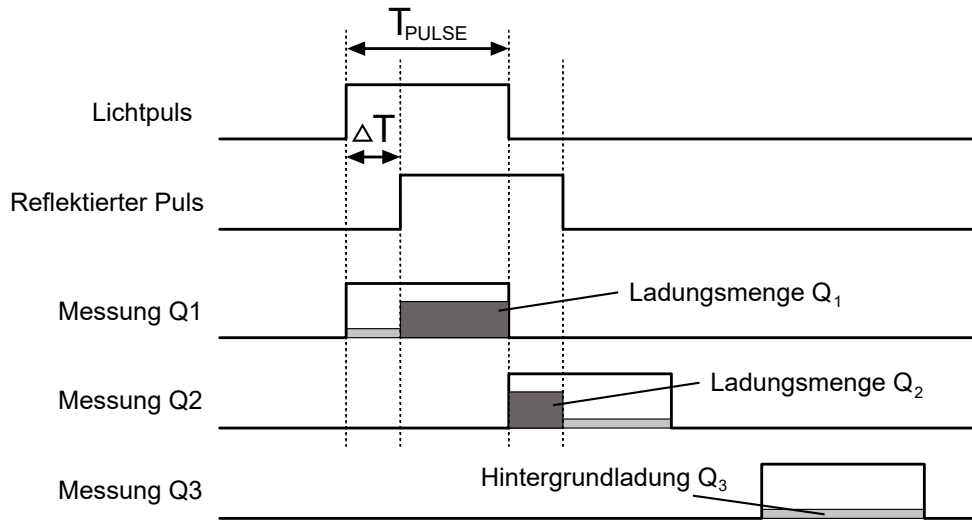


Abbildung 2: Vereinfachte Darstellung eines Active-Pixel-Sensors

Eine lichtempfindliche Photodiode wird über einen elektronischen Shutter mit einer Kapazität verbunden. Trifft das reflektierte Licht auf die Diode, hat dies bei geschlossenem Shutter einen Diodenstrom zur Folge, der die Kapazität entsprechend der Lichtintensität entlädt. Der Source-Folger  $M_{SF}$  ermöglicht die Auslesung der Pixelspannung ohne eine Entladung der Kapazität zu verursachen. Über den Transistor  $M_{SEL}$  kann das Pixelelement bei Auswahl der entsprechenden Zeile und Spalte ausgelesen werden. Um das Pi-

xelement zurückzusetzen, wird die Kapazität durch das Schließen des Transistors  $M_{RES}$  wieder auf eine definierte Ausgangsspannung aufgeladen. Um mithilfe dieser Pixelelemente eine Abstandsmessung durchzuführen, werden mehrere Messungen hintereinander durchgeführt.



**Abbildung 3:** Messverfahren der Time-of-Flight Kamera

Wie in Abbildung 3 dargestellt, wird zeitgleich mit dem ausgesandten Lichtpuls eine Messung  $Q_1$  gestartet, deren Dauer der Lichtpulslänge  $T_{PULSE}$  entspricht. Trifft während dieser Messung das reflektierte Licht auf den Sensor, wird die Kapazität um eine Ladungsmenge  $Q_1$  entladen. Im direkten Anschluss wird eine zweite Messung  $Q_2$  mit gleicher Dauer durchgeführt, bei der eine Ladungsmenge  $Q_2$  entladen wird. Je weiter das zu messende Objekt von Sender und Empfänger entfernt ist, desto größer wird der Anteil der Ladung, der während der zweiten Messung von der Kapazität des Pixels entfernt wird. Daraus ergibt sich folgender Zusammenhang zwischen der Laufzeit des gesendeten Lichtpulses und den Ladungsmengen  $Q_1$  und  $Q_2$ :

$$\frac{\Delta T}{T_{PULSE}} = \frac{Q_2}{Q_1 + Q_2} \quad (2)$$

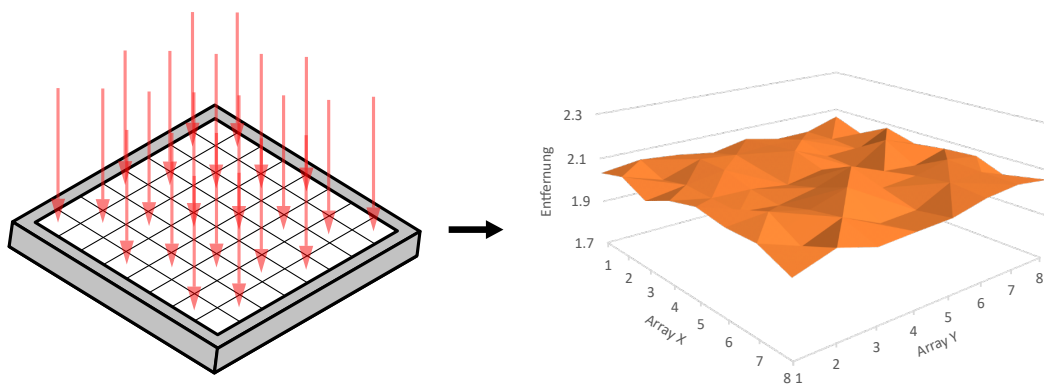
Da die Pixelelemente zusätzlich zu dem gesendeten Lichtpuls auch vom Umgebungslicht beeinflusst werden, muss die daraus resultierende Ladungsmenge durch eine weitere Messung  $Q_3$  ermittelt werden. Diese Messung muss zu einem Zeitpunkt erfolgen, an dem kein von der Lichtquelle gesendeter Lichtpuls eingeht. Die resultierende Ladungsmenge  $Q_3$  wird von jeder Teilladung abgezogen, um den Einfluss des Umgebungslichts auf die Abstandsmessung auszugleichen:

$$\frac{\Delta T}{T_{PULSE}} = \frac{Q_2 - Q_3}{Q_1 + Q_2 - 2Q_3} \quad (3)$$

Durch Umstellen und Einsetzen in Gleichung 1 kann der Abstand zum gemessenen Objekt berechnet werden:

$$L = \frac{1}{2} \cdot c \cdot T_{PULSE} \cdot \frac{Q_2 - Q_3}{Q_1 + Q_2 - 2Q_3} \quad (4)$$

Diese Abstandsmessung wird für jedes Pixelelement der Sensormatrix durchgeführt und die Ergebnisse ausgelesen. Dadurch ergibt sich ein dreidimensionales Abstandsbild, wie in Abbildung 4 dargestellt:



**Abbildung 4:** Abstandsbild aus Messungen der Pixelmatrix

### 1.1.3 Einordnung des Time-to-Digital Converters

Die Genauigkeit des beschriebenen Messverfahrens ist stark davon abhängig, ob der Lichtpuls und der Shutter zeitgleich ausgelöst werden. Sind diese Signale nicht synchronisiert, kommt es zu Messfehlern, die sich proportional zur vorhandenen Verzögerung auswirken. Da die Berechnung auf der Lichtgeschwindigkeit beruht, führen bereits Abweichungen im Nanosekundenbereich zu Messfehlern in der Größenordnung von fünfzehn Zentimetern.

Die Steuersignale für die LED-Lichtquelle und die elektronischen Shutter in den Pixelelementen werden, wie in Abbildung 5 dargestellt von einer einzelnen zentralen Steuereinheit erzeugt und sind bei Verlassen dieser Steuerlogik synchron. Beide Signale durchlaufen zunächst Treiber, die auf dem Chip integriert sind. Für die Lichtquelle werden weitere Treiber benötigt, die aufgrund ihrer Stromaufnahme von mehreren Ampere als externe

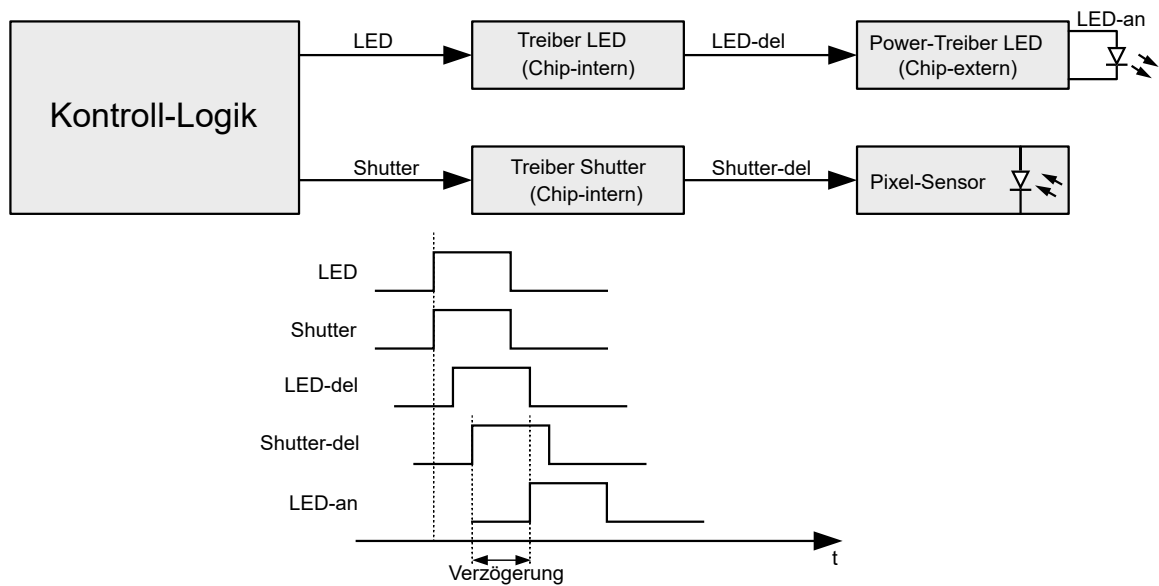


Abbildung 5: Erzeugung der LED- und Shutter-Signale

Bauelemente realisiert werden müssen. Sowohl die Treiberstufen auf dem Chip als auch die externen LED-Treiber erzeugen Verzögerungen, die zu einer Asynchronität der LED- und Shutter-Signale führen. Besonders die starke Temperaturabhängigkeit der resultierenden Verzögerungszeiten sind für die Distanzmessung von Nachteil, da sich mit wechselnder Temperatur das aufgenommene Distanzbild verschiebt. Neben der Treiberverzögerung ist zusätzlich eine Einschaltverzögerung der Lichtquelle vorhanden, die auch bei idealen, verzögerungsfreien Treibern einen Messfehler zur Folge hat.

Die Kamera verfügt bereits über die Möglichkeit, die Phasenlage der Steuersignale mit einer Auflösung von  $1\text{ns}$  zu definieren. Damit kann eine grobe Voreinstellung vorgenommen werden, die allerdings nur zu einer sehr begrenzten Messgenauigkeit führt. Um diese Verzögerungen auch während des Betriebs mit einer deutlich höheren Auflösung auf einen gewünschten Wert regeln zu können, wird ein Time-to-Digital Converter genutzt. Mithilfe des TDC werden die LED- und Shutter-Signale in regelmäßigen Abständen verglichen und deren zeitliche Verzögerung in ein digitales Signal umgewandelt, das mit einer zusätzlichen Kontrolllogik verarbeitet und für die Anpassung der Phasenlage der Signale genutzt werden kann. Damit können temperaturbedingte Veränderungen der Durchlaufzeit der Treiberstufen ausgeregelt und Messfehler deutlich reduziert werden.

## 1.2 Ziele

Das primäre Ziel dieser Masterarbeit ist die Optimierung des vorhandenen Time-to-Digital Converters. In der vorhergehenden Masterstudienarbeit<sup>3</sup> wurde der TDC bereits auf seine Stromaufnahme, seine Auflösung und auf die Homogenität der Verzögerungszeiten zwischen den einzelnen Interpolationsstufen untersucht. Es wurden vor allem bei der inverterbasierten Delay-Line einige Änderungen vorgenommen, die bei der Simulation in einer deutlichen Verbesserung dieser drei Eigenschaften resultierten.

Trotz der vorgenommenen Anpassungen, wurde bei einer simulierten Messung des TDC eine Diskrepanz von mehreren  $T_{LSB}$  zwischen dem real angelegten, zu messenden Zeitintervall und dem Messergebnis festgestellt. Eines der Ziele dieser Arbeit ist daher die Ermittlung der Ursache für diese Diskrepanz und die Anpassung des betreffenden Schaltungsteils um den vorhandenen Messfehler zu verkleinern.

Ein weiteres Ziel ist der Entwurf einer zeitlich variablen Verzögerungskette für den Gesamtregelkreis der Anwendung. Da bei dieser Verzögerungskette, im Gegensatz zur Delay-Line des TDC, die Anforderungen an die Genauigkeit der zeitlichen Verzögerung eines einzelnen Elements nur gering sind, wird bei dem Entwurf dieses Schaltungsteils vorrangig darauf geachtet, mit möglichst geringem Aufwand die benötigten Verzögerungszeiten zu erzielen.

Ein bisher nicht betrachteter Faktor ist der Einfluss des Layouts auf die Funktion des TDC. Um festzustellen, in welcher Form und Stärke sich die parasitären Kapazitäten und Widerstände des Layouts unter anderem auf die Homogenität der Verzögerungszeiten zwischen den einzelnen Interpolationsstufen und auf die Gesamtverzögerung der Delay-Line auswirken, wird ein bereits gefertigter Testchip genutzt, auf dem eine ähnliche Ausführung des TDC implementiert ist. Aus der Extraktion der parasitären Kapazitäten und Widerstände und dem Vergleich zwischen den extrahierten und idealen Schaltungsteilen sollen Schlüsse über das Verhalten des optimierten TDC nach Erstellung des Layouts gezogen werden. Sollte bei der Betrachtung der Layout-Effekte auffallen, dass sich das Verhalten des Delay Locked Loop (DLL) deutlich verändert, sind möglicherweise weitere Anpassungen bei der Delay-Line oder anderen Schaltungsteilen notwendig.

Bei der Erstellung des Layouts wird mit der Delay-Line begonnen. Um auch bei der angepassten Schaltung den Einfluss der parasitären Kapazitäten und Widerstände, vor allem auf die Homogenität der Verzögerungszeiten zu ermitteln, sollen nach Erstellung des

---

<sup>3</sup>[1]



Layouts die parasitären Einflüsse extrahiert und beurteilt werden. Sind in Folge weitere Änderungen notwendig, werden diese umgesetzt und die Betrachtungen erneut durchgeführt.

## 2 Theoretische Grundlagen

In diesem Kapitel werden die theoretischen Grundlagen dargelegt, die für das Verständnis der Schaltung, der erzielten Ergebnisse und ihrer Eignung für die Anwendung benötigt werden. Insbesondere wird dabei auf das Funktionsprinzip und die grundlegenden Eigenschaften von Time-to-Digital Convertern eingegangen, welche eine Bewertung der Leistungsfähigkeit erlauben. Da eine Vielzahl von unterschiedlichen analogen und digitalen TDC Ausführungen existiert, kann in dieser Arbeit nur eine Auswahl dieser verschiedenen Schaltungstypen beleuchtet werden. Um einen engen Bezug zur konkreten Anwendung zu wahren, beziehen sich die folgenden theoretischen Ausführungen größtenteils auf digitale TDC, wobei vor allem die Subkategorie der Local Passive Interpolation TDC den Schwerpunkt bildet.

### 2.1 Time-to-Digital Converter

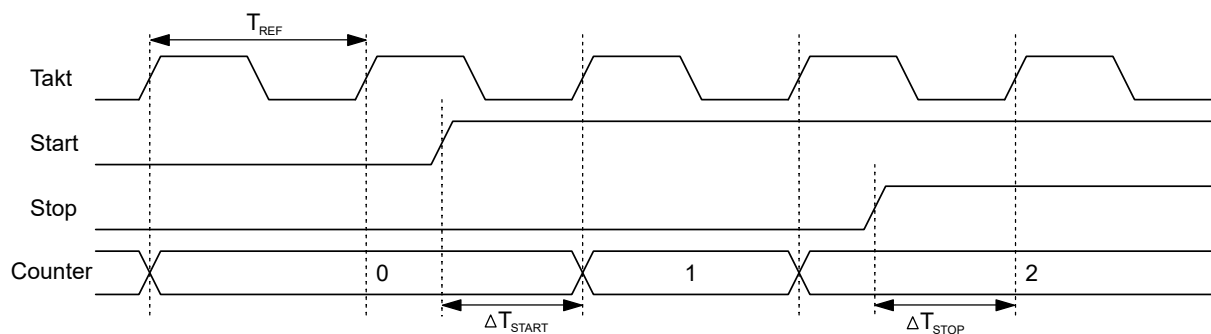
Time-to-Digital Converter (TDC) werden genutzt, um ein zu messendes Zeitintervall in eine diskrete bzw. digitale Repräsentation dieses Zeitraums umzuwandeln. Im Allgemeinen wird unterschieden zwischen analogen und digitalen TDC. Beim analogen TDC-Ansatz wird das Zeitintervall in eine analoge Spannung umgewandelt, welche anschließend mithilfe eines Analog-Digital-Converters (ADC) digitalisiert wird. Da TDCs in analoger Ausführung einige Beschränkungen sowohl in Hinsicht auf die Austauschbeziehung zwischen maximal messbarem Zeitintervall und dabei erzielbarer Auflösung, als auch in ihrer Anwendung im Rahmen von Mixed-Signal Systemen aufweisen<sup>4</sup>, kommen in hochintegrierten Schaltungen besonders digitale TDC zum Einsatz.

Digitale TDC nutzen zur Quantisierung des Zeitintervalls einen Referenztakt. Im einfachsten Anwendungsfall wird das Messergebnis berechnet, indem gezählt wird, wieviele Taktzyklen in das zu messende Zeitintervall fallen. Das Messintervall wird hierbei durch ein Start- und ein Stop-Signal begrenzt. Wie in Abbildung 6 dargestellt, entstehen bei dieser Art der Messung Quantisierungsfehler  $\Delta T_{START}$  und  $\Delta T_{STOP}$ , die aus der Asynchronität von Takt- und Zeitsignalen resultieren.

Für das gemessene Zeitintervall gilt:

---

<sup>4</sup>[2], S. 8-11



**Abbildung 6:** Quantisierung eines Zeitintervalls mithilfe eines zählerbasierten TDC

$$\Delta T = N \cdot T_{REF} + (T_{REF} - \Delta T_{STOP}) - (T_{REF} - \Delta T_{START}) \quad (5)$$

Wobei  $N$  die Anzahl der gemessenen Taktperioden und  $T_{REF}$  die Periodendauer angibt. Die Auflösung eines solchen TDC ist durch die Frequenz des Taktsignals limitiert. Da eine Erhöhung des Taktsignals ab einer bestimmten Grenze nicht ohne erheblichen Entwurfs- und Kostenaufwand realisierbar ist, wird auf alternative Methoden zur Erhöhung der Messgenauigkeit zurückgegriffen.

### 2.1.1 Delay-Line basierte TDC

Eine Möglichkeit zur Erhöhung der Auflösung eines TDC ist die Unterteilung einer Taktperiode in kleinere Zeitabschnitte. Um dies zu erreichen, kann eine Kette aus identischen Verzögerungselementen genutzt werden (*engl. delay-line*), die phasenverschobene Duplikate des Referenztaktes erzeugen. Abbildung 7 zeigt den prinzipiellen Aufbau eines Delay-Line basierten TDC (DL-TDC).

Das Taktsignal, welches in dieser Anwendung gleichzeitig das Start-Signal der Zeitmessung darstellt, wird durch die Delay-Elemente verzögert und nach jedem Element als Dateneingang für ein Latch oder Flipflop verwendet. Das Stop-Signal wird als Takteingang für alle Speicherelemente der Delay-Line genutzt. Bei Eintreffen des Stop-Signals wird folglich in allen Speicherelementen, an denen bereits das Start-Signal anliegt, ein logischer *HIGH*-Pegel gespeichert, während alle übrigen Elemente einen logischen *LOW*-Wert aufweisen. Hierdurch entsteht ein Thermometer-Code, dessen *HIGH* – *LOW* Übergang angibt, wie viele Delay-Elemente das Start-Signal passiert hat, bis das Stop-Signal eingetroffen ist<sup>5</sup>. Für das gemessene Zeitintervall gilt bei dieser Vorgehensweise:

<sup>5</sup>[2], S. 14

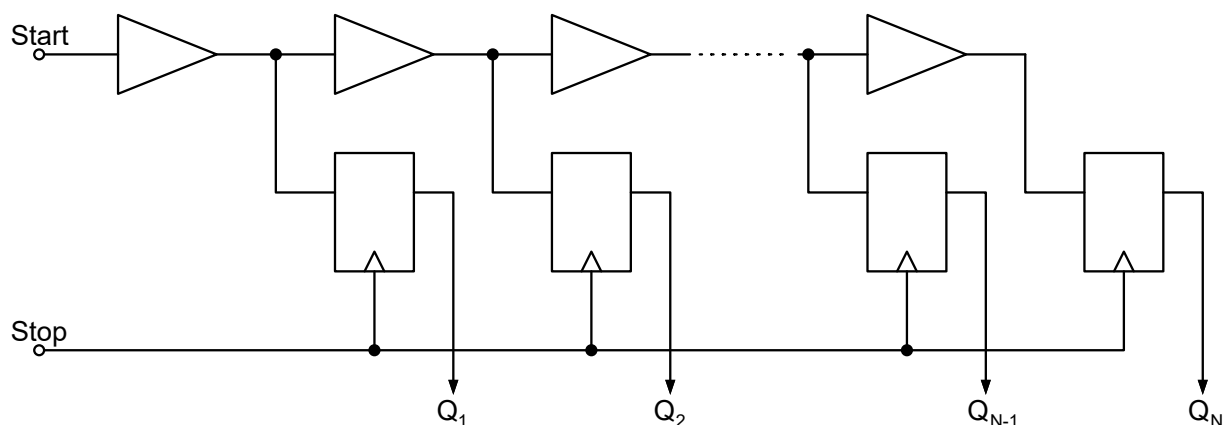


Abbildung 7: Aufbau eines Delay-Line basierten TDC

$$\Delta T = N \cdot T_{LSB} + \epsilon \quad (6)$$

wobei  $N$  für die Anzahl der Speicherelemente mit logischem *HIGH* Pegel steht,  $T_{LSB}$  die Verzögerungszeit eines einzelnen Delay-Elements und damit gleichzeitig die Auflösung angibt, und  $\epsilon$  den Quantisierungsfehler beschreibt, der dadurch entsteht, dass die Flipflops sich nur im *HIGH* oder *LOW* Zustand befinden können. Zwischenzustände können nicht erkannt werden.

Als Delay-Elemente können sowohl Bufferstufen, bestehend aus zwei CMOS Invertern, oder einfache Inverter genutzt werden. Die Nutzung von Invertern hat den Vorteil, dass die Auflösung des TDC erneut verdoppelt wird. Allerdings ist zu beachten, dass durch die invertierende Wirkung der Delay-Elemente sowohl die steigende als auch die fallende Flanke des Taktsignals zur Messung genutzt werden. Dies hat zum einen zur Folge, dass anstatt des Thermometer-Codes ein Pseudo-Thermometer-Code mit abwechselnden *HIGH* und *LOW* Zuständen entsteht. Das Ende des Zeitintervalls wird durch einen Phasenwechsel im Code deutlich, wie in Abbildung 8 gezeigt.

111111111111  $\lrcorner$  00000000 Buffer-basierter TDC  
 01010101010  $\lrcorner$  01010101 Inverter-basierter TDC

Abbildung 8: Ausgangs-Code bei Nutzung von Buffer- oder Inverter-Verzögerungselementen

Zum anderen wird durch die Nutzung beider Taktflanken eine Nichtlinearität in das System eingeführt, da die Verzögerung der Inverter für steigende und fallende Flanken unterschiedlich groß sein kann. Dieser Effekt wird durch Prozessvariationen und Tempera-

tureinflüsse verstärkt<sup>6</sup>.

### 2.1.2 Leistungsmerkmale von TDC

Das Zeitintervall, das als Eingangssignal für den TDC dient, wird in einen diskreten Ausgangswert umgewandelt. Dies hat die Eingangs-Ausgangscharakteristik, die in Abbildung 9 abgebildet ist, zur Folge.

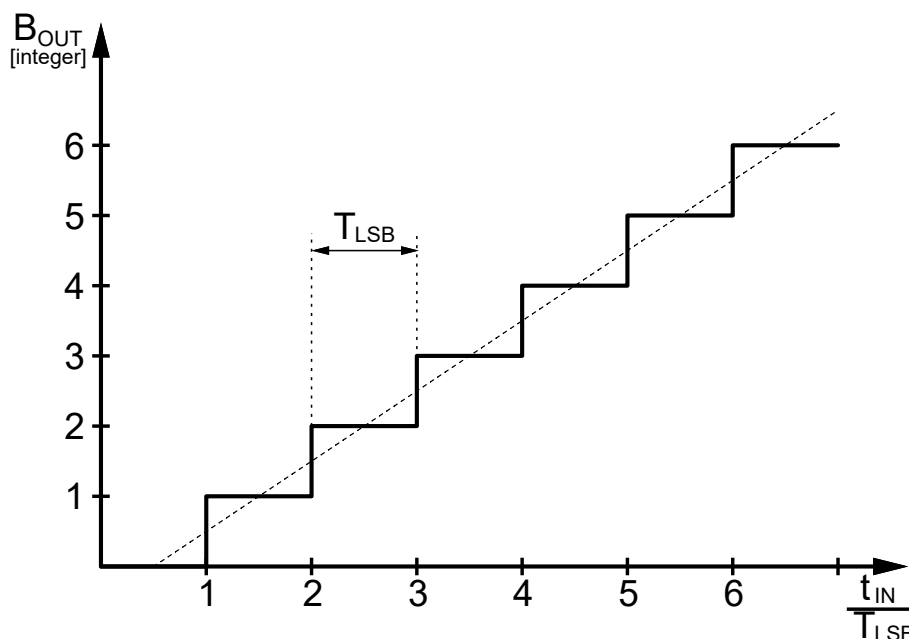


Abbildung 9: Übertragungsfunktion des idealen TDC

Da ein kontinuierlicher Wert in einen diskreten Wert umgewandelt wird, wird folglich eine Reihe von Zeitwerten in den gleichen diskreten Ausgangswert überführt. Wie in Abbildung 9 dargestellt führt dies zu einer stufenförmigen Übertragungsfunktion des TDC, wobei die Breite jeder dieser diskreten Stufen immer den Zeitraum von  $T_{LSB}$  besitzt, welcher der Auflösung des TDC entspricht. Dies setzt jedoch voraus, dass jede einzelne Verzögerungsstufe der genutzten Delay-Line exakt die selbe Verzögerungszeit aufweist. In diesem idealen Fall entspricht das Messergebnis bis auf den Quantisierungsfehler dem zugeführten Zeitintervall. In einer realen Anwendung können sich die Verzögerungszeiten der einzelnen Verzögerungsstufen allerdings voneinander unterscheiden, ohne dass dabei die Gesamtverzögerung der Delay-Line vom eingeregelteten Wert variiert. Auch wenn alle Delay-Elemente gleich ausgelegt sind, führen zufällige Abweichungen im Fertigungsprozess zu unterschiedlichen Verzögerungszeiten. Dieser Unterschied zwischen scheinbar

<sup>6</sup>[2], S. 16

identischen Bauelementen wird auch als Mismatch bezeichnet. Um das reale Verhalten des TDC zu charakterisieren, gibt es Kenngrößen, die die Qualität eines TDC und vorhandene Messabweichungen beschreiben.

### Differentielle Nichtlinearität

Die differentielle Nichtlinearität (DNL) eines TDC beschreibt die Abweichung der Schrittweite jedes Zeitschritts von dessen Idealwert  $T_{LSB}$ <sup>7</sup>. Zur Berechnung des zeitlichen Wertes der DNL an jeder Position der Delay-Line wird die ideale Schrittweite des TDC  $T_{LSB}$  von der realen Schrittweite an der Position  $i$  abgezogen:

$$\begin{aligned} t_{DNL,i} &= \text{Reale Schrittweite an Position } i - \text{Ideale Schrittweite} \\ &= T_{LSB,i} - T_{LSB} = t_{i+1} - t_i - T_{LSB} \end{aligned} \quad (7)$$

Häufig wird die differenzielle Nichtlinearität auf die ideale Schrittweite bezogen und in der Einheit LSB angegeben:

$$DNL_i = \frac{T_{LSB,i}}{T_{LSB}} - 1 \quad (8)$$

Für jedes Element der Delay-Line kann ein separater Wert für die DNL angegeben werden. Um die Güte der gesamten Delay-Line in Bezug auf die DNL zu quantifizieren, kann die Standardabweichung der DNL über die gesamte Länge der Delay-Line berechnet werden:

$$\sigma_{DNL} = \sqrt{\frac{\sum_{i=0}^N DNL_i^2}{N}} \quad (9)$$

Abbildung 10 zeigt die Auswirkung der DNL auf die Übertragungsfunktion eines realen TDC. Die Schrittweiten können sowohl breiter als auch schmaler als die ideale Schrittweite ausfallen. Die differentielle Nichtlinearität kann folglich auch negative Werte annehmen.

---

<sup>7</sup>[2], S. 24, 38

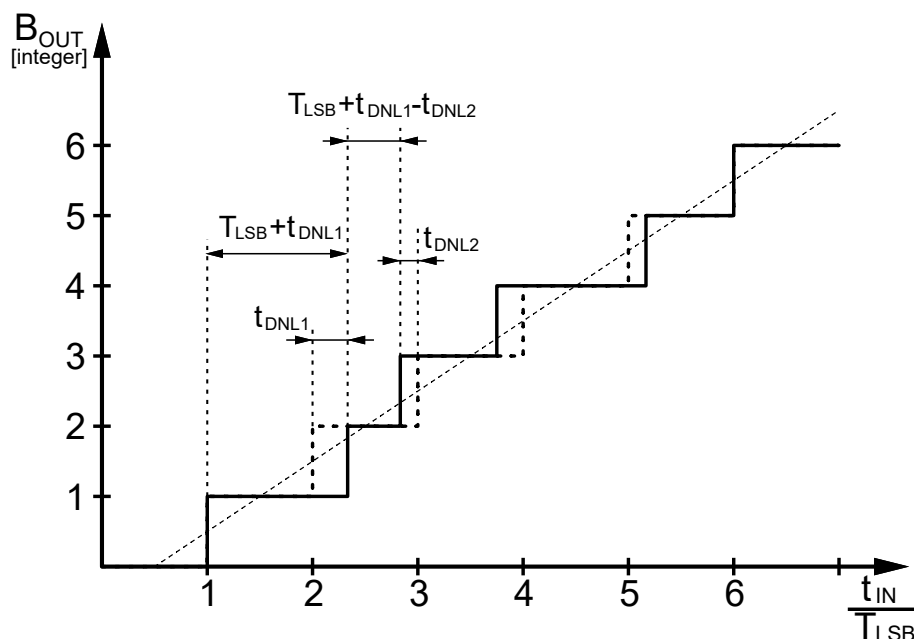


Abbildung 10: Auswirkung der DNL auf die Übertragungsfunktion des TDC

### Integrale Nichtlinearität

Die Integrale Nichtlinearität (INL) ist eine quantitative Beschreibung der Krümmung der TDC-Charakteristik<sup>8</sup>. Sie gibt an, wie stark die reale Schrittposition von der idealen Position abweicht. Der real gemessene Wert am Verzögerungselement  $i$  wird mit dem idealen Wert an derselben Position verglichen:

$$\begin{aligned} t_{INL,i} &= \text{Gemessener Zeitwert an Position } i - \text{Idealer Zeitwert an Position } i \\ &= t_i - i \cdot T_{LSB} \end{aligned} \quad (10)$$

Die INL wird üblicherweise ebenfalls bezogen auf ein  $T_{LSB}$  dargestellt:

$$INL_i = \frac{t_i}{T_{LSB}} - i \quad (11)$$

Bezogen auf die gesamte Delay-Line, kann die Standardabweichung der INL angegeben werden als:

<sup>8</sup>[2], S. 24

$$\sigma_{DNL} = \sqrt{\frac{\sum_{i=0}^N INL_i^2}{N}} \quad (12)$$

## 2.2 Delay-Locked-Loop basierte TDC

Delay-Line basierte TDC nutzen Verzögerungselemente, deren Verzögerung von Prozessvariationen, Temperatur und ihrer Versorgungsspannung abhängt<sup>9</sup>. Daher kann ohne eine Kalibration vor dem Messvorgang keine Angabe über den gemessenen Zeitwert gemacht werden. Es kann nur festgestellt werden, wie viele der Verzögerungselemente während der Messung durchlaufen wurden.

Um eine Kalibration vor der Messung zu umgehen und dennoch eine absolute Aussage über das gemessene Zeitintervall machen zu können, ist die Nutzung eines Delay-Locked-Loop basierten Time-to-Digital Converter (DLL-TDC) möglich. Abbildung 11 zeigt das Funktionsprinzip des DLL-TDC.

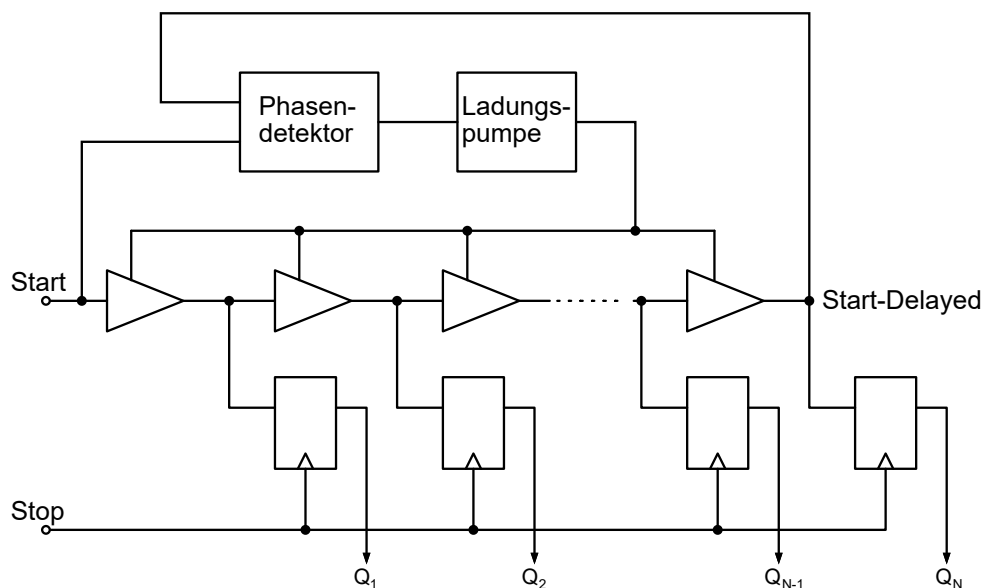


Abbildung 11: Funktionsprinzip des DLL-TDC

Eine Delay-Line, bestehend aus Inverter- oder Buffer-Elementen, wird durch die Einbindung in einen Regelkreis auf eine feste Gesamtverzögerung geregelt. Der Referenztakt, der als Eingangssignal der Delay-Line und gleichzeitig als Start-Signal fungiert, wird am Anfang und Ende der Delay-Line abgegriffen. Die beiden zueinander verzögerten Signale werden mithilfe eines Phasendetektors auf ihre Phasenlage verglichen. Ziel ist es, die

<sup>9</sup>[2], S. 53



Gesamtverzögerung der Delay-Line auf eine Taktperiode des Eingangstakts einzuregeln. Trifft die steigende Taktflanke des verzögerten Signals zuerst beim Phasendetektor ein, ist die Verzögerung zu kurz. Eilt die steigende Flanke des Eingangstakts dem verzögerten Signal vor, ist die Verzögerung der Delay-Line zu lang.

Eine Ladungspumpe (*engl. charge pump*) verarbeitet die entsprechenden Ausgangssignale des Phasendetektors und erzeugt eine Spannung, mit der die Verzögerungselemente versorgt werden. Eine niedrigere Versorgungsspannung führt zu einer höheren Gesamtverzögerung, eine höhere Versorgungsspannung zu einer niedrigeren Verzögerungszeit.

Ist die Delay-Line auf die gewünschte Verzögerungszeit eingeregelt, kann der aus einer Messung resultierende Thermometer-Code<sup>10</sup> in ein Zeitintervall umgerechnet werden, indem die Anzahl der *HIGH* geschalteten Flipflops mit der zeitlichen Verzögerung eines einzelnen Elements multipliziert wird.

Zu beachten ist bei dieser Anwendung, dass die Ladungspumpe bei Implementationen mit langen Messintervallen und kleinen Auflösungen eine Vielzahl an Verzögerungselementen treiben muss. Für einen stabileren Betrieb des DLL-TDC wird ein Spannungsregler zwischen Ladungspumpe und Delay-Line geschaltet, der in der Lage ist, die Verzögerungselemente mit dem benötigten Strom zu versorgen, ohne dass Schwankungen in der Versorgungsspannung auftreten.

### 2.3 TDC mit Sub-Gate-Delay

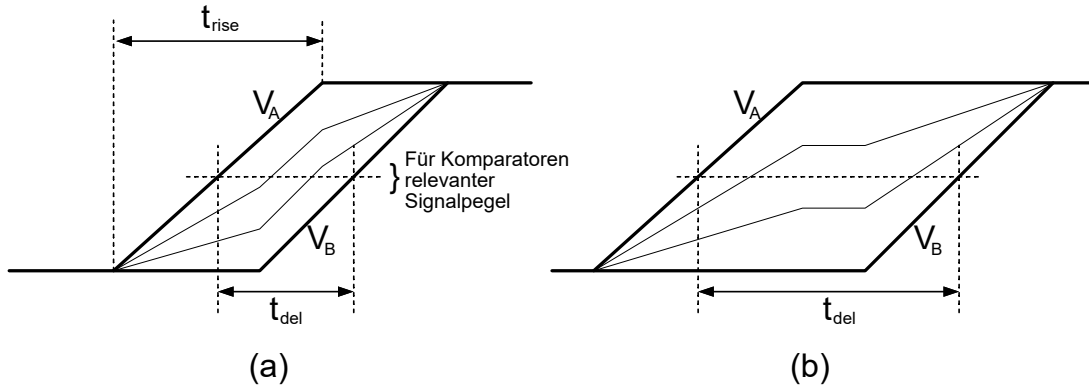
Die bisher betrachteten TDC sind in ihrer Auflösung limitiert auf die Verzögerungszeit eines einzelnen Delay-Elements. Um die Auflösung weiter zu erhöhen, kann bei diesen TDC nur auf die Verwendung einer schnelleren CMOS Technologie zurückgegriffen werden. Um diese Technologie-Abhängigkeit zu umgehen, gibt es unterschiedliche Techniken, die eine Auflösung unterhalb des Gate-Delays eines einzelnen Inverters zulassen. Beispiele für diese Arten von TDC sind Anwendungen mit parallel geschalteten Delay-Elementen, Vernier-TDC oder Pulse Shrinking TDC. Diese TDC-Ausführungen werden an dieser Stelle nur beispielhaft genannt. Genauer betrachtet wird jedoch der Local Passive Interpolation TDC, da die vorhandene Anwendung auf diesem Funktionsprinzip beruht.

Der LPI-TDC nutzt eine Delay-Line mit Inverter-Verzögerungselementen, zwischen deren Ein- und Ausgängen Interpolationselemente eingefügt werden. Als Verzögerungselemente

---

<sup>10</sup>Siehe Abschnitt 2.1.1

bieten sich differenzielle Inverter an, da diese in der Lage sind logisch äquivalente Signale mit einer Verzögerung eines einzelnen Inverters zu erzeugen. Diese Eigenschaft ist für die Funktion der Interpolation wichtig. In Abbildung 12 (a) ist das Prinzip der Local-Passive-Interpolation dargestellt.



**Abbildung 12:** Funktionsprinzip der LPI (a) und LPI mit zu starker Verzögerung (b)

Die beiden fett gezeichneten äußeren Linien stellen das in ein Delay-Element eingehende Taktsignal  $V_A$  und dessen Ausgangssignal  $V_B$  dar, die um die Verzögerungszeit des Elements  $t_{del}$  verschoben sind. Die dünner gezeichneten Linien zeigen die aus den Interpolationselementen resultierenden Signale  $V_{int,i}$ , die berechnet werden können zu:

$$V_{int,i} = V_B + a_i(V_A - V_B) \quad (13)$$

Der Faktor  $a_i$  steht für den Interpolationskoeffizienten, der von der Anzahl der Interpolationselemente abhängt. Beispielsweise ergibt sich mit zwei Interpolationselementen ein  $a_i$  von  $\frac{1}{2}$ , mit drei Elementen die Faktoren  $a_i = \{\frac{1}{3}, \frac{2}{3}\}$ . Generell gilt für den Interpolationskoeffizienten:

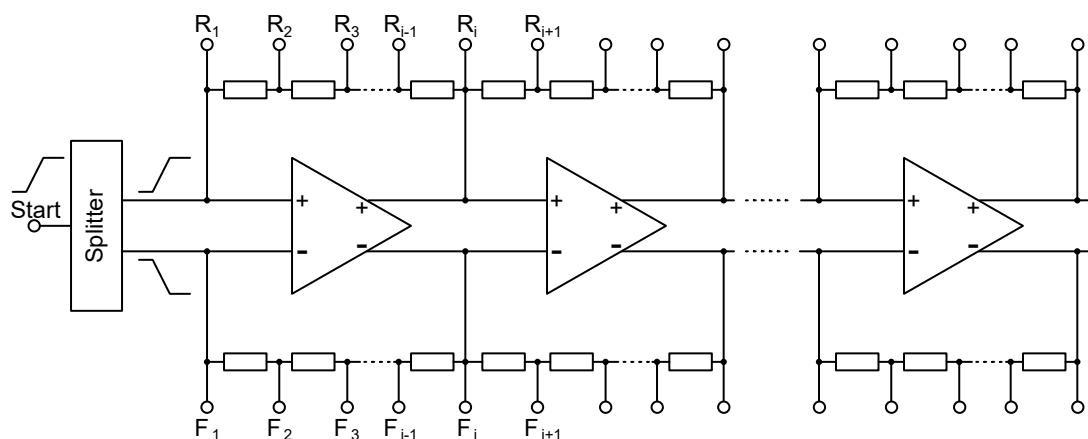
$$a_i = \frac{i}{IF} \quad (14)$$

$$i = 1 \dots (IF - 1)$$

$IF$  steht für den Interpolationsfaktor, der die Anzahl der Interpolationselemente angibt. Aus Gleichung 13 und aus Abbildung 12 (b) wird deutlich, warum die Verzögerung zwischen den Signalen  $V_A$  und  $V_B$  und die Anstiegszeit  $t_{rise}$  dieser Signale ausschlaggebend für die Funktion des LPI-TDC sind. Ist die Verzögerung zwischen den Signalen zu groß bzw. ist die Anstiegszeit zu schnell, ergibt sich ein deutlich abweichender Verlauf der

interpolierten Spannungen.

Wichtig für die Messung sind die Abstände der Signale bei 50% ihrer Amplituden, da die interpolierten Signale bei Eintreffen des Stop-Signals mithilfe von Komparatoren abgeglichen werden, deren Schwelle sich in diesem Bereich befindet. Anhand der Abbildung 13, die den prinzipiellen Aufbau eines LPI-TDC zeigt, kann der Ablauf der Messung nachvollzogen werden.



**Abbildung 13:** Aufbau des LPI-TDC

Wie in den bisher betrachteten Anwendungen wird ein Taktsignal gleichzeitig als Start-Signal für die Zeitmessung genutzt. Dieses Start-Signal wird mithilfe eines Splitters, beispielsweise eines einfachen Inverters, in zwei entgegengesetzt verlaufende Signale verzweigt. Die differentiellen Inverter der Delay-Line werden so verschaltet, dass die Interpolationselemente sich jeweils zwischen zwei Signalen gleicher Polarität befinden. Zu Beginn der Messung befinden sich die Zwischenstufen  $R_i$  im *LOW* Zustand, die Interpolationsstufen  $F_i$  im Zustand *HIGH*. Bei Durchlaufen des Start-Signals durch die Delay-Line werden die Zustände der Interpolationsstufen  $R_i$  und  $F_i$  umgekehrt. Bei Eintreffen des Stop-Signals kann mithilfe von Komparatoren festgestellt werden, wie weit diese Umkehrung die Delay-Line passiert hat. Daraus kann das vergangene Zeitintervall berechnet werden.

Als Interpolationselemente können ohmsche Widerstände genutzt werden. Die Anzahl der Elemente und die Verzögerung des differentiellen Inverters bestimmen die Auflösung des LPI-TDC. Ein Vorteil dieser Konfiguration ist, dass die Auflösung des TDC erhöht werden kann, ohne die Länge der Delay-Line zu verändern. Die Anzahl und Größe der Interpolationselemente ist allerdings limitiert.

## 2.4 Parasitäre Einflüsse des Layouts

Bei der physischen Implementierung einer Schaltung müssen parasitäre Effekte des Layouts in die Betrachtung einbezogen werden, um das reale Verhalten nach der Fertigung beurteilen zu können. Sowohl das Halbleitermaterial, in dem die Transistoren gefertigt werden, als auch die Metallschichten bringen potenziell parasitäre Widerstände, Kapazitäten, Dioden oder Transistoren in das Design ein, welche die Funktion der Schaltung beeinträchtigen können. Einige dieser parasitären Layout-Effekte sollen in diesem Kapitel betrachtet werden.

### 2.4.1 Substrateffekte

In dem Substrat eines Halbleiter-Chips befindet sich eine Vielzahl von n- und p-dotierten Regionen, in denen die Transistoren gefertigt werden. Diese dotierten Regionen besitzen einerseits einen ohmschen Widerstand und zum anderen formen sie parasitäre Dioden und Bipolartransistoren, die bei Entwurf des Layouts berücksichtigt werden müssen.

#### Änderung des Substratpotenzials

In einem Prozess mit p-dotiertem Substrat wird das Potenzial dieses Substrats typischerweise als Bezugspotenzial oder auch Masse verwendet. Dieses Potenzial ist im Idealfall konstant und behält seinen Wert auch bei Betrieb der auf dem Chip gefertigten Schaltung bei. Der endliche ohmsche Widerstand des Substratmaterials hat allerdings zur Folge, dass auftretende Substratströme zur lokalen Erhöhung des Substratpotenzials mit einem Wert von

$$\Delta V = R_{Sub} \cdot I_{Sub} \quad (15)$$

führen. Substratströme sind in jedem Fall unerwünscht, daher ist bei Erstellung des Layouts sicherzustellen, dass auftretende Substratströme auf dem kürzesten Weg das Substrat wieder verlassen. Um die lokale Potenzialveränderung im Substrat möglichst gering zu halten, werden oft stark dotierte Substrate, d.h. Substrate mit geringem Widerstand, mit einer gering dotierten Schicht an der Oberfläche genutzt<sup>11</sup>. Die leicht dotierte Oberfläche ist in diesem Fall notwendig, um eine Umdotierung des Materials zur Fertigung

---

<sup>11</sup>[3], S. 258

der Transistoren weiterhin zu ermöglichen. Abbildung 14 zeigt eine Substratstromquelle, in diesem Fall ein parasitärer PNP-Bipolartransistor (rot), die aus dem Layout eines NPN-Bipolartransistors resultiert.

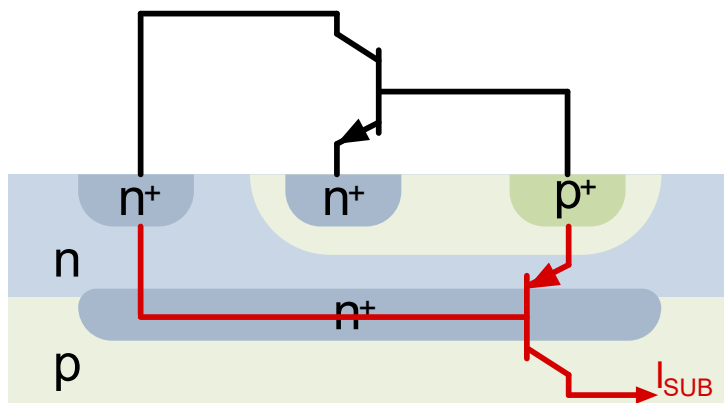


Abbildung 14: Parasitäre Substratstromquelle

Da Substratströme nicht in jedem Fall verhindert werden können, ist es notwendig, so nah wie möglich an der parasitären Stromquelle einen Substratkontakt zu platzieren, über den der Strom aus dem Substrat abfließen kann. Häufig werden dafür sogenannte „Guard-Rings“ genutzt. Der betreffende Schaltungsteil wird komplett mit einem Substratkontakt umgeben, um einen Substratstromfluss in angrenzende Schaltungsteile zu verhindern.

### Latchup

Als Latchup bezeichnet man die Entstehung eines parasitären Thyristors, bestehend aus zwei parasitären Bipolartransistoren, der einen unerwünschten niederohmigen Pfad zwischen zwei MOS-Transistoren erzeugt. Eine typische Schaltung, bei der dieser Effekt auftreten kann, ist ein Inverter, bei dem ein NMOS und ein PMOS Transistor direkt nebeneinander gefertigt werden. Abbildung 15 zeigt das vereinfachte Layout eines CMOS-Inverters, mit den parasitären Bipolartransistoren, die aus den NPN- und PNP-Übergängen aus Source/Drain Anschluss, Wanne und Substrat resultieren.

Der Latchup-Effekt wird ausgelöst, wenn einer der beiden Bipolartransistoren in einen leitenden Zustand versetzt wird. Durch positives Feedback im Thyristor wird der Stromfluss durch die beiden parasitären Transistoren solange aufrecht erhalten, bis die Versorgungsspannung entfernt wird. Ursache für das Latchup sind häufig Spannungsspitzen bei Masse oder Versorgungsspannung. Aber auch Eingangssignale mit steilen Flanken können über die Gate-Drain Kapazitäten der Transistoren für Änderungen der Ausgangsspannung führen, die in Folge einen Stromfluss über den parasitären Thyristor erzeugen. Um Latchup

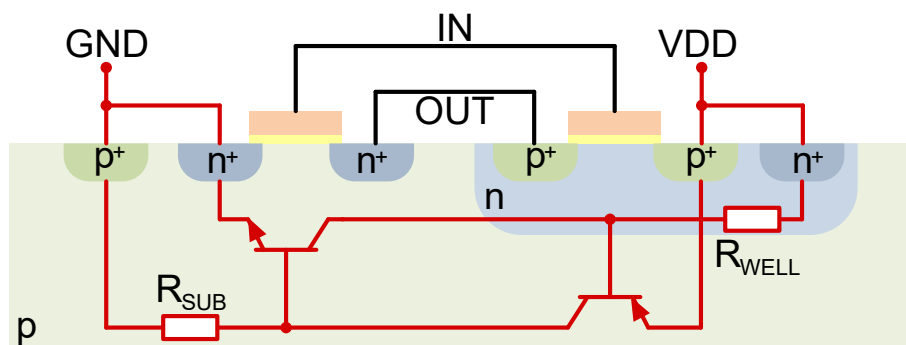


Abbildung 15: Parasitärer Thyristor bei einem CMOS-Inverter

zu verhindern sollten die Widerstände  $R_{WELL}$  und  $R_{SUB}$  so gering wie möglich gehalten werden. Dies ist vor allem durch eine ausreichende und nah an den MOS-Transistoren gelegene Kontaktierung von Substrat und Wanne möglich.

#### 2.4.2 Oberflächeneffekte

Die zahlreichen unterschiedlich dotierten Flächen auf einem Chip können neben den bisher betrachteten parasitären Bipolartransistoren auch parasitäre MOS-Transistoren zur Folge haben. In Abbildung 16 ist ein solcher Feld-Oxid (FOX) Transistor dargestellt.

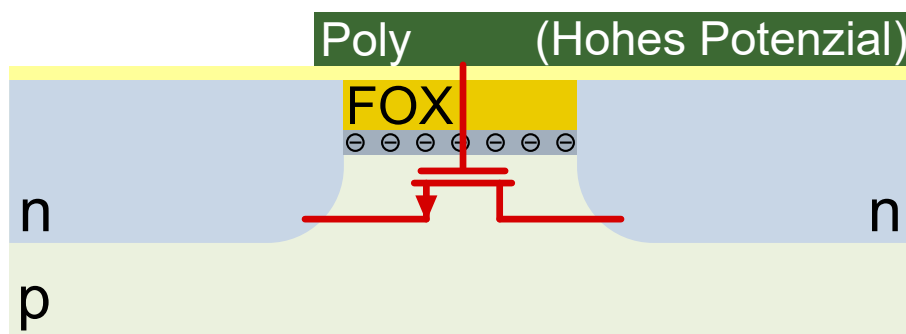


Abbildung 16: Parasitärer NMOS-Transistor durch Oberflächeneffekte

Zwei nebeneinander liegende N-Wannen formen die Source- und Drain-Anschlüsse des Transistors. Verläuft ein Leiter mit hohem Potenzial über dem zwischen den Wannen liegenden Oxid, kann sich ein parasitärer Kanal bilden und ein unerwünschter Strom zwischen den beiden N-Wannen fließen, insofern diese unterschiedliche Potenziale aufweisen.

Diese parasitären Einflüsse spielen vor allem bei Chips mit hohen Betriebsspannungen eine Rolle. In Anwendungen mit niedrigen Betriebsspannungen reichen die Potenzialunterschiede oft nicht aus um durch Inversion einen parasitären Kanal zwischen den zwei

Regionen zu formen<sup>12</sup>. Um diesem Effekt vorzubeugen, werden bei vielen modernen Fertigungsprozessen sogenannte „channel-stop implants“ eingefügt, welche die effektive Schwellenspannung von FOX Transistoren deutlich erhöhen.

### 2.4.3 Einfluss der Metallschichten

Die Metalllagen in einem CMOS-Prozess werden genutzt, um die im Substrat gefertigten Schaltungsteile miteinander zu verbinden. Diese Metallverbindungen bringen, ähnlich wie Kabelverbindungen in Schaltungen aus diskreten Bauelementen, ohmsche, kapazitive und induktive Komponenten in das Design ein. Während die induktiven Anteile bei Signalfrequenzen unterhalb von einigen Gigahertz eine untergeordnete Rolle spielen<sup>13</sup>, können sich die parasitären ohmschen Widerstände und Kapazitäten deutlich auf die Funktion des Chips auswirken.

#### Leitungsverluste und Signalverzerrung

Der ohmsche Widerstand einer metallischen Leiterbahn kann mithilfe des Schichtwiderstands (engl. *sheet resistance*)  $R_{Sh}$  berechnet werden. Der Widerstand eines homogenen Leitermaterials wird über die Formel

$$R = \rho \cdot \frac{l}{A} \quad (16)$$

bestimmt. Der Faktor  $\rho$  beschreibt dabei den spezifischen elektrischen Widerstand des Materials,  $l$  die Länge der Leiterbahn, die vom Strom durchflossen wird und  $A$  die zugehörige Querschnittsfläche, wie in Abbildung 17 dargestellt.

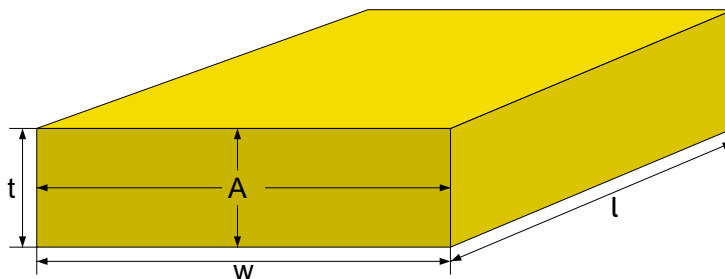


Abbildung 17: Dimensionen der Metallbahnen

<sup>12</sup>[3], S. 268

<sup>13</sup>[3], S. 272

Da die Metallbahnen in Halbleiterprozessen größtenteils flache, annähernd rechteckige Strukturen aufweisen, kann die Querschnittsfläche durch die Multiplikation der Tiefe  $t$  und Breite  $w$  der Metallbahnen errechnet werden. Damit ergibt sich für den Widerstand

$$R = \rho \cdot \frac{l}{t \cdot w} \quad (17)$$

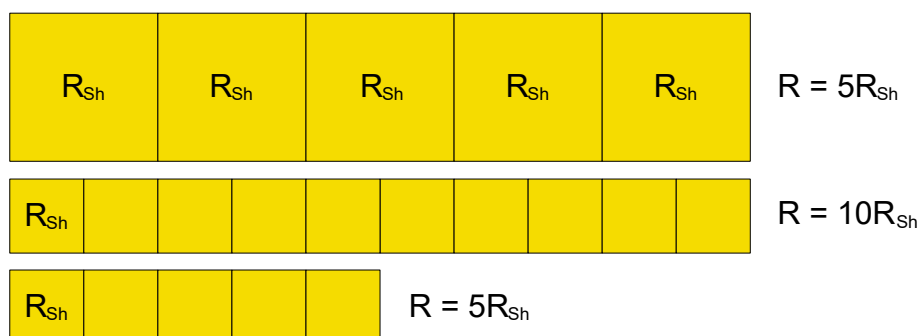
Die Tiefe der Metalllagen ist durch den gewählten Prozess vorgegeben und über das gesamte Layout konstant. Daher wird der Schichtwiderstand  $R_{Sh}$  genutzt um die Widerstandsberechnung zu vereinfachen:

$$R_{Sh} = \frac{\rho}{t} \quad (18)$$

Damit gilt für den Gesamtwiderstand  $R$ :

$$R = R_{Sh} \cdot \frac{l}{w} \quad (19)$$

Setzt man die Breite und Länge gleich, erhält man den Widerstandswert für einen quadratischen Ausschnitt der betrachteten Leiterbahn. Die Größe dieses Quadrats spielt bei der Berechnung des Widerstands keine Rolle, da der Widerstandswert auch bei Skalierung konstant bleibt. Diese Eigenschaft ist nützlich für die Abschätzung des Widerstands einer Metallbahn, da anstatt einer Berechnung des Gesamtwiderstands einfach die Zahl der Quadrate gezählt werden kann. Abbildung 18 zeigt eine schematische Darstellung dieses Funktionsprinzips.



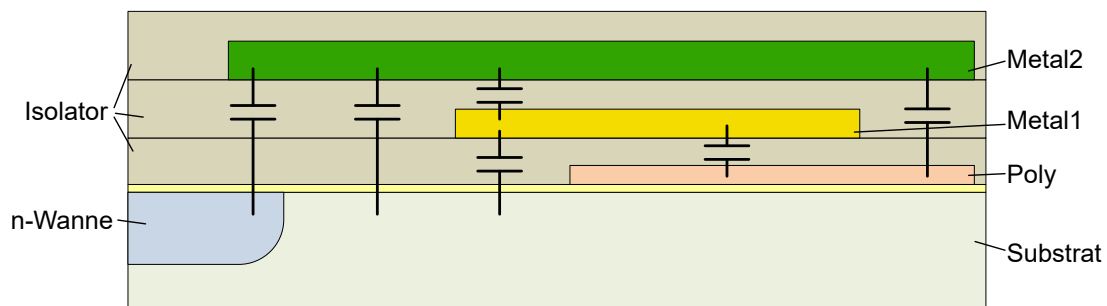
**Abbildung 18:** Schichtwiderstand in Metallbahnen

Der Strom, der durch die Metallbahnen fließt, hat zum einen thermische Verluste der Höhe  $I^2 \cdot R$  zur Folge, zum anderen bewirkt er einen Spannungsabfall über den Widerstand des



Leiters in Höhe von  $I \cdot R$ . Folglich unterscheidet sich das Potenzial am Anfang des Leiters vom Potenzial am Leiterende. Um hohe Spannungsabfälle zu vermeiden, kann die Breite der Leiterbahnen und damit der Gesamtwiderstand verringert werden. Zusätzlich sollte die Platzierung auf dem Chip so gewählt werden, dass die Leiterlänge bei hohen Strömen möglichst gering ist.

Die dünnen Schichten und damit kleinen Abstände zwischen den unterschiedlichen Schichten eines Halbleiterprozesses haben teilweise signifikante Kapazitäten zwischen Metall- und Substratschicht oder zwischen unterschiedlichen Metallschichten zur Folge. Abbildung 19 zeigt eine schematische Darstellung verschiedener parasitärer Kapazitäten zwischen übereinander verlaufenden Schichten.



**Abbildung 19:** Parasitäre Kapazitäten zwischen den Schichten eines Layouts

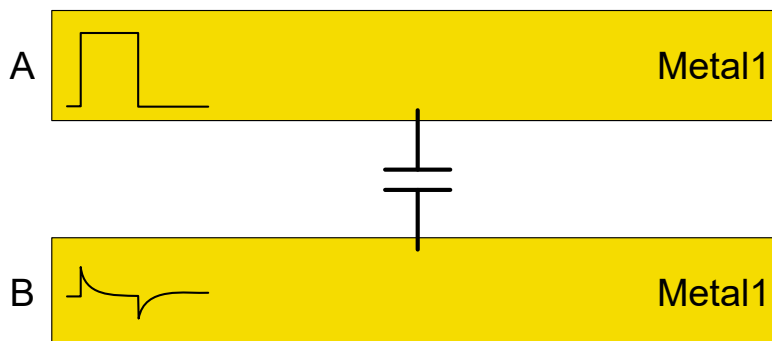
Die Widerstände und Kapazitäten, die mit den Leiterbahnen einhergehen, haben eine RC-Verzögerung zur Folge, die beim Entwurf des Layouts beachtet werden muss, da diese Verzögerung zu signifikanten Verzerrung des gewünschten Signals führen kann. Eine Verkürzung von Leiterbahnen reduziert auch die Widerstands- und Kapazitätskomponenten. Die Nutzung breiterer Metallschichten hat bei Widerstand und Kapazität einen gegenläufigen Effekt. Der parasitäre Widerstand des Leiters wird reduziert, die Kapazität durch die Vergrößerung der Oberfläche erhöht. In den meisten Fällen ist die Verringerung des Widerstands der dominante Faktor für die resultierende RC-Verzögerung, daher führen breitere Leiterbahnen zu einem geringeren Einfluss auf das Signal, das auf dem Leiter geführt wird.

Die Kapazitätswerte zwischen den unterschiedlichen Schichten sind vom genutzten Prozess abhängig und werden durch geeignete Teststrukturen ermittelt.

### Crosstalk

Neben den parasitären Kapazitäten zwischen Leiterbahnen und der Substratschicht befinden sich auch zwischen Leiterbahnen auf der gleichen Metallebene Kapazitäten. In

Abbildung 20 sind die Kapazitäten zwischen zwei nebeneinander verlaufenden Metall-Leiterbahnen dargestellt.



**Abbildung 20:** Crosstalk zwischen Metallbahnen

Durch ein auf Leiter A verlaufendes Spannungssignal wird ein Strom  $I_{Cross}$  mit der Größe

$$I_{Cross} = C_{Cross} \cdot \frac{dV_A}{dt} \quad (20)$$

auf den Leiter B gekoppelt und das auf Leiter B anliegende Potenzial dementsprechend beeinflusst. Die parasitäre Kapazität kann durch eine Vergrößerung des Abstands zwischen den Leiterbahnen verringert werden. Mit der starken Skalierung der Halbleitertechnologie und dementsprechend immer kleiner werdenden Abständen gewinnen diese parasitären Einflüsse jedoch zunehmend an Bedeutung. Vor allem bei der Kombination aus digitalen Schaltungen, die typischerweise mit hoher Flankensteilheit betrieben werden, und analogen Schaltungen, die empfindlich auf kleine Potenzialänderungen reagieren, ist es sinnvoll, die unterschiedlichen Schaltungsteile voneinander zu isolieren.

## 2.5 Matching

Die zahlreichen Fertigungsschritte eines CMOS-Prozesses sind unvermeidlich mit Fertigungstoleranzen verbunden, welche die elektrischen Parameter der auf einem Chip genutzten Bauelemente beeinflussen. Auch wenn diese Toleranzen sehr kleine Werte annehmen, ergeben sich aus der Summe der Toleranzen aller Fertigungsschritte deutliche Abweichungen zwischen scheinbar identischen Bauelementen. Werden Bauelemente auf dem gleichen Chip gefertigt, sind sie ähnlichen Einflüssen bei der Fertigung ausgesetzt und weisen daher deutlich geringere Unterschiede als Bauelemente auf, die auf unterschiedlichen Chips, unterschiedlichen Wafern oder in verschiedenen Produktionszyklen gefertigt werden. Im

besten Fall sind die Unterschiede mehrerer gleich ausgelegter Bauelemente so gering, dass sie sich nicht merklich auf die Funktion einer Schaltung auswirken. Das Verringern bzw. das Verhindern dieser Unterschiede durch geeignete Schritte im Layout-Prozess wird Matching genannt.

Die Funktion einiger sehr häufig genutzter Schaltungen beruht auf der Symmetrie der genutzten Bauelemente. Daher ist gutes Matching bei diesen Schaltungen unbedingt erforderlich. Dazu zählen unter anderem Stromspiegel, differenzielle Eingangsstufen von Operationsverstärkern, Spannungsreferenzen oder auch resistive Spannungsteiler. Die relative Abweichung der elektrischen Parameter kann durch bestimmte Layout-Techniken deutlich verbessert werden. Einige davon sollen in den folgenden Abschnitten vorgestellt werden.

### 2.5.1 Einheitselemente

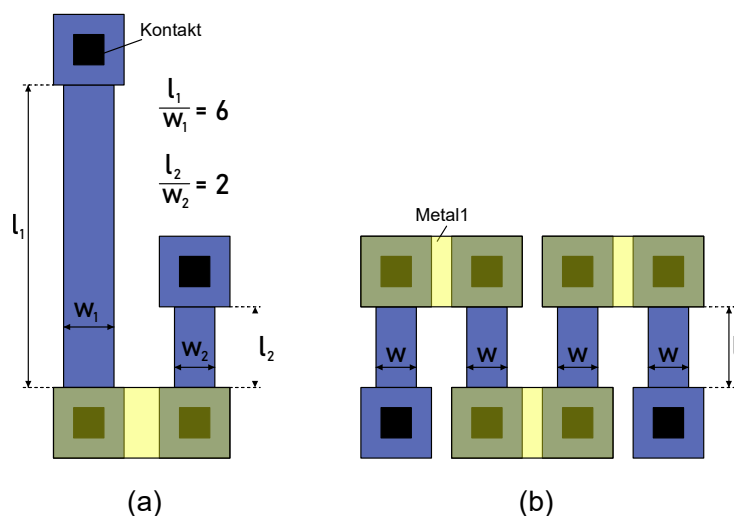
Die elektrischen Parameter von Bauelementen in CMOS-Prozessen sind proportional zur Größe der Strukturen im Layout. Diese Parameter können folglich durch eine Skalierung im Layout verändert werden. Bei der Fertigung dieser Bauelemente werden allerdings Randeffekte (engl. *fringe effects*) erzeugt, die ihre Größe bei Skalierung der Bauelemente nicht verändern und sich auf die Parameter von Bauelementen auswirken<sup>14</sup>. Die Tatsache, dass diese Effekte sich nicht proportional zur Skalierung der Bauelemente verändern, hat zur Folge, dass die Auswirkungen der Randeffekte bei kleinen Bauelementen deutlich stärker sind als bei räumlich großen Bauelementen.

Um dieses Mismatch zwischen Bauelementen zu vermeiden, bietet es sich an, Elemente mit Einheitsgrößen zu verwenden. Durch die gleiche Dimensionierung wirken die Randeffekte gleich stark auf alle Bauelemente und der relative Fehler wird ausgeglichen. Abbildung 21 zeigt das Prinzip bei der Auslegung zweier Widerstände für einen resistiven 3 : 1 Spannungsteiler.

Die Widerstände im linken Teil der Abbildung unterscheiden sich sowohl in ihrer Breite als auch in ihrer Länge. Die Randeffekte bewirken aufgrund der kleineren Dimensionen deutlich stärkere Veränderungen des gewünschten Widerstandswerts bei Widerstand  $R_2$  als bei  $R_1$ . Im rechten Teil der Abbildung ist der selbe Spannungsteiler, allerdings aufgebaut aus Einheitselementen, gezeigt. Die bei allen Widerständen gleichen Dimensionen

---

<sup>14</sup>[3], S. 241f



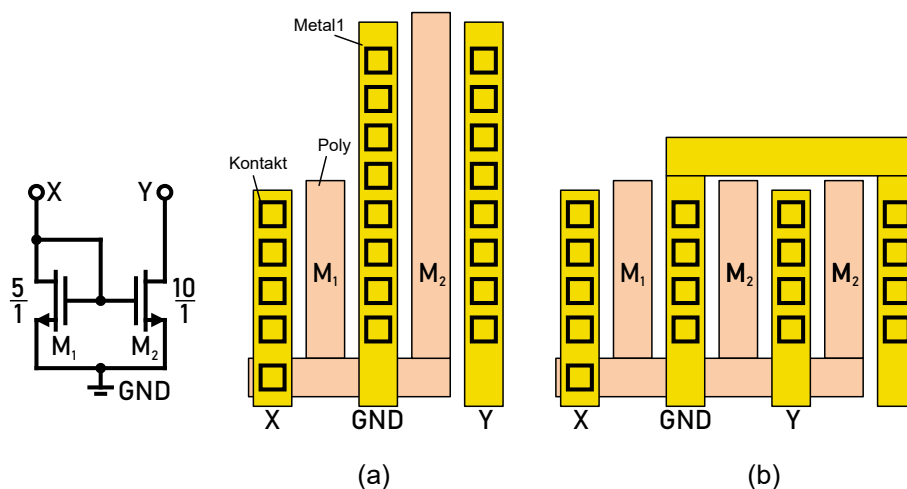
**Abbildung 21:** Layout eines Spannungsteilers mit (a) und ohne (b) Matching

haben zur Folge, dass sich die Randeffekte auf die effektiven Widerstandswerte aller Teilwiderstände gleich auswirken. Da bei einem ohmschen Spannungsteiler nicht die eigentlichen Widerstandswerte, sondern das Größenverhältnis für die Funktion entscheidend ist, wird der Spannungsteiler aus Abbildung 21 (b) eine Ausgangsspannung bewirken, die deutlich näher am gewünschten Wert liegt, als die Ausgangsspannung des Spannungsteilers aus unterschiedlich dimensionierten Widerständen.

Die gleiche Technik kann für das Matching von MOS-Transistoren angewendet werden. Die Randeffekte bewirken bei den Transistoren eine Änderung der effektiven Breite und Kanallänge. Um auch in diesem Fall den relativen Fehler zwischen zwei Bauelementen zu verringern, sollten Transistoren mit gleichen Dimensionen verwendet werden. Um die Länge und Breite bei der Nutzung von Einheitszellen zu verändern werden mehrere Transistoren in Reihe oder parallel geschaltet. Abbildung 22 zeigt das Layout eines einfachen Stromspiegels, mit dem der Referenzstrom  $I_{REF}$  gespiegelt und verdoppelt werden soll.

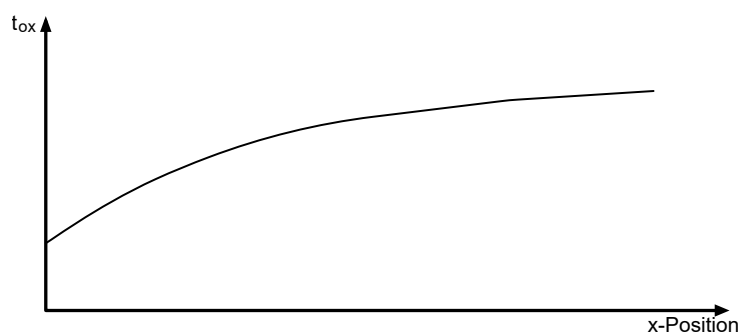
### 2.5.2 Ortsabhängige Prozessgradienten

Wie bereits beschrieben, haben die Toleranzen bei der Fertigung eines Halbleiterchips zur Folge, dass sich bestimmte Parameter von Bauelementen an unterschiedlichen Stellen des Wafers oder des Chips voneinander unterscheiden. Um die Auswirkungen dieser örtlichen Änderungen zu verdeutlichen, wird der Sachverhalt anhand eines Beispiels erläutert, bei dem die Tiefe des Gateoxids über die Fläche eines Chips aufgrund von Fertigungstole-



**Abbildung 22:** Layout eines Stromspiegels ohne (a) und mit (b) Matching

ranzen leicht variiert. Abbildung 23 zeigt die Oxiddicke aufgetragen über der Position in x-Richtung auf dem Chip<sup>15</sup>.

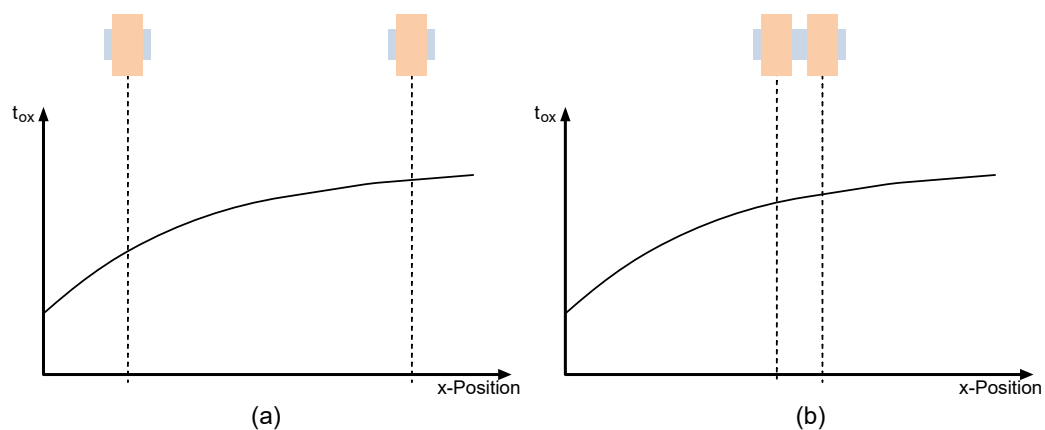


**Abbildung 23:** Gateoxiddiefe über der Position auf einem Chip

Da es sich bei den Prozessgradienten um stochastische Prozesse handelt, sind die resultierenden Kurven dem Schaltungs- bzw. Layout-Entwickler typischerweise unbekannt. Um dennoch schlechtes Matching zu vermeiden, kann auf bestimmte Techniken zurückgegriffen werden, welche die unbekannt Parameteränderungen ausgleichen. In Abbildung 24 ist das Matching zweier MOS-Transistoren bei örtlich variierender Oxiddicke dargestellt.

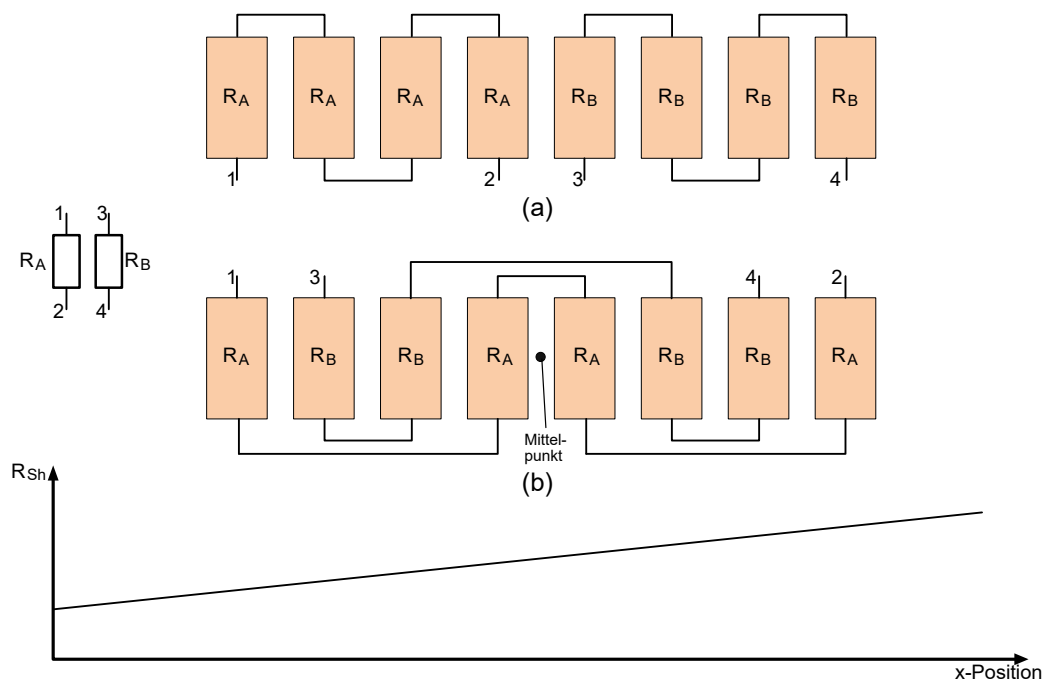
Die große Entfernung der Transistoren in Abbildung 24 (a) bewirkt besonders starke Unterschiede in der Oxiddicke und damit auch der elektrischen Parameter, daher ist das Matching der beiden Bauelemente unzureichend. Die Platzierung der Elemente in direkter örtlicher Nähe (b) verringert den Einfluss der örtlichen Prozessunterschiede und verbessert das Matching. Bauelemente, für die eine gute Übereinstimmung eine Rolle spielt, sollten folglich im Layout mit geringem räumlichen Abstand platziert werden.

<sup>15</sup>Es könnte auch ein anderer Parameter betrachtet werden, z.B. der Flächenwiderstand von Polysilizium



**Abbildung 24:** Einfluss der Gateoxidthiefe auf unterschiedliche Transistoren

Neben der Platzierung in räumlicher Nähe gibt es weitere Möglichkeiten das Matching durch die Anordnung der Bauelemente zu beeinflussen. Eine davon ist das sogenannte Common-Centroid Layout, dessen Funktionsprinzip in Abbildung 25 dargestellt ist.



**Abbildung 25:** Common-Centroid Layout bei Poly-Widerständen

Im dargestellten Graphen ist beispielhaft die Veränderung des Schichtwiderstands von Poly-Silizium über der Position auf dem Chip aufgetragen. Die im oberen Teil der Abbildung gezeigte Widerstandskonfiguration (a) führt zu einer Abweichung zwischen den Widerstandswerten von  $R_A$  und  $R_B$ , die aus der Variation des Schichtwiderstands resultiert. Dieser Unterschied im Widerstandswert kann durch die Anordnung in Abbildung 25 (b) verringert werden. Die Nutzung des gemeinsamen Mittelpunkts für beide Widerstände

bewirkt, dass sich die prozessbedingten Veränderungen im Schichtwiderstand in gleicher Weise sowohl auf Widerstand  $R_A$  als auch auf  $R_B$  auswirken. Die selbe Technik kann auch für MOS-Transistoren oder Kapazitäten verwendet werden.

### 3 Aufbau des TDC

In diesem Kapitel wird der Aufbau des TDC dargestellt. Auf einige der Komponenten wird dabei in größerem Umfang eingegangen als auf andere, da diese bereits in Vorarbeiten<sup>16</sup> entworfen und umfangreich beschrieben wurden. Zusätzlich wird der Regelkreis, in dem der TDC verwendet wird, in kurzer Form betrachtet. Dargestellt wird der Ausgangszustand der Schaltung zu Beginn dieser Arbeit. Die Optimierungen, die in der vorhergehenden Masterstudienarbeit<sup>17</sup> erarbeitet wurden, sind daher bereits umgesetzt und die Schaltung dementsprechend angepasst worden. Alle weiteren, im Rahmen dieser Arbeit vorgenommenen Änderungen, sind in Folgekapiteln beschrieben.

#### 3.1 Gesamtaufbau des TDC

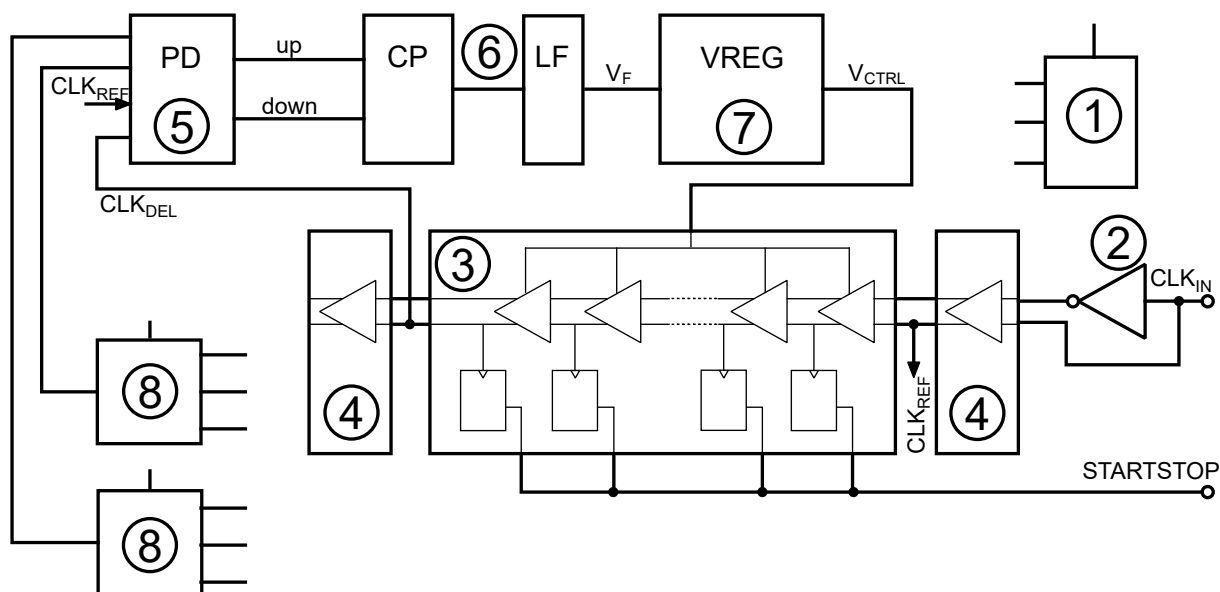


Abbildung 26: Blockdiagramm des Time-to-Digital Converters

Abbildung 26 zeigt eine vereinfachte Darstellung des TDC-Aufbaus. In den folgenden Abschnitten werden die Komponenten des TDC im Detail betrachtet, um einen genauen Überblick über die Funktion der Gesamtschaltung zu schaffen.

Bei dem vorhandenen TDC handelt es sich um einen Local-Passive-Interpolation TDC (LPI-TDC), der mithilfe eines DLL realisiert wurde. Zur Erzeugung des Bias-Stroms zur

<sup>16</sup>[4], [5]

<sup>17</sup>[1]



Arbeitspunkteinstellung des Spannungsreglers und der benötigten 3.3V Versorgungsspannung der digitalen und analogen Schaltungsteile des TDC steht eine Schaltung der Firma Elmos zur Verfügung (1).

Als Eingangstakt  $CLK_{IN}$  wird ein Taktsignal von 40MHz genutzt. Um bei den Schaltungssimulationen ein realitätsnahes Signal zu erzeugen und um ein invertiertes Eingangssignal für die differentielle Delay-Line zu erzeugen, wird das von einer idealen Spannungsquelle erzeugte Taktsignal zunächst durch eine Reihe von Invertern verzögert (2). Das Eingangssignal ist an die Delay-Line (3) angeschlossen, an deren Ende das verzögerte Taktsignal  $CLK_{DEL}$  austritt. Um am Anfang und Ende der Delay-Line eine gleichmäßige Last am Ein- und Ausgang der Delay-Elemente zu gewährleisten, sind einige Dummy-Delay-Elemente (4) platziert, die nicht zur Gesamtverzögerung der Delay-Line beitragen. Der für die Regelung relevante Referenztakt  $CLK_{REF}$  wird daher erst nach der Verzögerung durch die Dummy-Elemente abgegriffen.

Der Referenztakt und das verzögerte Taktsignal werden mithilfe eines Phasendetektors (5) auf ihre Phasenlage zueinander verglichen. Je nach vorausseilender Taktflanke wird vom Phasendetektor ein *up* oder *down* Signal generiert, das als Eingangssignal für die folgende Ladungspumpe mit Loop-Filter (6) dient. Die Ladungspumpe führt dem Loop-Filter abhängig vom Eingangssignal einen positiven oder negativen Strom zu, der die ausgehende Spannung  $V_F$  erhöht oder verringert.  $V_F$  dient als Eingangssignal für den Linearregler (7), der entsprechend seines Referenzsignals eine Kontrollspannung  $V_{CTRL}$  erzeugt, mit der die Delay-Line betrieben wird. Die Gesamtverzögerung der Delay-Line wird somit über die Spannung  $V_{CTRL}$  geregelt. Zusätzlich sind False- und Harmonic-Lock Detektoren (8) vorhanden, die ein fehlerhaftes Einschwingen des DLL verhindern sollen<sup>18</sup>.

Das zu messende Zeitintervall, in den bisherigen Betrachtungen begrenzt durch ein *START* und ein *STOP* Signal, wird als einzelnes *STARTSTOP* Signal in den TDC eingeführt. Daher ist eine externe Verknüpfung der beiden einzelnen Signale nötig, die in Abschnitt 4.3 betrachtet wird. Das *STARTSTOP* Signal wird mit den Dateneingängen der in der Delay-Line verwendeten Flipflops verbunden. Wird eine Messung durchgeführt, erzeugen die Flipflops einen Thermometer Code, der an den Datenausgängen  $TAP < 0 : N >$  abgegriffen werden kann.

---

<sup>18</sup>Siehe Abschnitt 3.5

### 3.2 Phasendetektor

Der Phasendetektor gleicht den Eingangstakt mit dem durch die Delay-Line verzögerten Taktsignal ab und erzeugt entsprechend der Phasenlage der beiden Eingangssignale zwei Ausgangssignale. Realisiert werden kann ein Phasendetektor auf unterschiedliche Arten, zum einen durch ein XOR-Gate und zum anderen durch zwei D-Flipflops und einem AND-Gate<sup>19</sup>. Für die TDC-Schaltung wurde ein Phasendetektor mit D-Flipflops gewählt, welcher auch als Positive-Edge-Triggered (PET) Phasendetektor bezeichnet wird, da er auf die positive Flanke der Eingangssignale reagiert. Abbildung 27 zeigt die einfachste Ausführung dieses Phasendetektors, bestehend aus zwei Flipflops und einem AND-Gate.

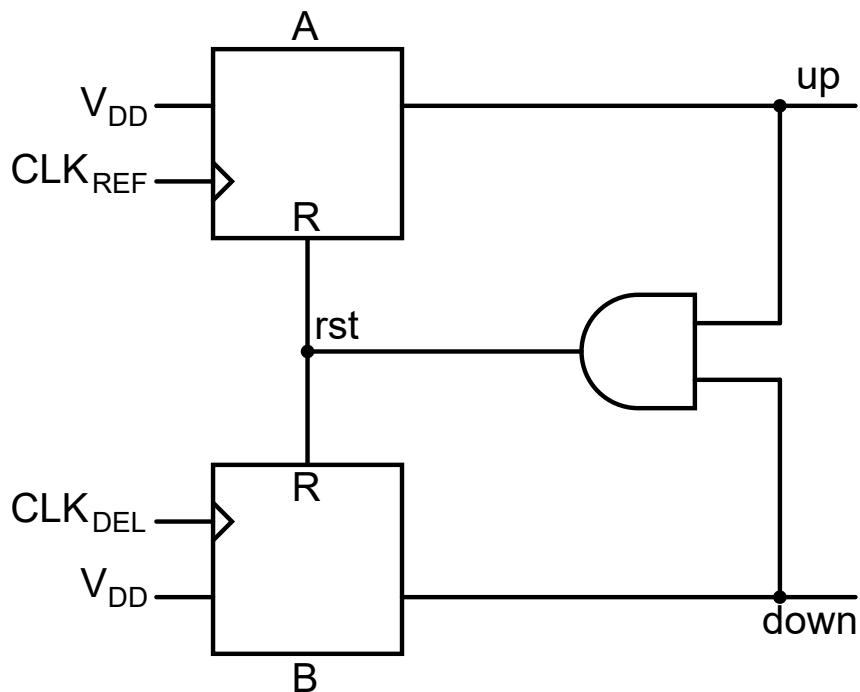


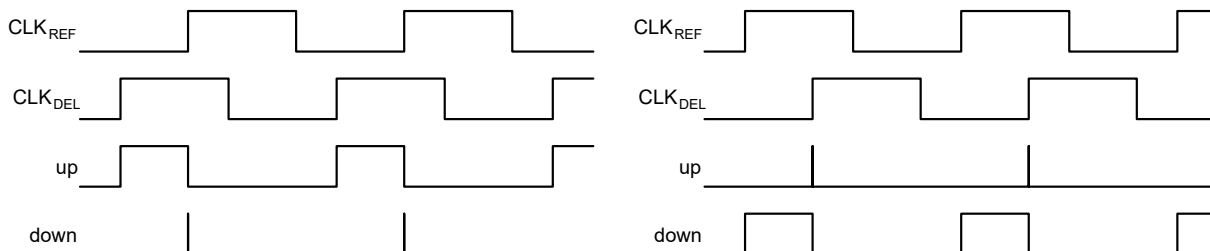
Abbildung 27: Aufbau eines einfachen PET-Phasendetektors

Die Dateneingänge der Flipflops sind an die Versorgungsspannung des TDC angeschlossen. Im Falle eines voreilenden Referenztakts, wird bei steigender Flanke des  $CLK_{REF}$  Signals der Ausgang des Flipflop A und damit das Signal  $up$  auf  $HIGH$  geschaltet. Sobald im Flipflop B die steigende Flanke des nacheilenden Taktsignals  $CLK_{DEL}$  eingeht, wird auch  $down$  auf  $HIGH$  geschaltet und über das AND-Gate das Signal  $rst$  ausgelöst, das die Ausgänge der Flipflops zurücksetzt.

Eilt eines der beiden Taktsignale dem Anderen voraus, entsteht folglich ein  $up$ - oder  $down$ -Puls, dessen Breite der Phasendifferenz der Taktsignale entspricht. Diese Pulse werden als

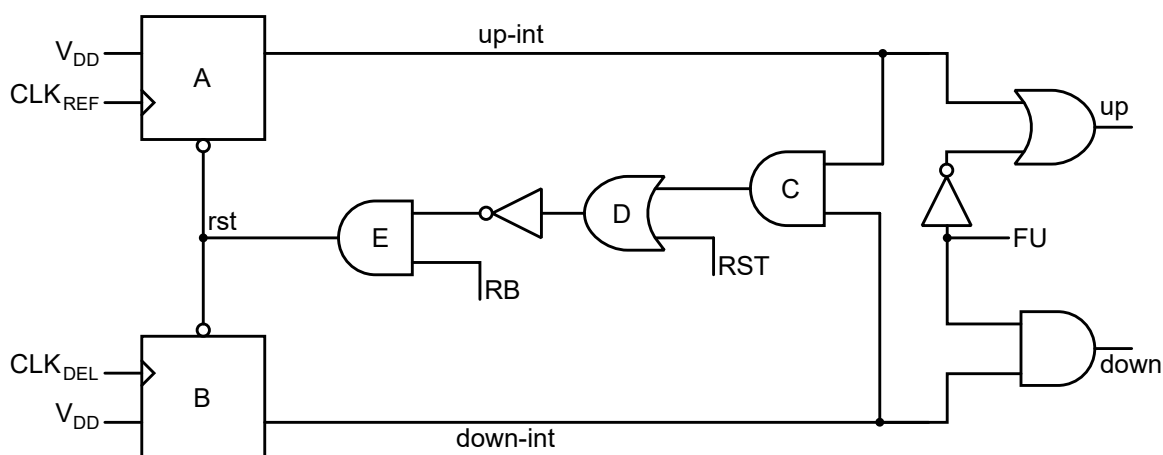
<sup>19</sup>[6], S. 553ff

Eingangssignale für die nachfolgende Ladungspumpe genutzt. Ist kein Phasenunterschied vorhanden, verbleiben die Ausgänge des Phasendetektors auf *LOW*.



**Abbildung 28:** Signalverlauf des Phasendetektors bei unterschiedlichen Phasenverschiebungen

In der realen Anwendung wird der Phasendetektor um einige Komponenten erweitert, um ein externes Reset-Signal und die Ausgänge der Force-Up und False-Lock Schaltungen<sup>20</sup> zu integrieren. Abbildung 29 zeigt das Blockdiagramm des erweiterten Phasendetektors.



**Abbildung 29:** Aufbau des erweiterten Phasendetektors mit zusätzlichen Eingangssignalen

Über das OR-Gate D wird ein von der False-Lock Schaltung erzeugtes Reset-Signal *RST* in den Phasendetektor eingeführt. Sind also entweder die beiden *up-int* und *down-int* Signale, die durch das AND-Gate C verknüpft sind, oder der False-Lock Mechanismus aktiv, werden die Flipflops A und B zurückgesetzt. Da die Reset-Eingänge der Flipflops als „Active-Low“-Eingänge realisiert sind, ist eine Invertierung des Signals notwendig. Mithilfe des AND-Gates E wird ein weiteres Reset-Signal *RB* integriert, das zur externen Zurücksetzung des TDC genutzt werden kann. Das Force-Up Signal *FU*, das ebenfalls „Active-Low“ ist, und bei Aktivierung einen konstanten *up*-Puls erzeugen soll, wird mithilfe eines AND- und eines OR-Gates mit den Ausgängen des Phasendetektors verknüpft.

<sup>20</sup>Siehe Abschnitt 3.5

### 3.3 Charge Pump

Die Charge Pump hat die Aufgabe, entsprechend der beiden Ausgänge des Phasendetektors dem Loop-Filter einen Strom zuzuführen oder zu entziehen. Abbildung 30 zeigt den vereinfachten Aufbau der genutzten Charge-Pump.

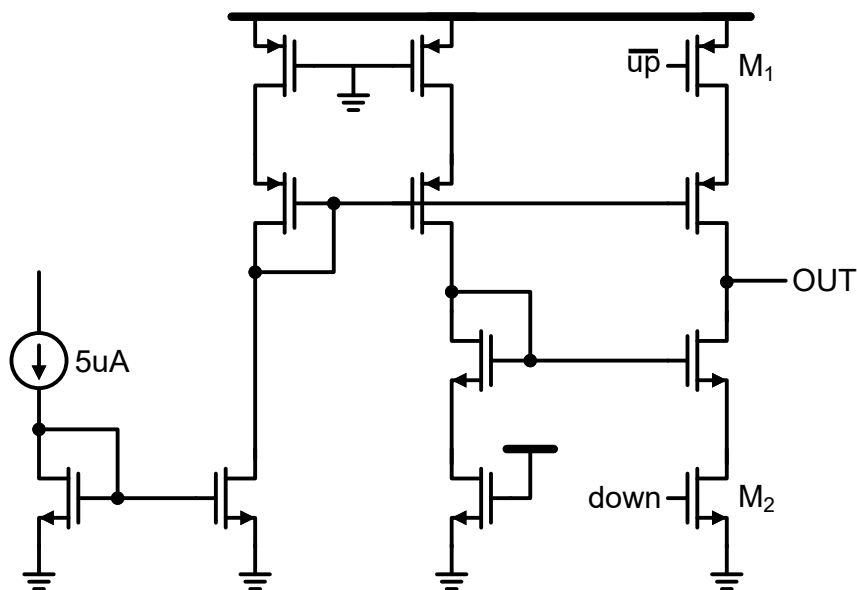


Abbildung 30: Aufbau der Charge-Pump

Mithilfe eines Stromspiegels wird ein Strom von  $5\mu A$  auf die Eingangstransistoren  $M_1$  und  $M_2$  gespiegelt. Liegt ein *down* Signal an, wird Transistor  $M_2$  geschlossen und der eingestellte Strom fließt durch den Transistor. Da gleichzeitig zum *down* Signal kein *up* Signal anliegen kann, ist der Transistor  $M_1$  geöffnet und lässt daher keinen Stromfluss zu. Der Strom wird daher dem nachgeschalteten Loop-Filter entzogen, der aus einer einzelnen Kapazität aufgebaut ist. Liegt ein *up* Signal an, ist Transistor  $M_1$  geschlossen und der eingestellte Strom wird dem Loop-Filter zugeführt, da Transistor  $M_2$  in diesem Fall keinen Stromfluss zulässt.

Der detaillierte Entwurf und Test verschiedener Charge Pumps für die vorhandene TDC-Anwendung wurde bereits in Vorarbeiten durchgeführt<sup>21</sup> und wird daher im Rahmen dieser Arbeit nicht genauer betrachtet.

<sup>21</sup>[5], S. 48ff

### 3.4 Spannungsregler

Der Linear-Spannungsregler wird genutzt, um die Ausgangsspannung des Loop-Filters  $V_{REF}$  von der Last der Delay-Line zu entkoppeln. Für die Spannungsversorgung der Delay-Line, die aus zahlreichen Elementen besteht, wird eine stabile Spannung benötigt, die bei der vorhandenen Last nicht von der Ladungspumpe mit Loop-Filter bereitgestellt werden kann.

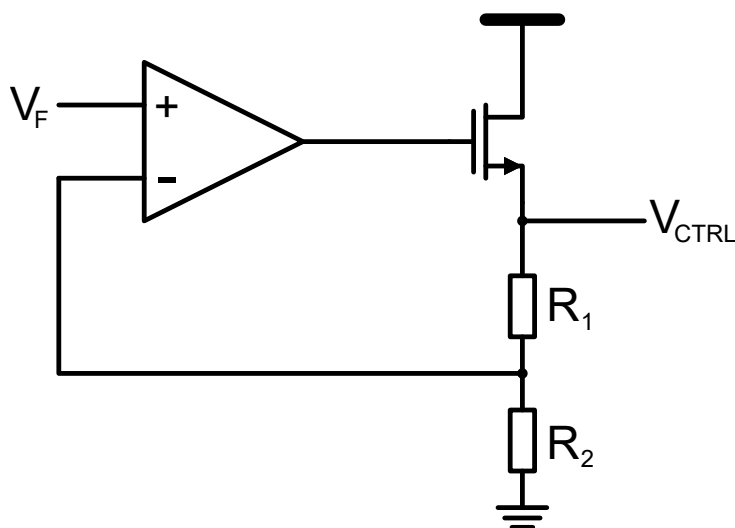


Abbildung 31: Vereinfachter Aufbau des Spannungsreglers

Abbildung 31 zeigt den vereinfachten Aufbau des Spannungsreglers. Als Eingang wird ein differentieller Verstärker genutzt der die eingehende Filterspannung mit dem Wert der über das negative Feedback zurückgeführten Ausgangsspannung vergleicht. Über ein Pass-Device, in dieser Anwendung ein als Source-Folger konfigurierter NMOS-Transistor, wird die Ausgangsspannung  $V_{CTRL}$  reguliert. Die Dimensionierung der Feedback-Widerstände  $R_1$  und  $R_2$  bestimmt den Anteil der Ausgangsspannung, der an die differentielle Eingangsstufe zurückgeführt wird. Für die Ausgangsspannung gilt:

$$V_{CTRL} = V_F \cdot \left(1 + \frac{R_1}{R_2}\right) \quad (21)$$

In der vorhandenen Schaltung wurde für die Widerstände ein Verhältnis von  $\frac{R_1}{R_2} = \frac{1}{3}$  gewählt. Die Filterspannung  $V_F$  wird folglich mit einem Faktor von  $\frac{4}{3}$  multipliziert. Da für die vorhandene Anwendung ein Standard-Regler aus der Design-Bibliothek der Firma Elmos genutzt wurde und im Rahmen dieser Arbeit keine Veränderungen am Spannungsregler vorgenommen wurden, wird an dieser Stelle nicht detailliert auf den Aufbau auf

Transistorebene eingegangen.

### 3.5 False- und Harmonic-Lock

Der Vergleich des eingehenden Taktsignals mit dem durch die Delay-Line verzögerten Taktsignal am eingesetzten Phasendetektor führt unter bestimmten Ausgangsbedingungen zu einem ungewünschten Verhalten der Delay Locked Loop. Ist beispielsweise die Verzögerung der Delay-Line zu Beginn des Betriebs der DLL geringer als die Dauer einer Taktperiode des Referenztakts, erzeugt der Phasendetektor, wie in Abbildung 32 dargestellt, lange *up*-Pulse mit dem Ziel die Phasenverschiebung der beiden Eingangssignale auf Null zu regeln. Da dies nicht möglich ist, wird sich die DLL auf die Minimalverzögerung der Delay-Line einschwingen. Dieses Fehlverhalten bezeichnet man als False-Lock.

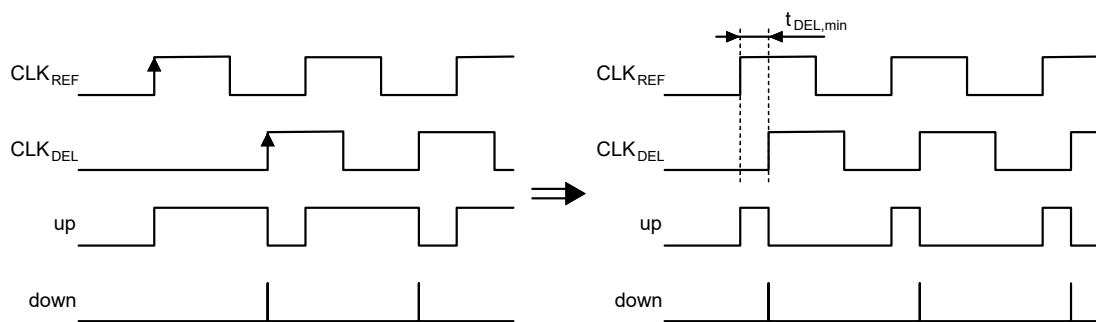


Abbildung 32: Einschwingen auf minimales Delay bei einem False-Lock

Um zu vermeiden, dass ein solcher False-Lock entsteht, wird ein zusätzlicher Schaltungsteil eingeführt, der die Länge von *up*- und *down*-Pulsen auf ein Maximum begrenzt. Abbildung 33 zeigt die schematische Darstellung des verwendeten False-Lock Detektors.

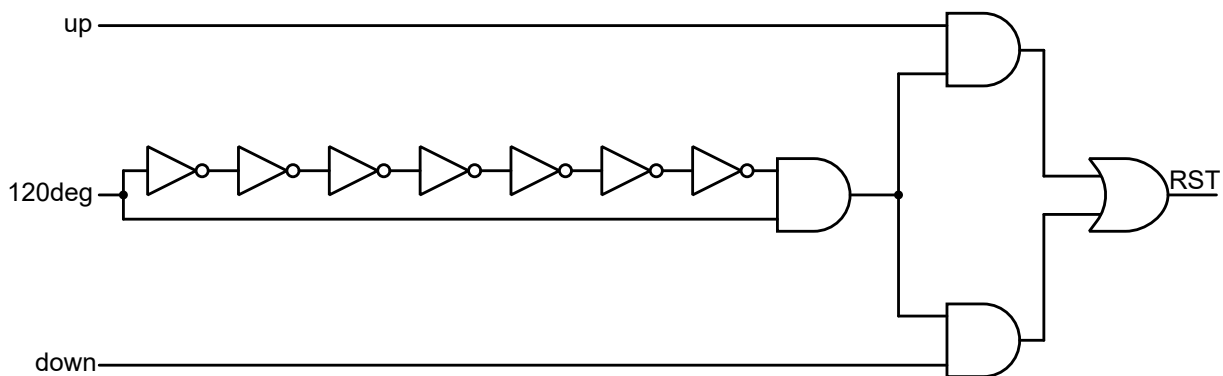
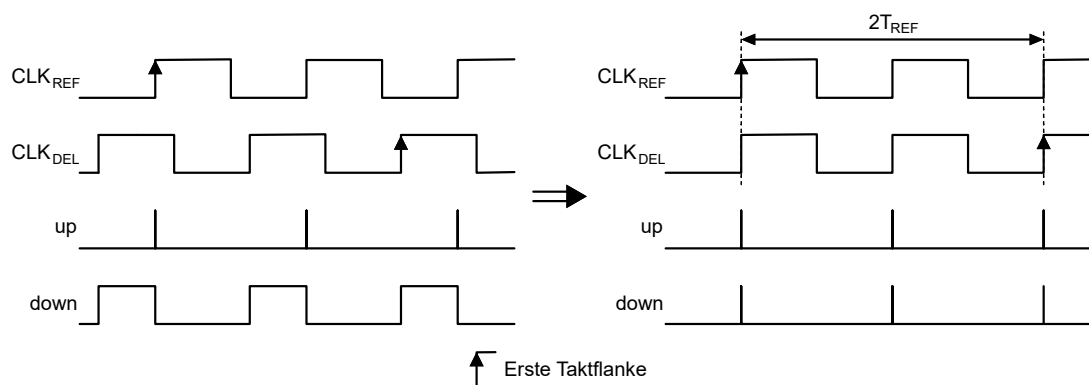


Abbildung 33: False-Lock Detektor

Das Signal *120deg* wird dem False-Lock Detektor aus der Delay-Line zugeführt, und ent-

spricht dem Eingangstakt nachdem dieser ein Drittel der Delay-Line durchlaufen hat. Durch eine Inversion, eine Verzögerung, welche durch eine Kette aus sechs Invertern realisiert wird, und Verknüpfung mit einem AND-Gatter entsteht bei jedem Durchlauf des Taktsignals ein kurzer Puls hinter dem AND-Gatter dessen Breite der Verzögerungsdauer  $t_{delay}$  entspricht. Ist zur gleichen Zeit entweder das *up*- oder *down*-Signal aktiv, wird durch den Force-Up Detektor ein kurzer Reset-Puls erzeugt, der den Phasendetektor zurücksetzt. In der in Abbildung 32 dargestellten Situation wird nach der Zurücksetzung des Phasendetektors durch die folgende steigende Taktflanke des verzögerten Taktes  $CLK_{DEL}$  ein *down*-Puls ausgelöst und die Verzögerung der Delay-Line entsprechend erhöht, bis die DLL auf eine Taktperiode eingeschwungen ist.

Ein weiteres Problem tritt auf, wenn die Verzögerung der Delay-Line während des Betriebs das 1,5-fache der Referenzperiodendauer überschreitet. In diesem Fall wird durch den Phasendetektor fälschlicherweise ein *down*-Signal ausgelöst und die Delay-Line wird auf eine Verzögerung geregelt, die dem Vielfachen einer Periodendauer entspricht. Dieser Zustand wird als Harmonic-Lock bezeichnet.



**Abbildung 34:** Signalverlauf bei einem Harmonic-Lock

Um das Einschwingen auf das Vielfache einer Taktperiode zu verhindern, wird eine weitere Schaltung benötigt, die im Falle einer zu großen Verzögerung ein *up*-Signal des Phasendetektors erzwingt.

Der Aufbau des Harmonic-Lock Detektors ist in Abbildung 35 dargestellt. Über das D-Flipflop A wird der Referenztakt von 40 MHz auf 20 MHz halbiert. Dieser halbierte Takt dient als Dateneingang der folgenden Flipflops. An den Takteingängen der Flipflops B1-B6 werden in gleichmäßigen Abständen verzögerte Signale aus der Delay-Line angeschlossen. Dies hat zur Folge, dass die folgenden Flipflops (C1-C5) nur auf den logischen High-Zustand umschalten, wenn alle eingehenden Signale aus der Delay-Line innerhalb einer Taktperiode des Referenztakts auftreten. Ist die zeitliche Verzögerung der Delay-Line zu

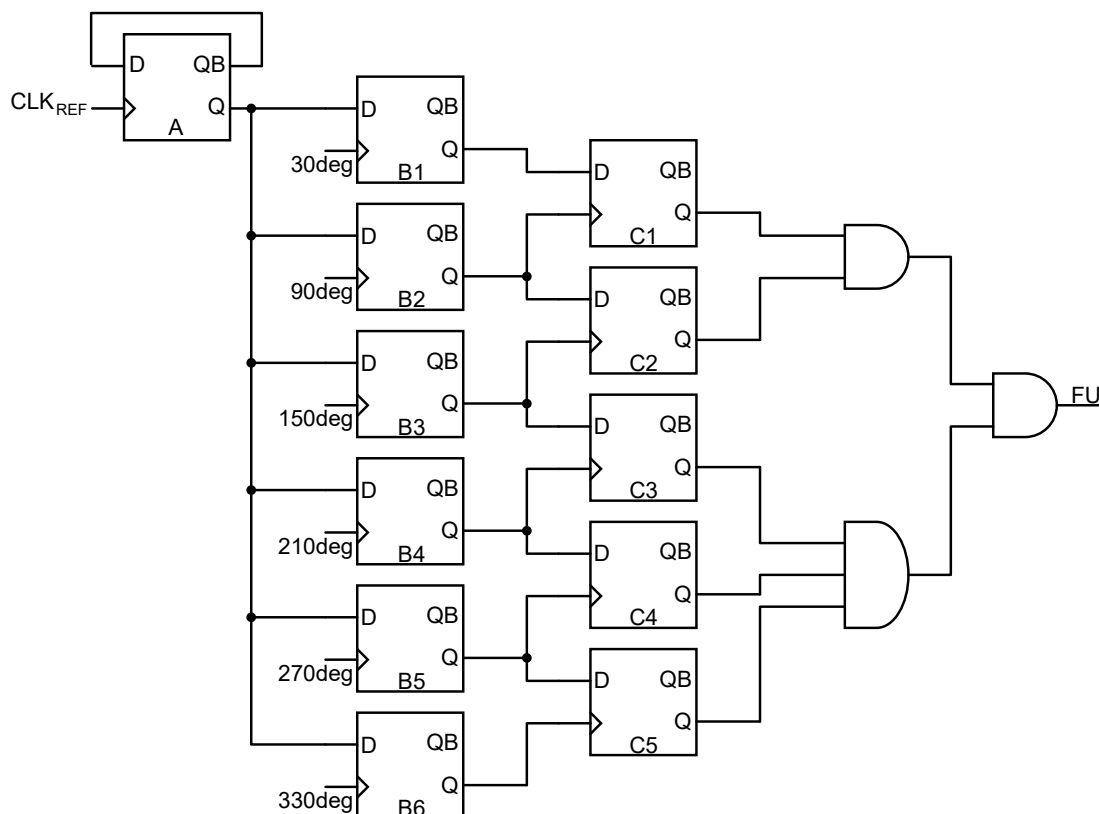


Abbildung 35: Aufbau des Harmonic-Lock Detektors

groß, d.h. geht eines der eingehenden Taktsignale zu spät ein, wird das Force-Up Signal  $FU$  durch die AND Verknüpfung der Flipflops auf  $LOW$  geschaltet. Das Signal  $FU$ , das als „Active-Low“-Signal implementiert ist, erzwingt ein  $up$  Signal im Phasendetektor und verkürzt folglich die Verzögerungszeit der Delay-Line, bis alle Eingänge des Harmonic-Lock Detektors innerhalb einer Taktperiode auftreten.

### 3.6 Delay-Line

Die Delay-Line des TDC hat die Aufgabe, das eingehende Taktsignal um genau eine Taktperiode zu verzögern. Um dies bei verschiedenen Temperaturen und über unterschiedliche Prozesscorner zu erreichen, muss die Verzögerung steuerbar sein. Für die Änderung der zeitlichen Verzögerung der einzelnen Verzögerungselemente stehen unterschiedliche Ansätze zur Verfügung, die im Detail in Vorarbeiten untersucht wurden<sup>22</sup>.

In der vorhandenen Schaltung werden spannungsgesteuerte differenzielle Inverter als Ver-

<sup>22</sup>[4]



zögerungselemente genutzt. Um die Verzögerungszeit der Elemente zu verändern, wird die Versorgungsspannung der Inverter angepasst bis die Verzögerung der Delay-Line einer Taktperiode des Referenztakts entspricht. In der vorhergehenden Masterstudienarbeit wurde die Delay-Line von einer Länge von 144 Elementen auf 180 Elemente erweitert. Da während der Betrachtung der Homogenität der Verzögerungszeiten festgestellt wurde, dass es in den ersten und letzten Elementen der Delay-Line starke Variationen zwischen den Verzögerungszeiten gibt, werden weitere Elemente am Anfang und am Ende der Delay-Line platziert, die allerdings nicht zur Gesamtverzögerung beitragen.

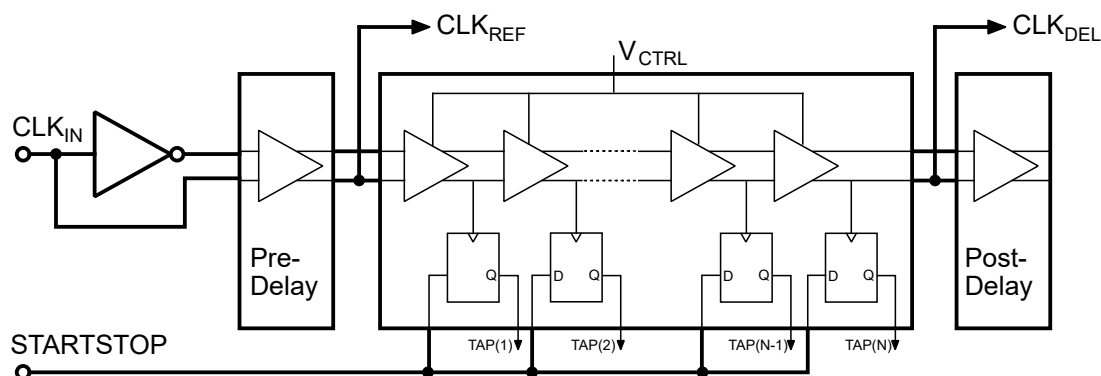


Abbildung 36: Schematische Darstellung der spannungsgesteuerten Delay-Line

### Aufbau der Verzögerungselemente

Die einzelnen Verzögerungselemente der Delay-Line bestehen neben dem differenziellen Inverter aus einer Reihe von Bauelementen. Abbildung 37 zeigt den Aufbau eines Verzögerungselements.

Da die Kontrollspannung  $V_{CTRL}$  direkt als Versorgungsspannung der Inverterkette genutzt wird, sind auch die Ausgangsspannungen der Inverter (1) auf den Wert der Kontrollspannung begrenzt. Um die Ausgangswerte für die weitere Nutzung wieder auf einen Signalpegel von  $3.3V$  anzuheben, werden an den Ausgängen der Inverter Level-Shifter (2) verwendet. Eine ausreichend starke Bufferstufe (3) aus in Reihe geschalteten, stufenweise größer dimensionierten Invertern wird benötigt, um die Interpolationswiderstände (4) und die damit verbundenen Ausgangs-Bufferstufen (5) zu treiben. Die Interpolationswiderstände ermöglichen die Verbesserung der Auflösung, wie in Abschnitt 2.3 beschrieben.

Jeder Ausgang eines Interpolationswiderstandes ist nach Durchlaufen der zusätzlichen Bufferstufe mit dem Takteingang eines D-Flipflops (6) verbunden. Liegt am Dateneingang der Flipflops das *STARTSTOP* Signal an, wird bei Durchlaufen des Taktsignals

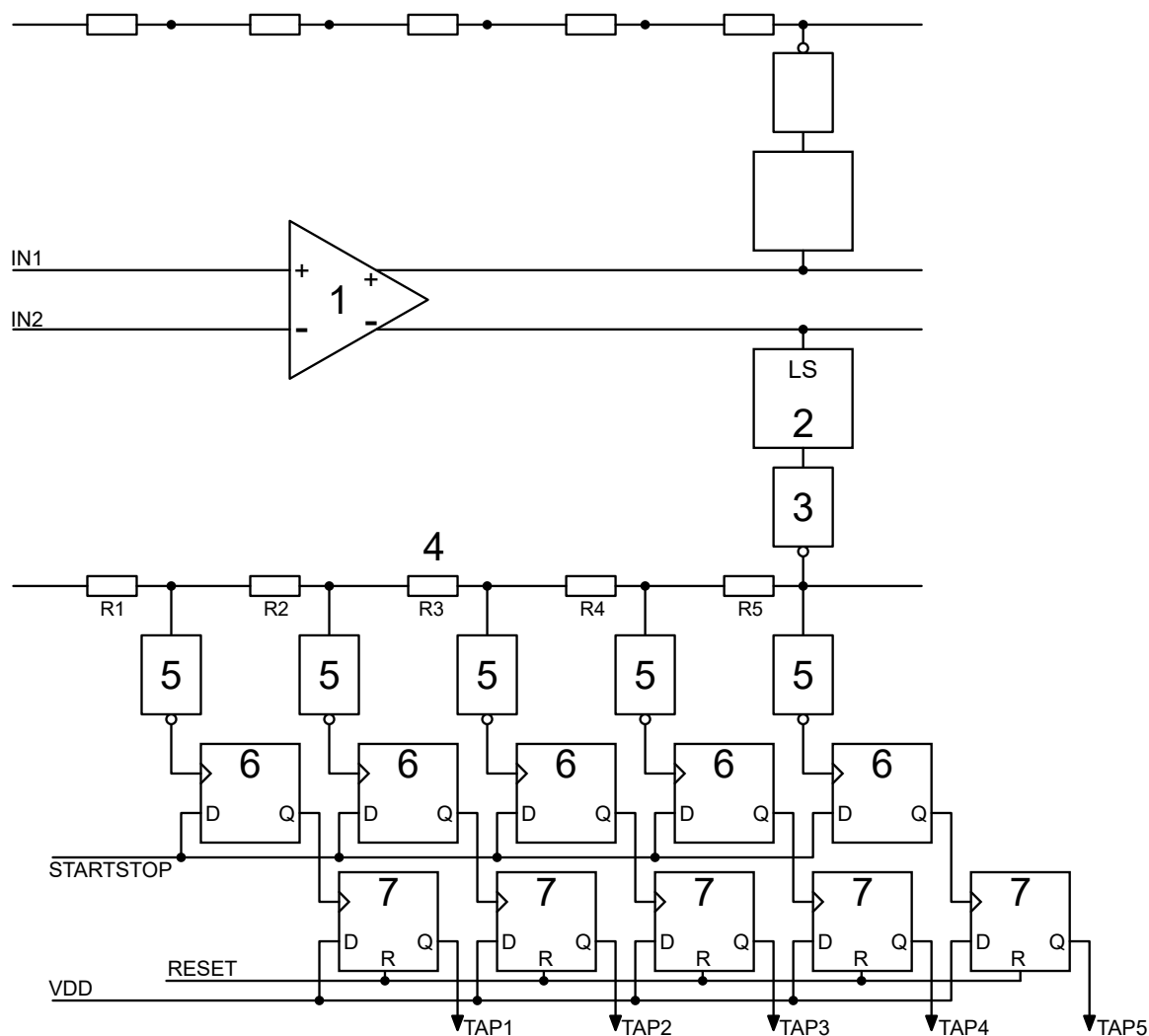


Abbildung 37: Aufbau eines Verzögerungselements

durch die Delay-Line der Ausgang jedes passierten D-Flipflops auf *HIGH* geschaltet. Dies erzeugt den Thermometer-Code, der die Länge des gemessenen Zeitintervalls repräsentiert. Da diese Flipflops, die im weiteren Verlauf als Delay-Line-Flipflops bezeichnet werden, mit jeder steigenden Taktflanke also nach einer Taktperiode zurückgesetzt werden, wird eine zweite Reihe von Flipflops (7) verwendet, die zur besseren Unterscheidung als Ausgangs-Flipflops bezeichnet werden. Die Dateneingänge dieser Ausgangs-Flipflops sind mit der Versorgungsspannung verbunden, während die Ausgänge der Delay-Line-Flipflops am Takteingang angeschlossen sind. Dies ermöglicht die Speicherung des Thermometer-Codes auch über den Zeitraum einer Taktperiode hinaus. Um die Ausgangs-Flipflops zurückzusetzen, wird ein externes Reset-Signal benötigt.

Die Verzögerungselemente sind bis auf die Speicherelemente symmetrisch aufgebaut. Da-

durch wird die symmetrische Belastung der Ausgänge des differentiellen Inverters und ein symmetrisches Schaltverhalten gewährleistet. Für die eigentliche Messung werden jedoch nur die Widerstände benötigt, die an einem der beiden Inverterausgänge angeschlossen sind, so dass am zweiten Widerstandsstrang keine Flipflops vorgesehen sind.

### Aufbau der Delay-Line Flipflops

Zur Erzeugung und Speicherung des Messergebnisses werden zwei hintereinander geschaltete Reihen von Flipflops verwendet<sup>23</sup>. Da das eingehende *STARTSTOP*-Signal direkt mit dem Dateneingang der Delay-Line Flipflops verbunden ist, nimmt das Verhalten dieser Flipflops einen deutlichen Einfluss auf die Messgenauigkeit des TDC. In Abbildung 38 ist der Aufbau eines Delay-Line Flipflops zu Beginn der Betrachtungen dargestellt.

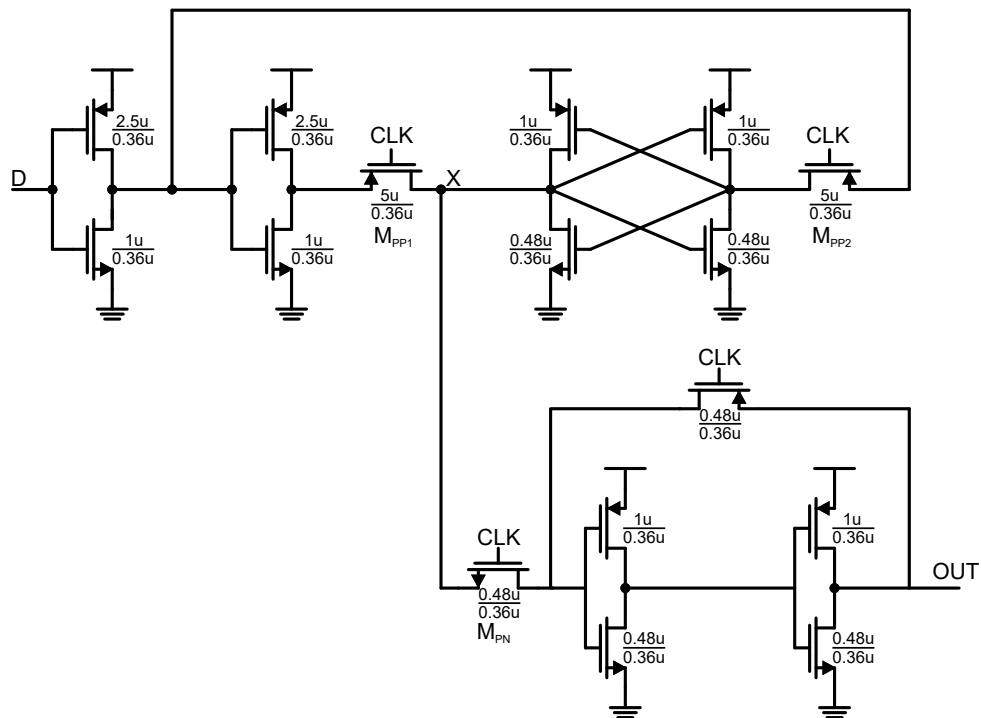


Abbildung 38: Aufbau des Delay-Line Flipflops zu Beginn der Betrachtungen

Es handelt sich bei der Schaltung um ein Master-Slave D-Flipflop mit einzelnen PMOS- und NMOS-Transistoren als Pass-Devices. Das am Dateneingang anliegende Signal wird, während sich das Taktsignal auf einem logischen *LOW* Pegel befindet, an das erste D-Latch geführt und dort gespeichert. Bei einer steigenden Taktflanke wird das zweite Pass-Device, der NMOS-Transistor  $M_{PN}$ , leitend und der gespeicherte Datenwert wird an das

<sup>23</sup>Siehe Nr. 6 und 7 in Abbildung 37

zweite D-Latch weitergeben und an den Ausgang des Flipflops geführt. Da die beiden PMOS Pass-Devices  $M_{PP1}$  und  $M_{PP2}$  während eines logischen *HIGH*-Pegels geöffnet sind, wirken sich Änderungen des Dateneingangs während dieser Zeit nicht auf den Ausgang des Flipflops aus. Bei fallender Taktflanke bleibt der Ausgangswert ebenfalls erhalten. Erst bei der nächsten steigenden Taktflanke wird erneut das Datensignal an den Ausgang weitergegeben.

Das Schaltverhalten des Flipflops kann durch verschiedene Parameter beeinflusst werden. Die Stärke, d.h. die Größe der Eingangsstufe und die Dimensionierung der Pass-Devices beeinflussen, wie schnell ein Datensignal an das erste D-Latch geführt werden. Kleine Dimensionen führen zu langsamen Signalfanken, was eine längere Setup-Zeit zur Folge hat. Durch die Anpassung der Weite der PMOS-Transistoren im ersten D-Latch kann zudem beeinflusst werden, bei welchem Signalpegel an Knoten  $X$  das anliegende Signal gelatcht wird<sup>24</sup>.

### 3.7 Regelschleife

Der in dieser Thesis betrachtete TDC wird in eine Gesamtanwendung eingebunden, die das Messergebnis des TDC in Form eines Thermometer-Codes mithilfe einer digitalen Schaltung in einen binären Wert umwandelt und dieses Ergebnis zur Regelung eines variablen Delays nutzt. Abbildung 39 zeigt eine schematische Darstellung des Aufbaus.

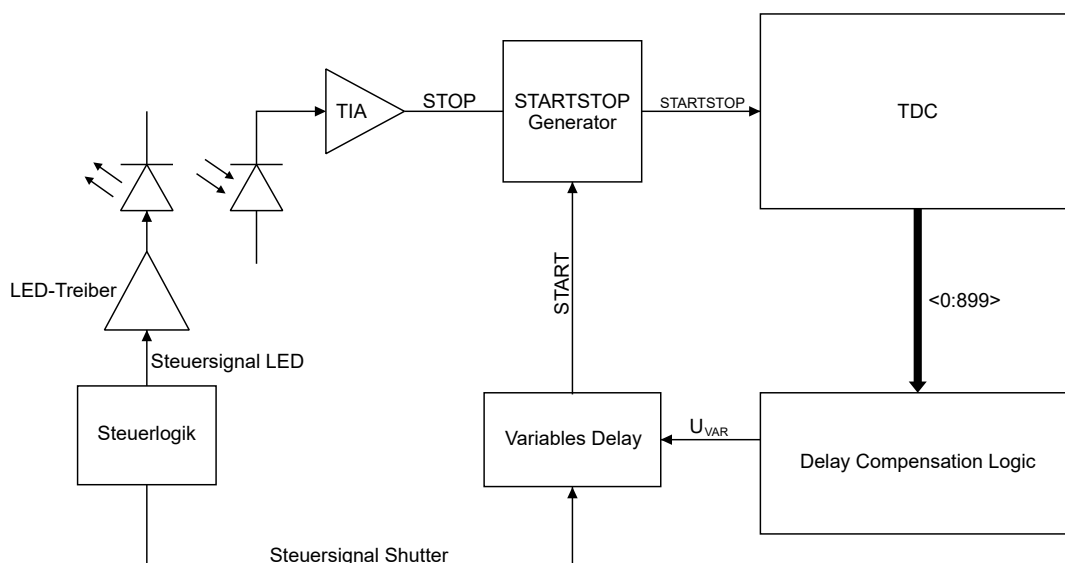


Abbildung 39: Vereinfachte Darstellung der Gesamtanwendung

<sup>24</sup>Siehe auch Abschnitt 4.1

---

Die von LED und Shutter ausgehenden Signale *START* und *STOP* werden über den *STARTSTOP*-Generator zu einem einzelnen Signal kombiniert, das die Länge der Verzögerung zwischen den Eingangssignalen repräsentiert. Dieses Zeitsignal wird vom TDC gemessen und das Ergebnis als Thermometer-Code an die Delay Compensation Logic gesendet. Dort werden mögliche Fehler im Thermometer-Code korrigiert und der Eingangscodewert in einen binären Wert mit einer Länge von 10 Bit umgewandelt. Der Binärwert wird für die Regelung eines variablen Delays verwendet, mit dem das Steuersignal des Pixelshutters so verzögert wird, dass die Abweichung zwischen *START* und *STOP* einen festen, bekannten Wert annimmt. Die Verzögerung zwischen den beiden Signalen wird nicht auf einen Wert von  $t_{DEL} = 0$  geregelt, da der TDC nicht in der Lage ist, unbegrenzt kleine Zeitsignale zu messen. In dem Fall könnten kleine Abweichungen zwischen den Signalen nicht mehr gemessen und ausgeregelt werden.

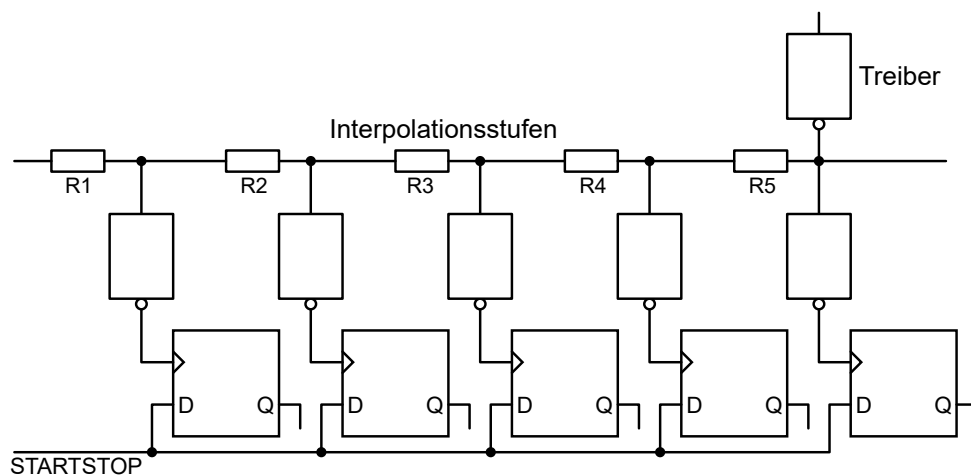
## 4 Optimierung des TDC-Designs

In diesem Kapitel soll die fortgesetzte Optimierung der Architektur des betrachteten TDC beschrieben werden. In der vorhergehenden Masterstudienarbeit wurde der TDC bereits im Hinblick auf die Homogenität der Verzögerungszeit zwischen den Interpolationsstufen und auf seine Stromaufnahme verbessert. Eine abschließende simulierte Messung ergab jedoch, dass zwischen den tatsächlich angelegten *STARTSTOP*-Signalen und den simulierten Messergebnissen ein Offset besteht, der das Messergebnis um einige  $T_{LSB}$  verfälscht. Es sind daher weitere Anpassungen in der Delay-Line des TDC notwendig um die Messgenauigkeit zu erhöhen.

Neben der Behebung des Offset-Fehlers sind einige weitere Arbeitsschritte nötig, bevor das optimierte Design in ein Layout überführt werden kann. In den folgenden Abschnitten werden die weiteren Änderungen und Ergänzungen der TDC-Schaltung beschrieben.

### 4.1 Delay-Line Flipflop

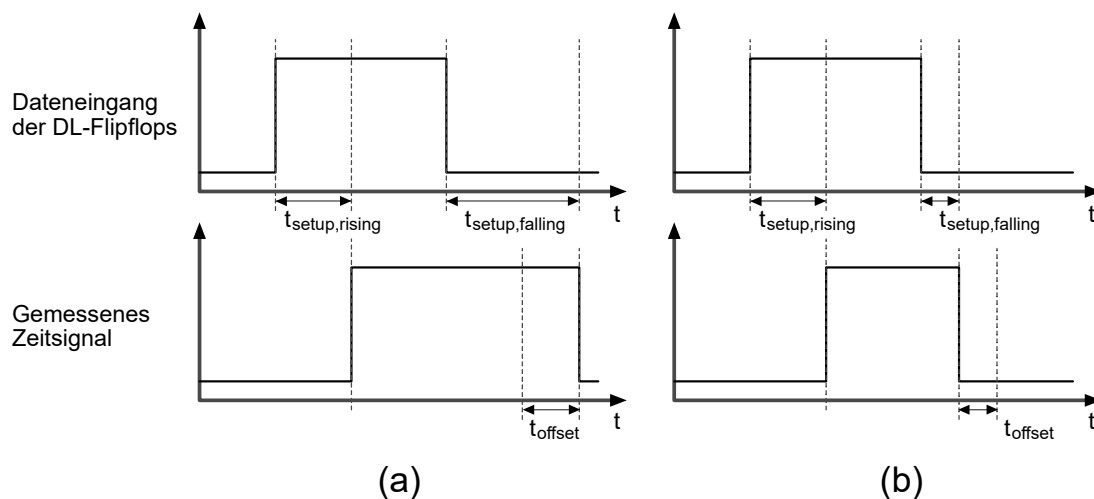
Aus der Betrachtung der simulierten Messergebnisse des TDC wird ein relativ konstant bleibender Messfehler deutlich. Als mögliche Ursache für diesen konstanten Offset kommt unter anderem das Delay-Line Flipflop in Frage. Abbildung 40 zeigt die Position des Delay-Line Flipflops innerhalb eines Verzögerungselements.



**Abbildung 40:** Position der Delay-Line Flipflops im Verzögerungselement

Die Messung des eingehenden Zeitsignals *STARTSTOP* erfolgt direkt über den Daten- und Takteingang des Speicherelements. Liegt das *STARTSTOP* Signal als logischer

*HIGH* Pegel an den Dateneingängen der Flipflops an, wird der Ausgang jedes von der steigenden Taktflanke durchlaufende Flipflop ebenfalls auf einen *HIGH* Pegel geschaltet. Ist dieses Speicherelement nicht für diese spezielle Anwendung optimiert, sind deutliche Messfehler zu erwarten. Vor allem eine konstante Setup-Time bei steigendem und fallendem Dateneingang sind für eine genaue Messung unabdinglich.



**Abbildung 41:** Resultierender Offset bei unterschiedlichen Setup-Zeiten

In Abbildung 41 (a) ist der Dateneingang eines Flipflops dargestellt, dessen Setup-Zeit für steigende Flanken geringer ist als für fallende Flanken. Durch diese Asymmetrie der Setup-Zeiten entsteht bei Durchlaufen der steigenden Taktflanke des Referenztakts durch die Delay-Line Flipflops ein Thermometer-Code, dessen Länge sich um die Zeit  $t_{offset}$  von der Dauer des Eingangssignals unterscheidet. Abbildung 41 (b) zeigt die umgekehrte Situation, in der die Setup-Zeit bei steigenden Flanken höher ist als für fallende Flanken. Das gemessene Zeitsignal ist in diesem Fall um die Zeit  $t_{offset}$  kürzer als das eingehende Datensignal. Ein besonderes Augenmerk sollte also auf die Symmetrie des Flipflops im Hinblick auf die Setup-Zeit gelegt werden. Als mögliche Ansatzpunkte für die Optimierung des Flipflops bieten sich unterschiedliche Möglichkeiten. Abbildung 42 zeigt den Aufbau des Speicherelements mit hervorgehobenen Schaltungsteilen, die sich für eine Anpassung eignen.

Die Eingangsbuffer  $B_1$  und  $B_2$  können vergrößert werden, um schnellere Flanken für das eingehende Datensignal zu ermöglichen. Die PMOS Pass-Devices  $P_1$  und  $P_2$  können entweder vergrößert oder durch Transmission-Gates aus NMOS und PMOS Transistoren ersetzt werden, um eine effektivere Weiterleitung des Eingangssignals an Knoten  $X$  zu erlauben. Ausschlaggebend für die Speicherung des Datenwertes an Punkt  $X$  sind die PMOS Transistoren des ersten D-Latches. Eine Änderung der Dimensionen dieser Transistoren hat

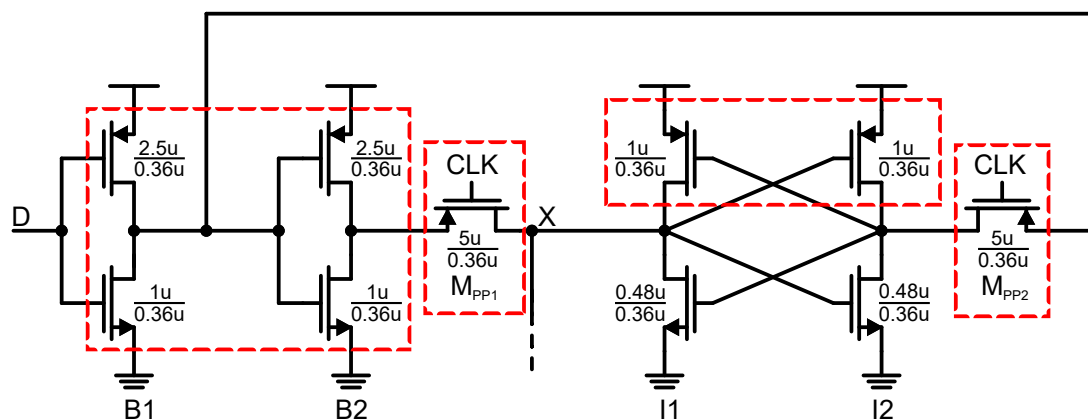


Abbildung 42: Ansatzpunkte für die Optimierung des DL-Flipflops

gleichzeitig eine Änderung des Schaltverhaltens der beiden verschalteten Inverter  $I_1$  und  $I_2$  zur Folge.

Um den Einfluss von vorgenommenen Anpassungen beurteilen zu können, wird das Flipflop nach jeder Änderung resimuliert und die Simulationsergebnisse bezüglich der Setup-Zeiten beurteilt und mit den Ausgangswerten verglichen. Zunächst wird dazu das Flipflop im Ausgangszustand simuliert und die Setup-Zeiten bei steigender (*rising edge*,  $RE$ ) und fallender (*falling edge*,  $FE$ ) Datenflanke betrachtet. Tabelle 1 zeigt die ermittelten Werte für die typische Prozesscorner bei Raumtemperatur:

Corner und Temperatur	Setup-Zeit RE	Setup-Zeit FE	Offset
C0 (typ.), 25°C	505 ps	415ps	-90ps
C1 (ff), -40°C	380 ps	300ps	-80ps
C4 (ss), 105°C	730 ps	610ps	-120ps

Tabelle 1: Setup-Zeiten des DL-Flipflops im Ausgangszustand

Aus den Setup-Zeiten des Flipflops wird an dieser Stelle deutlich, warum der TDC nicht in der Lage ist, Zeitintervalle von weniger als einigen hundert Pikosekunden zu messen. Ist das Messzeitintervall kürzer als die benötigte Setup-Zeit am Delay-Line Flipflop an, bleibt der Ausgang des Flipflops dauerhaft auf einem *LOW*-Pegel und das Messergebnis entspricht einer Null. Eine Verringerung der Setup-Zeiten, d.h. eine Erhöhung der Schaltgeschwindigkeit des Flipflops würde eine Messung kürzerer Zeitintervalle möglich machen, allerdings bleibt in jedem Fall eine minimale Setup-Zeit bestehen, die den kleinsten messbaren Zeitwert begrenzt. Weiterhin ist ersichtlich, dass die benötigte Setup-Zeit bei steigender Datenflanke deutlich höher ist, als bei fallender Datenflanke. Es ergibt sich folglich ein negativer Offset zwischen den beiden Signalen, der die gemessenen Ergebnisse kürzer als das tatsächlich anliegende Zeitsignal erscheinen lässt.



Um die Abweichung zwischen den Setup-Zeiten zu reduzieren, wird zunächst der Einfluss der PMOS-Passgates auf das Schaltverhalten des Flipflops untersucht. Der Nachteil eines einzelnen PMOS-Transistors als Pass-Device ist das resultierende Ausgangssignal des Pass-Gates. Liegt am Gate des PMOS-Transistors ein *LOW*-Pegel und am Eingang ein *HIGH*-Pegel an, ist das Pass-Device geschlossen und die Spannung am Eingang wird an den Ausgang weitergeleitet. Wechselt die Spannung am Eingang des Pass-Gates auf einen *LOW*-Pegel, bleibt das Pass-Gate nur so lange geschlossen bis die Source-Gate Spannung den Wert der Schwellenspannung unterschreitet. Der gleiche Effekt zeigt sich bei NMOS Pass-Gates, deren dynamischer Bereich ebenfalls durch die Schwellenspannung begrenzt ist. Abbildung 43 zeigt die Ein- und Ausgangssignale eines PMOS Pass-Gates.

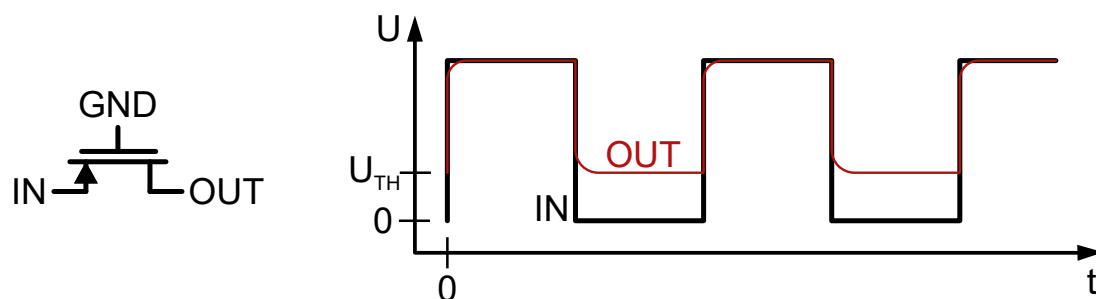


Abbildung 43: Ein- und Ausgangssignal eines PMOS Pass-Gates

Für den hier betrachteten Anwendungsfall, in dem eine hohe Symmetrie bei steigender und fallender Datenflanke gefragt ist, bietet sich daher die Nutzung eines Transmission-Gates aus einem PMOS und einem NMOS Transistor an. Das Transmission-Gate ermöglicht die Durchschaltung von Spannungssignalen ohne Einschränkung durch die Schwellenspannung, wie in Abbildung 44 dargestellt.

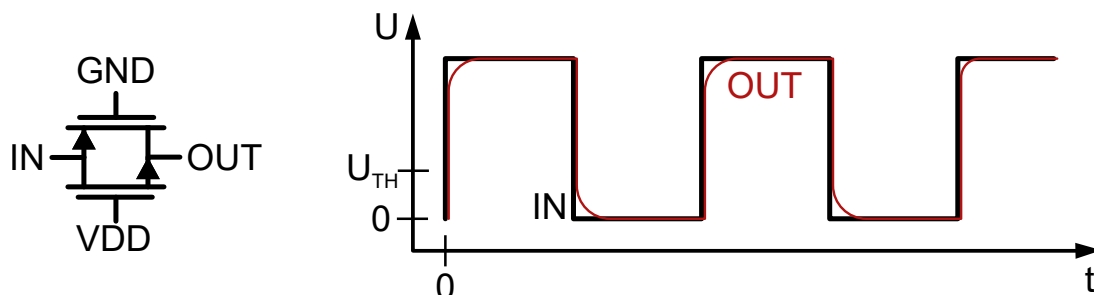


Abbildung 44: Ein- und Ausgangssignal eines Transmission-Gates

Nimmt das Eingangssignal einen *HIGH*-Pegel an, ist der NMOS Transistor geöffnet, da die Gate-Source Spannung unterhalb der Schwellenspannung liegt. Der PMOS Transistor ist allerdings gleichzeitig geschlossen und ermöglicht die Weiterleitung des Eingangssignals zum Ausgang. Bei einem *LOW*-Pegel des Eingangssignals ist wie beim PMOS Pass-Gate

der PMOS Transistor geöffnet. Da der NMOS Transistor in diesem Fall jedoch geschlossen ist, wird das Eingangssignal weiterhin zum Ausgang durchgeschaltet.

Tabelle 2 zeigt die Simulationsergebnisse für die Setup-Zeiten und den resultierenden Offset bei der Nutzung von Transmission-Gates anstelle der PMOS Pass-Gates.

Corner und Temperatur	Setup-Zeit RE	Setup-Zeit FE	Offset
C0 (typ.), 25°C	300 ps	370ps	+70ps
C1 (ff), -40°C	230 ps	270ps	+40ps
C4 (ss), 105°C	450 ps	550ps	+100ps

**Tabelle 2:** Setup-Zeiten des DL-Flipflops mit Transmission-Gates

Die Transmission-Gates führen zu einem zu deutlich geringeren Setup-Zeiten für alle Prozesscorner und Temperaturen, was die Messung kürzerer Zeitintervalle ermöglicht. Zum anderen wird der resultierende Unterschied zwischen den Setup-Zeiten positiv. Dies deutet darauf hin, dass der notwendige Signalpegel an Knoten  $X$ , der die Speicherung des Eingangswertes, d.h. das Umschalten der Inverter  $I_1$  und  $I_2$  im Master-Latch verursacht, zu niedrig gewählt ist. Eine Änderung der Dimensionen der PMOS-Transistoren im Master-Latch ermöglicht eine Anpassung dieses Signalpegels<sup>25</sup>. Die Breite des PMOS Transistors wird sukzessive erhöht und die Offsets der Setup-Zeiten miteinander verglichen. Das beste Simulationsergebnis ergibt sich bei einer Breite von

$$W_P = 3 \cdot W_{MIN} = 3 \cdot 0.48 \mu m \quad (22)$$

Die Simulationsergebnisse sind in Tabelle 3 dargestellt.

Corner und Temperatur	Setup-Zeit RE	Setup-Zeit FE	Offset
C0 (typ.), 25°C	350 ps	400ps	+50ps
C1 (ff), -40°C	270 ps	290ps	+20ps
C4 (ss), 105°C	530 ps	600ps	+70ps

**Tabelle 3:** Setup-Zeiten mit vergrößerten PMOS-Transistoren im Master-Latch

Die Abweichung zwischen den Setup-Zeiten ist durch die Anpassung der PMOS-Transistoren im Master-Latch geringer geworden, bleibt aber dennoch in einer Größenordnung von bis zu  $3 \cdot T_{LSB}$  vorhanden.

Der Offset kann durch eine Optimierung der Treiberstufen  $B_1$  und  $B_2$  am Dateneingang

<sup>25</sup>[7]

des Flipflops weiter verringert werden. Durch eine Anpassung der PMOS-Transistoren kann der für die Inverter ausschlaggebende Signalpegel wieder nach oben oder unten verschoben werden. Da weiterhin ein positiver Offset vorhanden ist, muss der benötigte Signalpegel erhöht, d.h. die PMOS-Transistoren vergrößert werden. Analog zum Master-Latch wird die Größe der PMOS-Transistoren schrittweise angepasst und die resultierende Abweichung der Setup-Zeiten betrachtet. Abbildung 45 zeigt die angepasste Eingangsstufe des DL-Flipflops, für die sich die in Tabelle 4 dargestellten Werte ergeben.

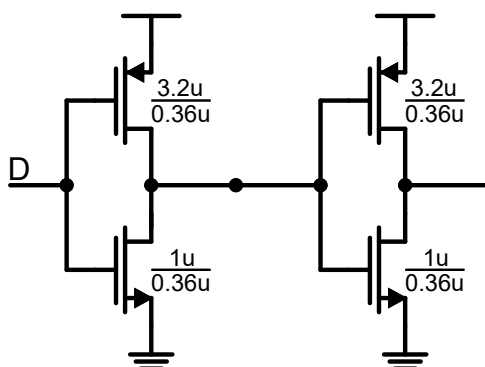


Abbildung 45: Eingangsstufe des DL-Flipflops nach Anpassung

Corner und Temperatur	Setup-Zeit RE	Setup-Zeit FE	Offset
C0 (typ.), 25°C	360 ps	370ps	+10ps
C1 (ff), -40°C	270 ps	270ps	+0ps
C4 (ss), 105°C	530 ps	550ps	+30ps

Tabelle 4: Setup-Zeiten nach Anpassung der Eingangsstufe

Die Abweichungen zwischen den Setup-Zeiten konnten durch die Anpassungen im Master-Latch, der Eingangsstufe und durch Ersetzung des Pass-Devices deutlich verringert werden. Um zu prüfen, ob die geänderten Flipflops auch bei einer Simulation des gesamten TDC die erwartete Verbesserung zeigen, wird erneut eine Zeitmessung simuliert. Dabei werden die gleichen Simulationsparameter verwendet, wie bei der abschließenden Funktionsprüfung in der vorangegangenen Masterstudienarbeit. Die Ergebnisse dieser Simulation sind zusätzlich zu den Simulationsergebnissen der Ausgangsschaltung in Tabelle 5 dargestellt<sup>26</sup>.

Aus den Simulationsergebnissen des TDC sind deutliche Verringerungen des Messfehlers erkennbar. Zwar werden Signale mit einer Länge unterhalb weniger hundert Piko-sekunden weiterhin nicht erkannt, aber die Messabweichung bei längeren Signalen ist deutlich gesunken. Abweichungen innerhalb eines Bereichs von  $1 - 2T_{LSB}$  sind aufgrund

<sup>26</sup>SS = STARTSTOP, Länge des angelegten Zeitsignals

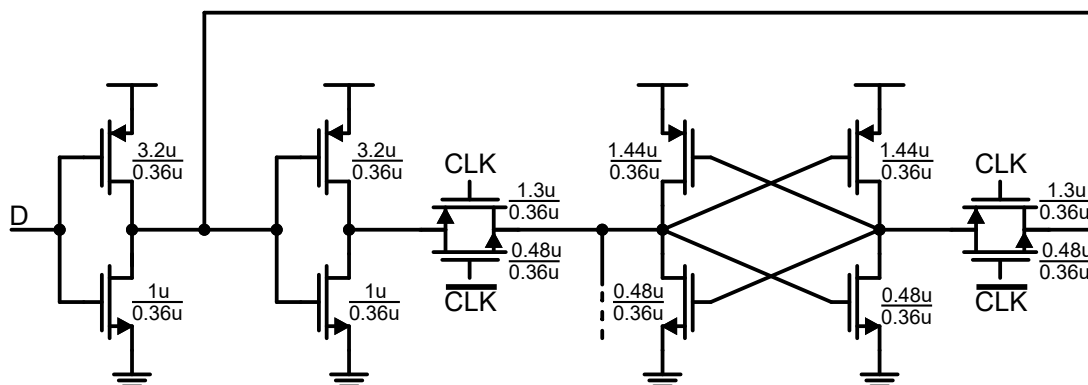
Ausgangsschaltung											
C1, -40°C				C0, 25°C				C4, 105°C			
SS	Bitzahl	Länge	Messfehler	SS	Bitzahl	Länge	Messfehler	SS	Bitzahl	Länge	Messfehler
230p	0	0	-230p	250p	0	0	-250p	250p	0	0	-250p
430p	6	167p	-263p	450p	0	0	-450p	450p	0	0	-450p
630p	17	472p	-158p	650p	14	389p	-261p	700p	0	0	-700p
830p	24	667p	-163p	850p	23	639p	-211p	920p	18	500p	-420p
1030p	31	861p	-169p	1050p	30	833p	-217p	1120p	27	750p	-370p
2030p	67	1861p	-169p	2050p	67	1861p	-189p	2120p	63	1806p	-314p
3030p	103	2861p	-169p	3050p	103	2861p	-189p	3120p	100	2778p	-342p
4030p	139	3861p	-169p	4050p	139	3861p	-189p	4120p	137	3806p	-314p
5030p	176	4889p	-141p	5050p	176	4889p	-161p	5120p	173	4806p	-314p

Optimiertes Flipflop											
C1, -40°C				C0, 25°C				C4, 105°C			
SS	Bitzahl	Länge	Messfehler	SS	Bitzahl	Länge	Messfehler	SS	Bitzahl	Länge	Messfehler
230p	0	0	-230p	250p	0	0	-250p	250p	0	0	-250p
430p	14	389p	-41p	450p	14	389p	-61p	450p	0	0	-450p
630p	22	611p	-19p	650p	23	639p	-11p	700p	24	667p	-33p
830p	30	833p	+3p	850p	30	833p	-17p	920p	31	862p	-58p
1030p	36	1000p	-30p	1050p	38	1056p	+6p	1120p	40	1111p	-9p
2030p	74	2056p	+26p	2050p	74	2056p	+6p	2120p	75	2084p	-36p
3030p	109	3028p	-2p	3050p	110	3084p	+34p	3120p	112	3111p	-9p
4030p	145	4028p	-2p	4050p	146	4056p	+6p	4120p	149	4139p	+19p
5030p	180	5000p	-30p	5050p	183	5083p	+33p	5120p	184	5111p	-9p

**Tabelle 5:** Resimulation einer Zeitmessung mit optimiertem Delay-Line Flipflop

von Quantisierungsfehlern, die aus der Wandlung eines analogen in einen digitalen Wert entstehen, in jedem Fall zu erwarten. In Abbildung 46 ist das überarbeitete Delay-Line Flipflop mit den dazugehörigen Transistorgrößen erneut dargestellt. Da im Slave-Latch keine Veränderungen durchgeführt wurden, wurde auf die Darstellung in der Abbildung verzichtet.



**Abbildung 46:** Angepasstes Delay-Line Flipflop

## 4.2 Testchip

Basierend auf den Masterarbeiten<sup>27</sup> zweier ehemaliger Studenten der Fachhochschule Dortmund, hat die Elmos Semiconductor SE einen Testchip gefertigt, auf dem eine Version des TDC implementiert ist. Da dieser Chip bereits einige Monate vor Wiederaufnahme des Projekts gefertigt wurde, gibt es einige Unterschiede zwischen dieser Implementierung und der aktuellen Version des TDC. Im Gegensatz zur aktuellen Schaltung wurden auf dem Testchip teilweise bereits durch die Nutzung in anderen Produkten erprobte Schaltungen für Buffer oder Flipflops gewählt. Auch die vom Autor in der vorherigen Arbeit vorgenommenen Optimierungen sind nicht in den vorhandenen Testchip eingeflossen.

Um zum einen weitere Verbesserungen am Aufbau des TDC zu ermöglichen und zum anderen den Arbeitsaufwand im Hinblick auf das Layout für die optimierte Schaltung zu verringern, werden im folgenden die Unterschiede zwischen den beiden Versionen betrachtet, die genutzten Schaltungsteile im Hinblick auf ihren Einfluss auf die Funktion und Genauigkeit des TDC verglichen und wenn möglich bewährte Teile des Testchips für das aktuelle Design übernommen. Aus diesem Grund wird in den folgenden Abschnitten der Einfluss von in der Delay-Line des Testchips genutzten Bufferstufen und Pegelwandlern auf die optimierte Schaltung untersucht und die aktuelle Schaltung dementsprechend angepasst.

### 4.2.1 Anpassung des Pegelwandlers

Da die differentiellen Inverter in der Delay-Line mit der variierenden Kontrollspannung  $VCTRL$  betrieben werden, wird im Anschluss an den Inverter ein Pegelwandler verwendet, der den Signalpegel wieder auf eine Spannung von  $3.3V$  anhebt. Der für die bisherigen Betrachtungen genutzte Pegelwandler unterscheidet sich in seinem Aufbau von der im vorhandenen Testchip genutzten Schaltung. Es soll daher im folgenden überprüft werden, welche Ausführung für die vorhandene Anwendung besser geeignet ist. In Abbildung 47 ist der Aufbau der beiden unterschiedlichen Schaltungen dargestellt.

Die beiden Pegelwandler unterscheiden sich vor allem durch die Nutzung der zusätzlichen PMOS-Transistoren  $M_1$  und  $M_2$ . Um das Verhalten bei unterschiedlichen Eingangssignalen zu überprüfen, wird eine simple Testbench im Synopsys Custom Compiler genutzt, bei der ein ideales Eingangssignal mit einer Frequenz von  $40\text{ MHz}$  über einen Spannungs-

---

<sup>27</sup>[4],[5]

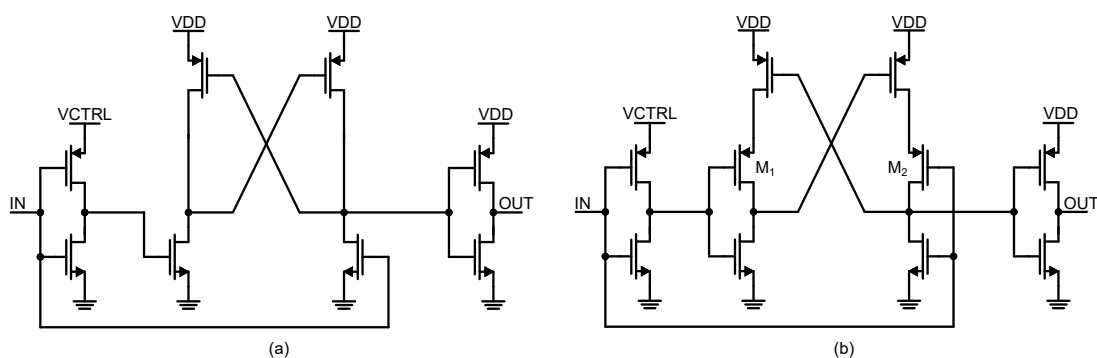


Abbildung 47: Aufbau der im TDC (a) und Testchip (b) verwendeten Pegelwandler

bereich von 1.5 – 3.6V variiert und die resultierenden Ausgangssignale betrachtet werden. Abbildung 48 zeigt die Ein- und Ausgangssignale der beiden Schaltungen.

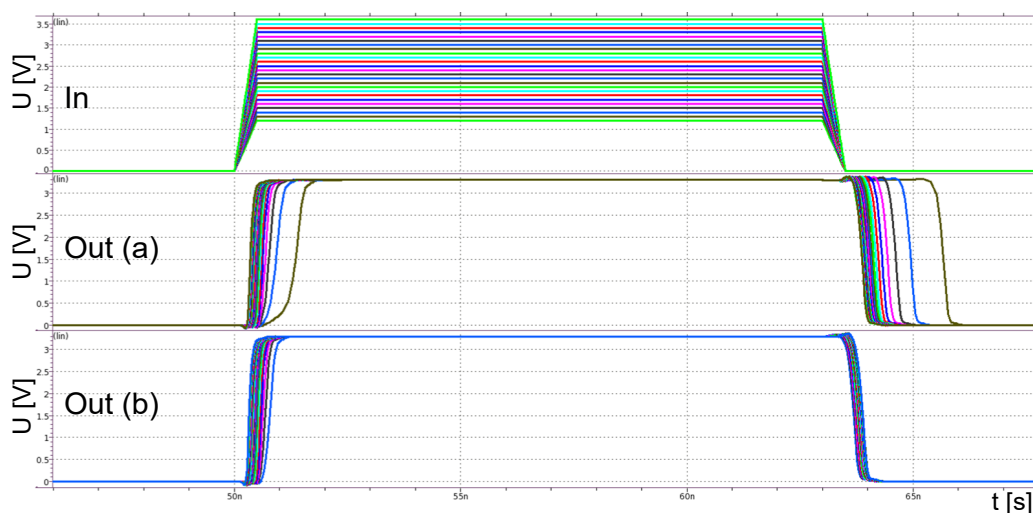
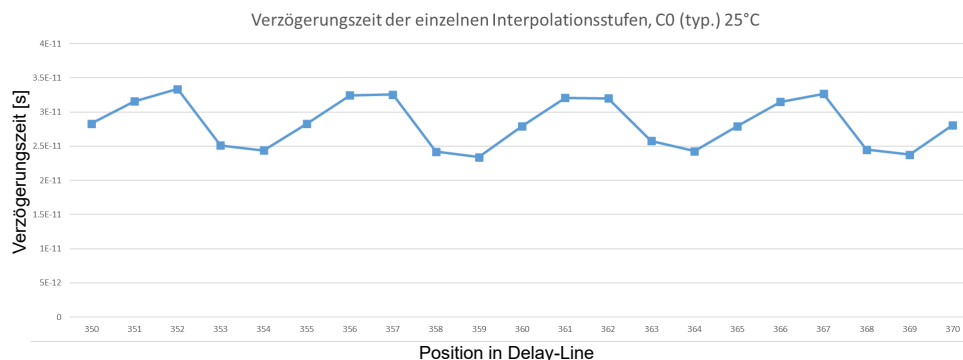


Abbildung 48: Ein- und Ausgangssignale der beiden Pegelwandler

Aus der Simulation ist erkennbar, dass Pegelwandler B vor allem bei kleinen Eingangssignalen ein besseres Schaltverhalten zeigt. Besonders die fallende Taktflanke bei Pegelwandler A weist bei niedrigen Eingangsspannungen eine deutliche Verzögerung im Vergleich zu Wandler B auf. Da der TDC unter Nutzung des Pegelwandlers A optimiert wurde, muss vor Nutzung eines anderen Pegelwandlers überprüft werden, wie sich diese Änderung auf das Verhalten des TDC auswirkt.

Wie in Abbildung 37 dargestellt, liegt der Pegelwandler an einer kritischen Stelle im Signalpfad. Nachgeschaltet ist die Bufferstufe, welche die Interpolationsstufen und die angeschlossenen Speicherelemente treibt. Eine Änderung des Ausgangssignals des Pegelwandlers könnte sich daher auch auf die Homogenität der Verzögerung zwischen den Interpolationsstufen auswirken. Um den Einfluss des neu verwendeten Pegelwandlers zu

überprüfen, müssen daher einige der bereits durchgeführten Simulationen und Berechnungen wiederholt werden. Unter anderem müssen erneut die Homogenität der Delay-Line und die Auswirkung auf die simulierten Zeitmessungen des TDC aus Abschnitt 4.1 festgestellt werden.



**Abbildung 49:** Verzögerung der Interpolationsstufen an unterschiedlichen Positionen der Delay-Line

Ein Teilergebnis der Resimulation der Delay-Line mit dem neuen Pegelwandler ist in Abbildung 49 dargestellt. Dabei ist die Verzögerungszeit einer einzelnen Interpolationsstufe (Y-Achse) über der Position in der Delay-Line (X-Achse) aufgetragen. Aus Gründen der besseren Übersicht, ist in der Abbildung nur ein Ausschnitt der Simulationsergebnisse für die typische Prozesscorner (C0) bei Raumtemperatur (25°C) dargestellt. Die Ergebnisse sowohl für die schnellste und langsamste Prozesscorner und Temperatur als auch für die durchgeführte Monte Carlo Simulation sind in Form der Standardabweichung vom Idealwert und der Standardabweichungen der differentiellen und integralen Nichtlinearität in Tabelle 6 dargestellt.

Pegelwandler Aktuell				
	C0 25°C	C1 -40°C	C4 105°C	MC 25°C
$\sigma$	2.29 ps	5.04ps	9.40 ps	3.61 ps
$\sigma_{DNL}$	0.082	0.188	0.337	0.128
$\sigma_{INL}$	0.096	0.160	0.272	0.222
Pegelwandler Testchip				
	C0 25°C	C1 -40°C	C4 105°C	MC 25°C
$\sigma$	3.52 ps	5.78 ps	9.02 ps	3.83 ps
$\sigma_{DNL}$	0.125	0.202	0.319	0.137
$\sigma_{INL}$	0.108	0.168	0.270	0.228

**Tabelle 6:** Vergleich der Homogenität mit unterschiedlichen Pegelwandlern

Für die erneute Simulation einer Zeitmessung wurde der gesamte TDC ebenfalls bei langsamer, schneller und typischer Prozesscorner und Temperatur simuliert. Dabei wird wie

bei der Optimierung des Delay-Line Flipflops das gemessene Zeitintervall mit der Länge des tatsächlich angelegten *STARTSTOP*-Signals verglichen und die resultierende Differenz berechnet. Die Simulationsergebnisse sind in Tabelle 7 aufgeführt.

Offset mit Pegelwandler aus Testchip											
C1, -40°C				C0, 25°C				C4, 105°C			
SS	Bitzahl	Länge	Messfehler	SS	Bitzahl	Länge	Messfehler	SS	Bitzahl	Länge	Messfehler
230p	0	0	-230p	250p	0	0	-250p	250p	0	0	-250p
430p	14	389p	-41p	450p	14	389	-61p	450p	0	0	-450p
630p	22	611p	-19p	650p	23	639p	-11p	700p	24	667p	-33p
830p	29	806p	-24p	850p	29	806p	-44p	920p	31	862p	-58p
1030p	36	1000p	-30p	1050p	37	1028p	-22p	1120p	39	1083p	-37p
2030p	73	2028p	-2p	2050p	74	2056p	+6p	2120p	75	2084p	-36p
3030p	109	3028p	-2p	3050p	110	3056p	+6p	3120p	112	3111p	-11p

**Tabelle 7:** Resimulation einer Zeitmessung mit geändertem Pegelwandler

Ein Vergleich der Simulationsergebnisse aus den Tabellen 6 und 7 zeigt nur sehr geringe Abweichungen bei den resultierenden Messfehlern. Diese Tatsache kombiniert mit den nur leicht abweichenden Werten der integralen und differenziellen Nichtlinearität lässt vermuten, dass in diesem Fall der Einfluss des Pegelwandlers auf die Funktion des TDC geringfügig genug ist, um die veränderte Schaltung nutzen zu können. Hinzu kommt, dass die spätere Beurteilung der Layout-Effekte ohnehin eine erneute Anpassung der Interpolationsstufen zur Folge hat, womit eventuelle Einflüsse des Pegelwandlers minimiert werden können.

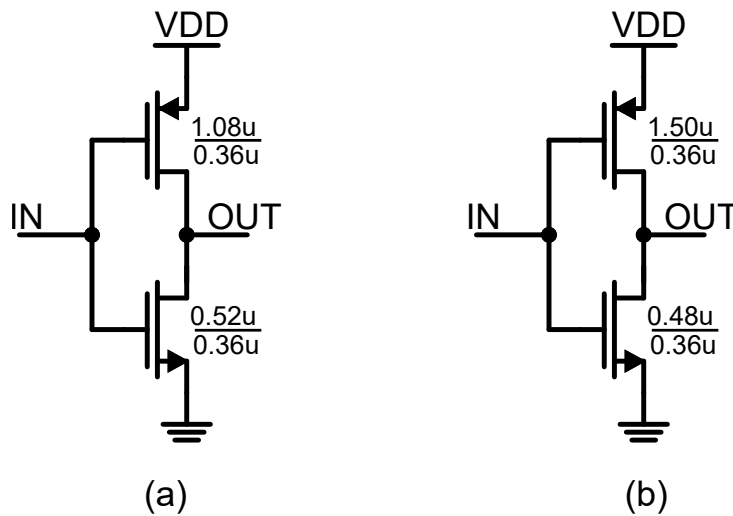
#### 4.2.2 Tap-Buffer

Zwischen den einzelnen Interpolationsstufen werden die Eingangssignale für die Delay-Line Flipflops abgegriffen. Um den Eingang des Flipflops zu treiben, ist zwischen Interpolationswiderstand und Flipflop ein weiterer Treiber verbaut<sup>28</sup>. Im Testchip wird hier ein Inverter aus einer Standardbibliothek genutzt, während im aktuellen Design ein etwas größer dimensionierter Inverter genutzt wird. Abbildung 50 zeigt die unterschiedlichen Schaltungen, die sich ausschließlich in der Dimension der genutzten Transistoren unterscheiden.

Da die Delay-Line Flipflops unter Nutzung der Inverter in Abbildung 50 (b) optimiert wurden, könnte sich eine Änderung dieser Treiberstufe vor allem auf den resultierenden Offset zwischen angelegtem und gemessenem Zeitsignal auswirken. Auch die Änderung der Eingangskapazität hat möglicherweise Auswirkungen auf die Homogenität der Verzögerungs-

<sup>28</sup>Siehe Abbildung 37, Nr. 5





**Abbildung 50:** Unterschiede der Bufferstufen im Testchip (a) und der aktuellen Schaltung (b)

zeiten zwischen den Interpolationsstufen. Um negative Effekte auszuschließen, wird auch für diese Änderung der Schaltung eine Resimulation der Nichtlinearität und des resultierenden Offsets durchgeführt. In Tabelle 8 sind die Auswirkungen des Buffers aus dem Testchip auf die Nichtlinearität der Delay-Line dargestellt. Dabei wurde die Änderung des Levelshifters in den Simulationen bereits berücksichtigt.

Tap-Buffer Aktuell			
	C0 25°C	C1 -40°C	C4 105°C
$\sigma$	3.52 ps	5.78 ps	9.02 ps
$\sigma_{DNL}$	0.125	0.202	0.319
$\sigma_{INL}$	0.108	0.168	0.270
Tap-Buffer Testchip			
	C0 25°C	C1 -40°C	C4 105°C
$\sigma$	3.25 ps	5.75 ps	8.93 ps
$\sigma_{DNL}$	0.115	0.201	0.315
$\sigma_{INL}$	0.112	0.167	0.275

**Tabelle 8:** Vergleich der Homogenität mit unterschiedlichen Tap-Buffern

Aus den Simulationsergebnissen ist ersichtlich, dass sich die Homogenität der Verzögerungszeiten durch die Einführung der veränderten Treiberstufe nur sehr geringfügig und zum Positiven verändert. Die Simulationsergebnisse für die Veränderung des Offsets sind in Tabelle 9 dargestellt.

Ähnlich zum Pegelwandler sind auch beim Offset nur kleine Änderungen zu erkennen. Da weiterhin Abweichungen von  $1 - 2T_{LSB}$  erwartet werden, scheint die Verwendung des Buffers keine signifikante Auswirkung auf das Verhalten des TDC zu haben. Aufgrund

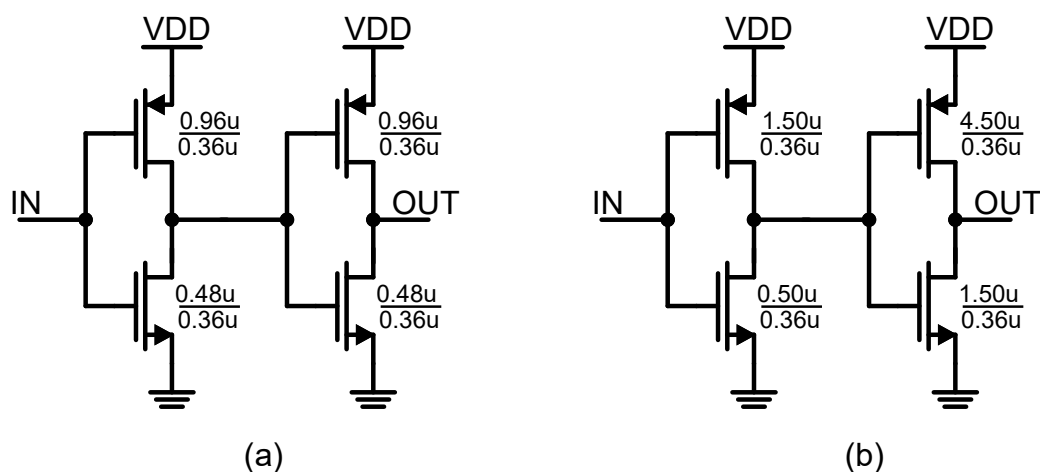
Offset mit Tap-Buffer aus Testchip											
C1, -40°C				C0, 25°C				C4, 105°C			
SS	Bitzahl	Länge	Messfehler	SS	Bitzahl	Länge	Messfehler	SS	Bitzahl	Länge	Messfehler
230p	0	0	-230p	250p	0	0	-250p	250p	0	0	-250p
430p	14	389p	-41p	450p	14	389	-61p	450p	0	0	-450p
630p	22	611p	-19p	650p	22	611p	-39p	700p	24	667p	-33p
830p	29	806p	-24p	850p	29	806p	-44p	920p	31	862p	-58p
1030p	36	1000p	-30p	1050p	37	1028p	-22p	1120p	39	1083p	-37p
2030p	71	2028p	-30p	2050p	73	2027p	-23p	2120p	76	2111p	-9p
3030p	108	3000p	-30p	3050p	110	3056p	+6p	3120p	112	3111p	-9p

**Tabelle 9:** Resimulation einer Zeitmessung mit geändertem Pegelwandler

der relativ kleinen Unterschiede zwischen den beiden Treiberstufen scheinen die Simulationsergebnisse plausibel.

### 4.2.3 Sensing Buffer

Um die Signale aus der Delay-Line für den Betrieb des Phasendetektors und der False- und Harmonic-Lock Schaltungen nutzen zu können, wird hinter dem Pegelwandler in jedem Delay-Element eine weitere Treiberstufe verwendet. Auch in diesem Fall wird im Testchip und dem aktuellen Design eine andere Schaltung genutzt. Der Unterschied besteht vor allem in der Größe der genutzten Transistoren und damit in der Treiberstärke. Abbildung 51 zeigt die beiden Schaltungen und deren Position im Delay-Element.



**Abbildung 51:** Sensing Buffer im Testchip (a) und im aktuellen Design (b)

Um festzustellen, ob sich die Nutzung einer schwächeren Bufferstufe im aktuellen Design negativ auf das Verhalten des TDC auswirkt, wird neben den wiederholt durchgeführten Simulationen für Nichtlinearität und Offset auch ein möglicher Einfluss auf den Phasendetektor und die False- und Harmonic-Lock Schaltungen der DLL betrachtet. Tabelle 10

zeigt die Ergebnisse der Nichtlinearität der Delay-Line nach Änderung des Ausgangsbuffers. Da die Sensing Buffer durch die Pegelwandler vom differentiellen Inverter und durch die Treiber der Interpolationsstufen von den Interpolationswiderständen entkoppelt sind, ist kein starker Einfluss auf die Nichtlinearität zu erwarten. Auch hier sind die vorherigen Änderungen von Pegelwandler und Tap-Buffer bereits berücksichtigt.

<b>Sensing Buffer Aktuell</b>			
	<b>C0 25°C</b>	<b>C1 -40°C</b>	<b>C4 105°C</b>
$\sigma$	3.25 ps	5.75 ps	8.93 ps
$\sigma_{DNL}$	0.115	0.201	0.315
$\sigma_{INL}$	0.112	0.167	0.275
<b>Sensing Buffer Testchip</b>			
	<b>C0 25°C</b>	<b>C1 -40°C</b>	<b>C4 105°C</b>
$\sigma$	3.25 ps	5.83 ps	8.96 ps
$\sigma_{DNL}$	0.115	0.200	0.317
$\sigma_{INL}$	0.104	0.168	0.285

**Tabelle 10:** Vergleich der Homogenität mit unterschiedlichen Sensing Buffern

Eine Änderung der Nichtlinearität ist aus den Simulationsergebnissen nicht zu erkennen. Der tatsächliche Einfluss der geänderten Ausgangsbuffers ist durch die Simulation der Schaltung in dieser Form allerdings kaum einzuschätzen, da die Verbindung zwischen den Treiberstufen und dem Phasendetektor bzw. den False-Lock Schaltungen in der schematischen Darstellung des TDC als Kurzschluss betrachtet simuliert wird. In der Implementierung des TDC als Layout wird die von den Treibern zu versorgende Last stark von der Länge der angeschlossenen Metallbahnen und den daraus resultierenden parasitären Kapazitäten und Widerstände abhängen. Eine weitere Betrachtung dieses Schaltungsteils nach Erstellung des Layouts ist daher zu empfehlen, ist aber nicht mehr Teil dieser Thesis.

Ein weiterer Unterschied zwischen dem Testchip und dem genutzten Design ist die Symmetrie des Delay-Elements in der oberen Hälfte. Während im aktuellen Design der Ausgangstreiber sowohl in der unteren als auch der oberen Hälfte des Delay-Elements genutzt wird, wurde im Testchip auf den zweiten Treiber verzichtet. Da der Ausgang dieses Treibers nicht mit einem weiteren Schaltungsteil verbunden ist, ist seine einzige Funktion die Wahrung einer symmetrischen Last an beiden Ausgängen des differentiellen Inverters. Durch die Entkopplung des differentiellen Inverters und des Treibers durch den Pegelwandler wird der Einfluss des oberen Treibers in Simulationen voraussichtlich nicht festzustellen sein. Die Auswirkung fehlender Symmetrie durch den Verzicht auf den Treiber kann in diesem Fall nur durch die Erstellung und den Vergleich unterschiedlicher Layouts abschließend beurteilt werden. Da dies den Rahmen dieser Arbeit überschreitet, wird lediglich eine

erneute Simulation ohne zweiten Ausgangstreiber durchgeführt, um zumindest offensichtliche negative Auswirkungen auf die Nichtlinearität ausschließen zu können. In Tabelle 11 sind die Simulationsergebnisse der Delay-Line ohne den Ausgangsbuffer in der oberen Hälfte des Delay-Elements dargestellt.

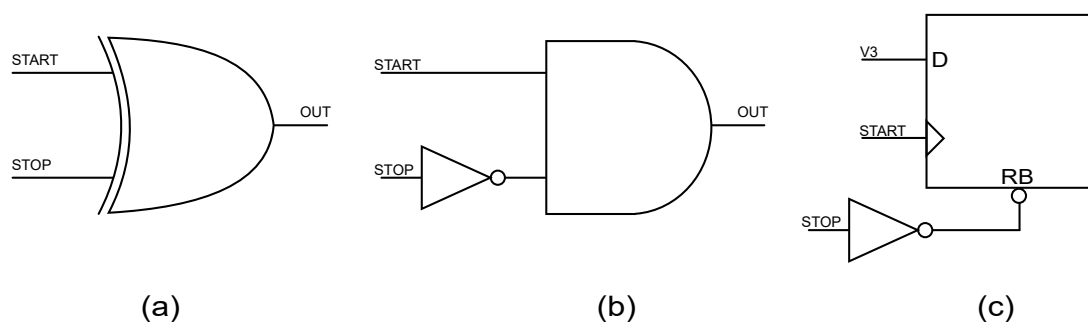
Ohne oberen Sensing Buffer			
	C0 25°C	C1 -40°C	C4 105°C
$\sigma$	3.24 ps	5.73 ps	8.95 ps
$\sigma_{DNL}$	0.115	0.201	0.317
$\sigma_{INL}$	0.100	0.166	0.283

**Tabelle 11:** Homogenität ohne zweiten Sensing-Buffer

Wie erwartet, sind durch das Fehlen des zweiten Buffers kaum Auswirkungen auf die Homogenität der Verzögerungszeiten erkennbar.

### 4.3 Generation des Start-Stop Signals

Das *STARSTOP* Signal, dessen Länge durch den TDC bestimmt werden soll, repräsentiert das Zeitintervall zwischen zwei einzelnen Signalen *START* und *STOP*, welche wiederum für die Steuersignale der Lichtquelle und des elektronischen Shutters stehen<sup>29</sup>. Um diese beiden Signale zu dem *STARSTOP* Signal zusammenzufassen, was für die Zeitmessung benötigt wird, sind unterschiedliche Ansätze möglich, die in diesem Abschnitt betrachtet werden.

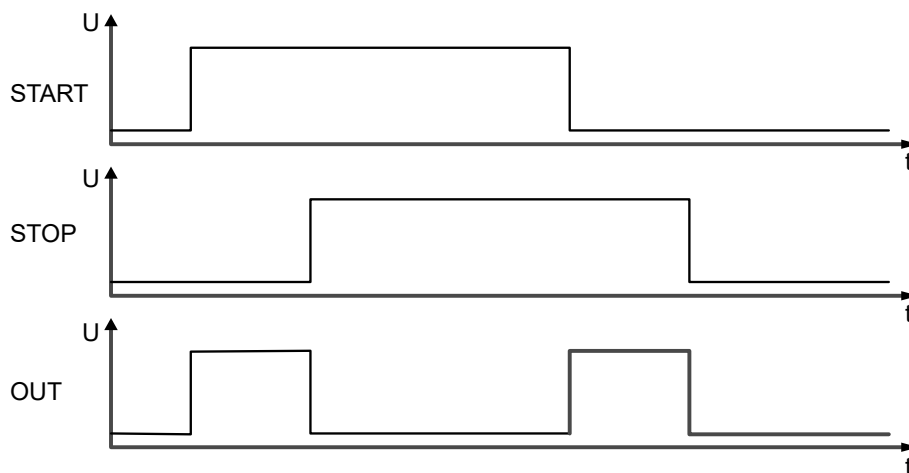


**Abbildung 52:** Generierung eines STARTSTOP Signals

Abbildung 52 zeigt die betrachteten unterschiedlichen Möglichkeiten zur Generierung des einzelnen *STARSTOP*-Signals. Eine Möglichkeit die zwei Signale zu kombinieren, ist ein einfaches XOR-Gate. Das Ausgangssignal nimmt ausschließlich dann einen *HIGH*-Pegel an, wenn entweder das *START* oder das *STOP* Signal anliegen. Sobald keines oder

<sup>29</sup>Siehe Abschnitt 1.1.3

beide Eingangssignale anliegen, geht der Ausgang in den *LOW* Zustand über. Abbildung 53 zeigt die Ausgangssignale des XOR-Gates und die daraus ersichtlichen Nachteile.



**Abbildung 53:** Ein- und Ausgangssignale des XOR-Gates

Die XOR-Verknüpfung hat zur Folge, dass sobald eines der Signale endet, der Ausgang einen *HIGH* Pegel annimmt. Das würde bedeuten, dass statt nur eines Zeitintervalls ein weiteres Zeitintervall in den TDC eingeht und die vorherige Messung entweder verfälscht oder überschreibt. Das XOR-Gate ist daher für diese Anwendung ungeeignet.

Eine weitere Möglichkeit ist die Nutzung eines AND-Gates und der Invertierung des *STOP* Signals, wie in Abbildung 52 (b) dargestellt. Zwar wird durch diese Anordnung eine Fehlerquelle des XOR-Gates vermieden, aber auch in diesem Fall zeigt sich bei Betrachtung der Ein- und Ausgangssignale in Abbildung 54 ein Nachteil. Endet das *STOP* Signal vor Ende des *START* Signals, ergibt sich wie beim XOR-Gate ein zweiter *STARTSTOP* Puls, der das Messergebnis des TDC verfälscht.

Die dritte betrachtete Möglichkeit ist die Verwendung eines taktflankengesteuerten Speicherelements, das durch das Eintreffen des *STOP* Signals zurückgesetzt wird. Bei steigender Flanke des *START* Signals wird der Wert am Dateneingang, der mit der Versorgungsspannung verbunden ist, im Flipflop gespeichert und liegt so lange am Ausgang an, bis er durch das mit dem Reset-Eingang verbundene *STOP* Signal zurückgesetzt wird. Eine Betrachtung der Ein- und Ausgangssignale dieser Schaltung in Abbildung 55, in der drei unterschiedliche Messszenarien dargestellt sind, zeigt bei jeder Kombination der *START* und *STOP* Signale das gewünschte Verhalten.

In jedem Fall wird ein Signal mit der Länge des Zeitintervalls zwischen *START* und *STOP* erzeugt. Um in jedem Fall eine zuverlässige *STARTSTOP*-Erzeugung zu gewähr-

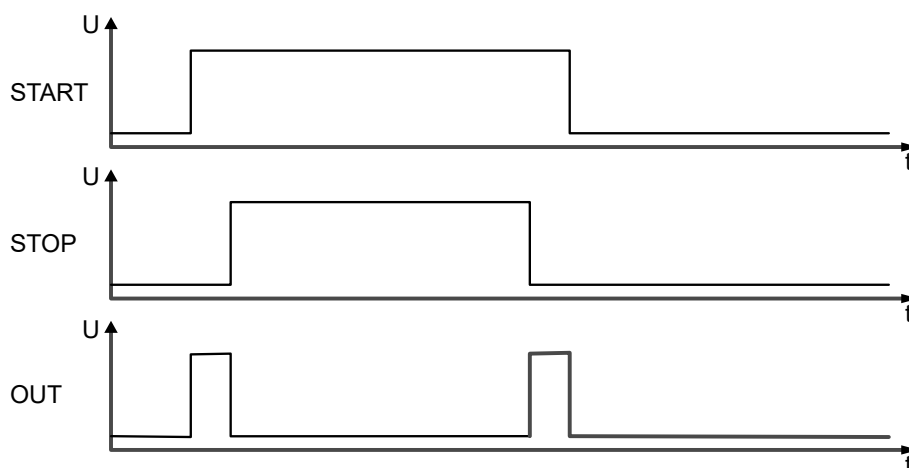


Abbildung 54: Ein- und Ausgangssignale des AND-Gates

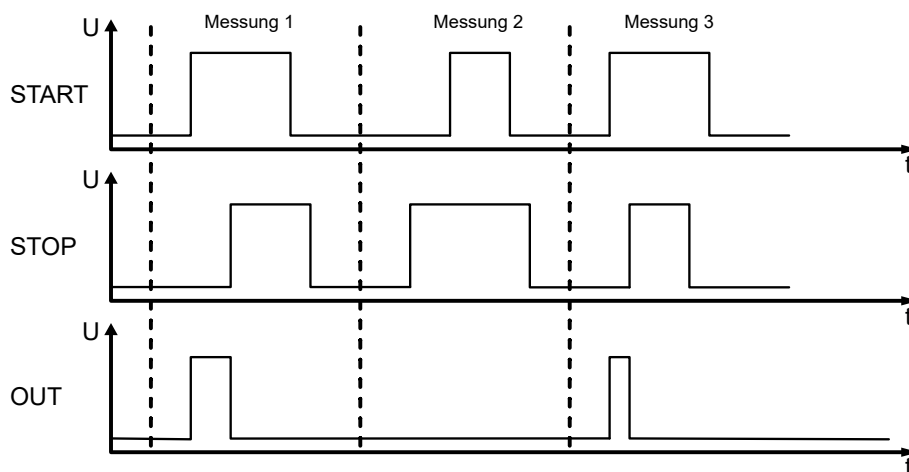


Abbildung 55: Ein- und Ausgangssignale des Flipflops

leisten, wird die Schaltung in Abbildung 52 (c) für die Verwendung in der vorhandenen Schaltung ausgewählt.

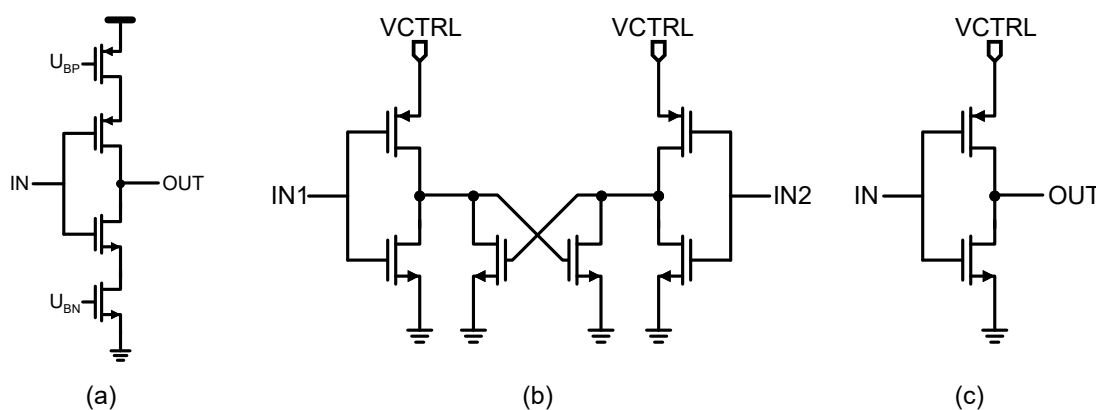
#### 4.4 Variable Verzögerungskette für den Gesamtregelkreis

Ziel des Gesamtregelkreises ist die Regelung der Verzögerung zwischen dem *START* und *STOP* Signal auf einen konstanten Wert. Um diese Regelung durchführen zu können, wird eine in ihrer Verzögerungszeit verstellbare Kette aus Verzögerungselementen benötigt, mit der dieses konstante Delay erreicht werden kann. In diesem Abschnitt sollen verschiedene Verzögerungselemente betrachtet werden, die für den Entwurf dieser Verzögerungskette in Frage kommen. Aus den vorgestellten Delay-Elementen wird nach einer kurzen Betrachtung der Vor- und Nachteile ein geeignetes Element ausgewählt und die variable

Verzögerungskette erstellt.

Im Gegensatz zur Delay-Line im TDC ist für die variable Verzögerungskette weder die Auflösung, noch die Homogenität der Verzögerungszeiten zwischen den Delay-Elementen von hoher Priorität. Wichtig ist eine möglichst linear verlaufende Änderung der Verzögerungszeit bei Änderung der Kontrollgröße. Ziel ist der Entwurf einer Verzögerungskette mit einem variablen Verzögerungsbereich von 12 Nanosekunden mit möglichst geringer Minimalverzögerung.

Für die Verzögerungskette kommen sowohl spannungs- als auch stromgesteuerte Verzögerungselemente in Frage. Abbildung 56 zeigt die drei Verzögerungselemente, die im Rahmen dieser Arbeit betrachtet wurden. Dabei handelt es sich um einen stromgesteuerten Inverter (a), einen spannungsgesteuerten differentiellen Inverter<sup>30</sup> (b), und einen einfachen spannungsgesteuerten Inverter (c).

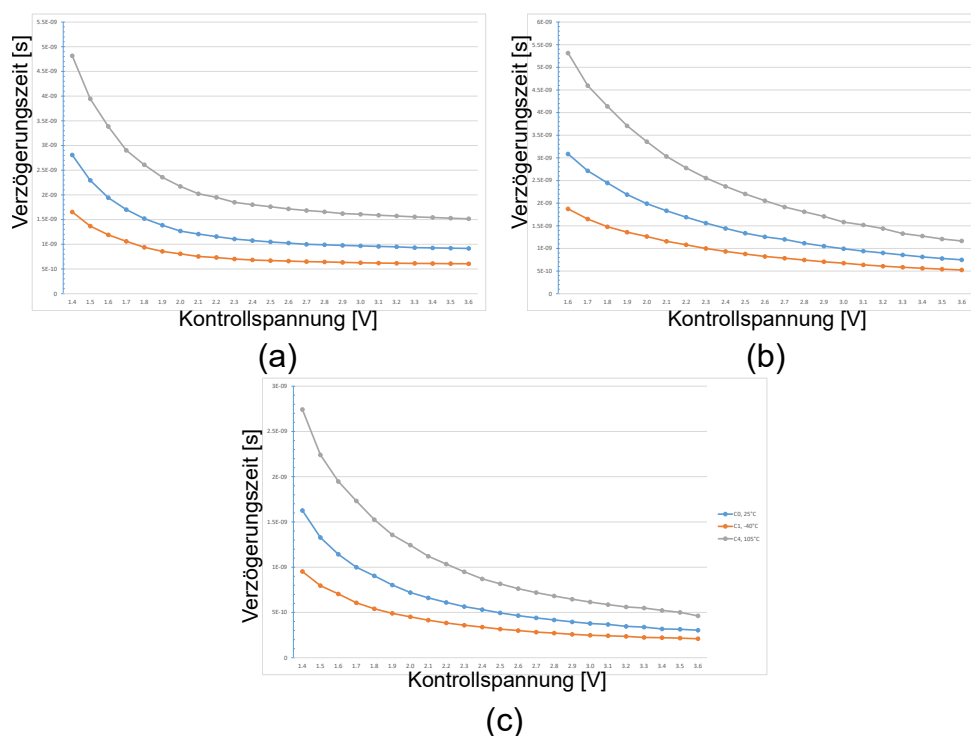


**Abbildung 56:** Mögliche Verzögerungselemente für das variable Delay

Um festzustellen, welches der drei Bauelemente für die Anwendung geeignet ist, wird im folgenden die Verzögerungszeit über ein einzelnes Verzögerungselement bei variierender Kontrollspannung betrachtet. Im Fall der spannungsgesteuerten Elemente ist die Kontrollspannung gleichzeitig auch die Versorgungsspannung, beim stromgesteuerten Inverter wird durch die Kontrollspannung ein Strom durch das Element erzeugt. Da für das variable Delay der gleiche Spannungsregler und die gleichen Transistoren wie für die Delay-Line im TDC verwendet werden, gilt für die Kontrollspannung hier ebenfalls:

$$V_{CTRL,MAX} = 3.6V \quad (23)$$

<sup>30</sup>Es wird hier der selbe Inverter betrachtet, der auch für die Delay-Line des TDC verwendet wurde.



**Abbildung 57:** Verzögerungsverlauf der unterschiedlichen Verzögerungselemente

Abbildung 57 zeigt den Verzögerungsverlauf der drei Verzögerungselemente bei Änderung der Kontrollspannung über unterschiedliche Temperaturen und Prozess-Corner. Der stromgesteuerte Inverter (a) zeigt ein relativ lineares Verhalten bis die Verzögerungszeit bei geringeren Kontrollspannungen deutlich zunimmt. Die geringe Veränderung der Verzögerungszeit über einen breiten Spannungsbereich führt zu einer sehr langen Verzögerungskette, da der dynamische Bereich von 12ns erreicht werden muss. Die Verzögerungszeiten des differentiellen (b) und einfachen (c) Inverters variieren im Vergleich zum stromgesteuerten Inverter deutlich stärker mit wechselnder Kontrollspannung. Eine aus diesen Verzögerungselementen erstellte variable Verzögerungskette benötigt für den selben dynamischen Bereich deutlich weniger Verzögerungselemente als der stromgesteuerte Inverter. Der Verlauf der Verzögerungszeiten ist für beide Bauteile ähnlich linear.

Nach der ersten Betrachtung der unterschiedlichen Verzögerungselemente scheint der stromgesteuerte Inverter aufgrund der sehr geringen Änderung der Verzögerungszeit für das variable Delay ungeeignet zu sein. Die beiden spannungsgesteuerten Inverter wurden zur weiteren Untersuchung in eine Verzögerungskette überführt und in den Regelkreis integriert. Die zugehörigen Ergebnisse sind in der Projektdokumentation von Herrn Felix Schneider aufgeführt<sup>31</sup>.

<sup>31</sup>[8]



## 5 Layout

Nach den durchgeführten Optimierungen des TDC soll ein Teil der Schaltung in ein Layout überführt werden. Im Rahmen dieser Arbeit wird nur das Layout der Delay-Elemente und die Zusammenführung der Elemente zu einer Delay-Line betrachtet, da ein Layout des gesamten TDC den Umfang dieser Thesis überschreitet. Die im vorherigen Abschnitt betrachteten Schaltungsteile, die aus dem Testchip übernommen werden können, sind bereits als Layout vorhanden und können in das neue Layout der Delay-Line integriert werden. Um schon vor Fertigstellung des Layouts den Einfluss parasitärer Effekte abschätzen zu können, wird erneut der Testchip betrachtet. Mithilfe einer Extraktion der parasitären Kapazitäten und Widerstände soll zum Beispiel untersucht werden, wie sich die Verzögerungszeit der Delay-Line durch das Layout verändert und welche Anpassungen für das aktuelle Design daraus resultieren.

Neben der Verzögerungszeit wird auch die Änderung der Homogenität der Verzögerungszeiten betrachtet. Aufgrund der parasitären Einflüsse sind Änderungen in der differentiellen und integralen Nichtlinearität zu erwarten. Diese Ergebnisse lassen allerdings keine quantitative Aussage über mögliche Effekte auf das aktuelle Design zu, da vor allem die Interpolationsstufen anders dimensioniert sind und von anderen Treiberstufen getrieben werden. Die Betrachtung des Testchip-Layouts hat weiterhin den Vorteil, dass mögliche Fehlerquellen schon vor Beginn des neuen Layouts erkannt und wenn nötig vermieden werden können. Sind aus der Betrachtung keine signifikanten Fehlerquellen erkennbar, kann das Layout des Testchips als Anhaltspunkt für das neue Layout genutzt werden.

### 5.1 Layout des Testchips

Abbildung 58 zeigt das Gesamt-Layout des vorhandenen Testchips. Die einzelnen Schaltungsteile und die Ein- und Ausgangspins sind zur besseren Übersicht umrandet und beschriftet. Neben dem TDC ist ein Digitalteil auf dem Testchip implementiert, der den Thermometer-Code des TDC in einen binären Wert umwandelt, welcher an den dafür vorgesehenen Ausgangspins  $D-TDC-OUT_0$  bis  $D-TDC-OUT_9$  ausgelesen werden kann. Dieser binäre Wert wird zu Testzwecken durch einen Analog-Digital-Converter (ADC) und einen dazugehörigen Ausgangsbuffer in eine einzelne analoge Spannung umgewandelt und kann über den Pin  $A-TDC-OUT$  gemessen werden. Dieser Schaltungsteil ist in Abbildung 58 mit der Abkürzung OS (engl. *output stage*) bezeichnet. Zusätzlich sind im

unteren Teil des Layouts einige Entkopplungskapazitäten eingefügt, die zur Stabilisierung der Versorgungs- und Massepfade beitragen.

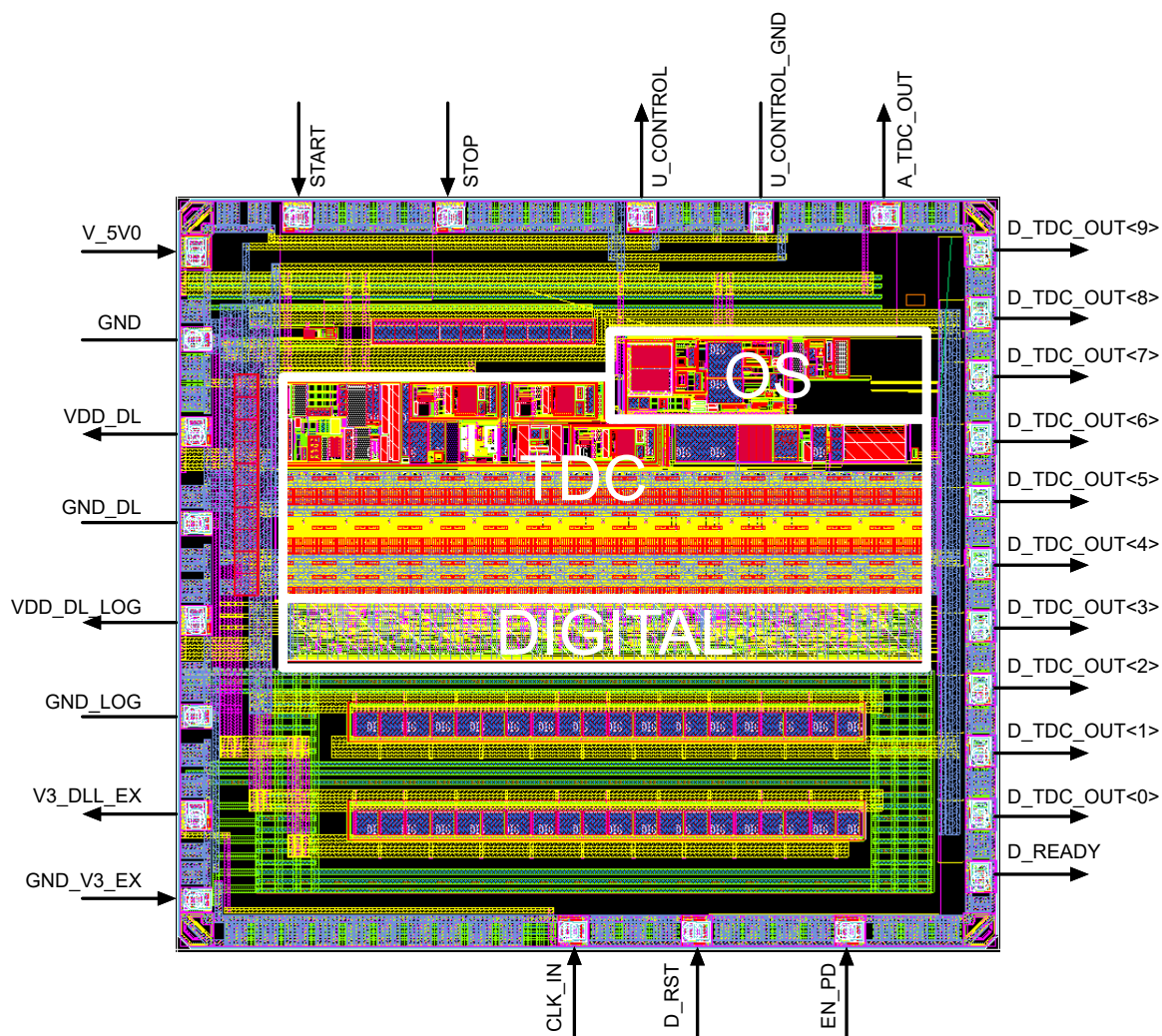


Abbildung 58: Layout des Testchips

Da der Schwerpunkt dieser Thesis in der Betrachtung des TDC und der dazugehörigen Delay-Line liegt, soll dieser Teil des Layouts etwas detaillierter beschrieben werden. In Abbildung 59 ist daher das Layout des TDC in vergrößerter Form dargestellt.

Der Schaltungsblock *SUPPLY* erzeugt aus der 5V Versorgungsspannung des Testchips die für den TDC erforderlichen 3.3V Versorgungsspannungen und Referenzströme. Im oberen rechten Teil der Abbildung sind das Layout des Phasendetektors, der Charge-Pump und des Spannungsreglers (*PD-CP-VR*) zu erkennen. Zusätzlich sind die Force-Up und Reset-Schaltungen, die ein Einschwingen des DLL auf zu kleine oder zu große Werte verhindern sollen, zu sehen. Den größten Anteil der Chipfläche nimmt die Delay-Line ein, die aus zusammenschalteten Delay-Elementen besteht. Die Delay-Elemente sind

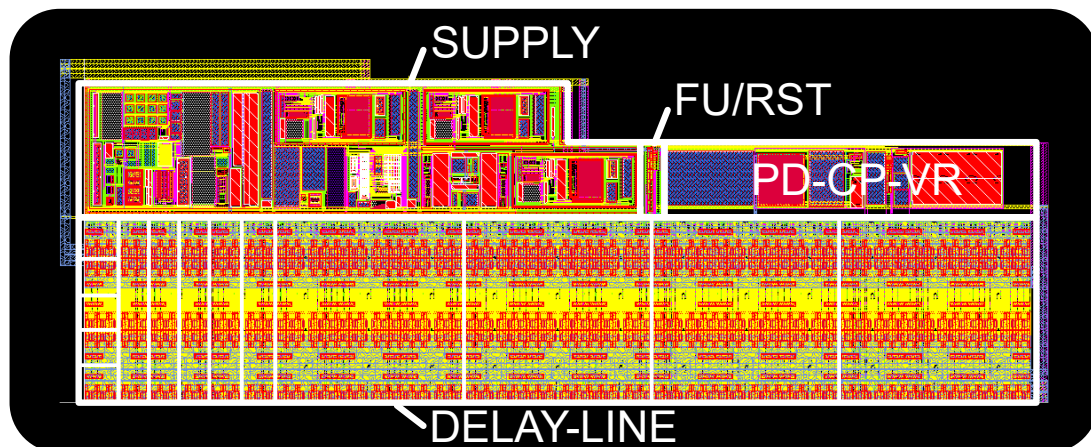


Abbildung 59: Layout des TDC

zur einfacheren Verschaltung im Layout in Teilkomponenten von 5 und 30 Elementen unterteilt, wie durch die weißen Trennlinien in Abbildung 59 verdeutlicht werden soll. Zur besseren Übersicht ist die Metal4-Schicht, mit der die Versorgungsspannungs- und Masseanschlüsse der Delay-Line realisiert wurden, in der Abbildung nicht dargestellt.

Das Layout eines einzelnen Delay-Elements ist in Abbildung 60 dargestellt. Im unteren Teil des Layouts befinden sich sowohl die Delay-Line Flipflops ( $DE\text{-}FF$ ) als auch die Speicher-Flipflops ( $S\text{-}FF$ ), die das Messergebnis über eine Taktperiode hinaus festhalten. Die Interpolationsstufen ( $RES$ ) sind durch unterschiedlich dimensionierte Poly-Widerstände realisiert worden. Oberhalb der Interpolationswiderstände befindet sich die Bufferstufe, die sowohl die Interpolationsstufen als auch die nachgeschalteten Treiber für die Delay-Line Flipflops treibt.  $DI$  bezeichnet den differentiellen Inverter. Die übrigen Buffer und Pegelwandler sind in der Abbildung nicht markiert.

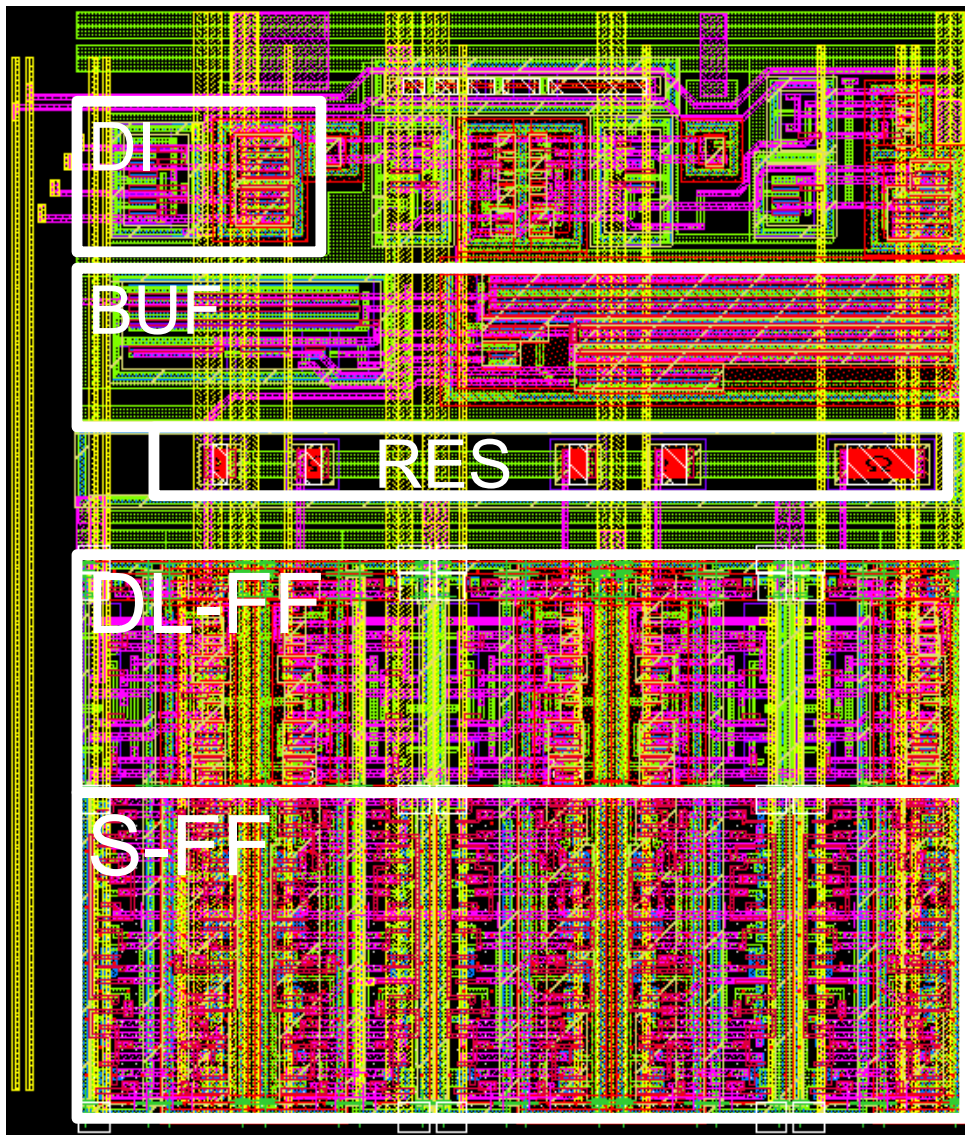


Abbildung 60: Layout eines Verzögerungselements

## 5.2 Parasitäre Einflüsse des Testchip-Layouts

Um festzustellen, wie sich die parasitären Kapazitäten und Widerstände des Layouts auf die Homogenität der Verzögerungszeiten und die Gesamtverzögerung auswirken, werden einige der bereits in der Masterstudienarbeit durchgeführten Simulationen für den Testchip wiederholt. Zunächst soll beurteilt werden, wie sich das Layout auf die Gesamtverzögerung eines Delay-Elements auswirkt, da eine Erhöhung der Verzögerungszeit im optimierten Design eine Verkürzung der Delay-Line nach sich ziehen muss, um weiterhin bei allen Betriebstemperaturen und Prozesscornern die gewünschte Gesamtverzögerung regeln zu können.

Um die Erhöhung der Verzögerungszeit zu simulieren, wird eine Testbench verwendet, in der ein Abschnitt der Delay-Line mit 30 Elementen als ideale Schaltung und mit extrahierten parasitären Widerständen und Kapazitäten simuliert wird. Die 30 Elemente wurden gewählt, da in diesem Teil des Layouts alle in der Delay-Line verwendeten Metalllagen vorhanden sind, was bei niedrigeren Hierarchieebenen (z.B. einem einzelnen Delay-Element) nicht der Fall ist. Da für die Auslegung der Länge der Delay-Line vor allem die langsamste Prozess-Corner und Temperatur ausschlaggebend sind<sup>32</sup>, wird die Simulation mit einer Temperatur von 105°C und der Corner C4 (ss) durchgeführt. Die Kontrollspannung wird auf den Maximalwert von 3.6V eingestellt. Die simulierten Werte der Verzögerungszeit über ein Delay-Element sind in Tabelle 12 dargestellt.

Corner und Temperatur	Verzögerung Schematic	Verzögerung Parasitics
C4, 105°C	136.6 ps	227.8ps

**Tabelle 12:** Verzögerung eines einzelnen Delay-Elements mit und ohne Parasitics

Aus den simulierten Werten ergibt sich eine Erhöhung der Verzögerungszeit um 67%. Die Einflüsse des Layouts sind, zumindest in den Simulationen, signifikant. Es ist also davon auszugehen, dass die für das optimierte Design genutzte Delay-Line deutlich verkürzt werden muss, um auch bei hohen Temperaturen und langsamen Prozesscornern eine Gesamtverzögerung von 25ns erreichen zu können.

Im nächsten Schritt soll überprüft werden, wie sich das Layout auf die Homogenität der Verzögerungszeit zwischen den Verzögerungstufen auswirkt. Dafür wird die Verzögerungszeit zwischen den einzelnen Interpolationsstufen über der Position in der Delay-Line, zum einen für die ideale Schaltung und zum anderen für die Delay-Line mit extrahierten Widerständen und Kapazitäten des Layouts aufgetragen. Abbildungen 61 bis 63 zeigen Ausschnitte aus den Simulationsergebnissen für die unterschiedlichen Prozesscorner. Zur besseren Übersicht ist in Abbildung 64 eine vergrößerte Ansicht der Ergebnisse für die typische Prozesscorner und Raumtemperatur dargestellt.

Aus den Simulationsergebnissen ist ersichtlich, dass durch die zusätzlichen parasitären Kapazitäten und Widerstände eine Verbesserung der Homogenität zwischen den Verzögerungszeiten entsteht. Die Unterschiede zwischen den Verzögerungstufen werden durch den Einfluss des Layouts reduziert. Wie diese Verbesserung zustande kommt, ist durch die Betrachtung der Signalverläufe ersichtlich. Abbildungen 65 und 66 zeigen das durch die Interpolationsstufen eines Delay-Elements verzögerte Taktsignal für die Schaltung mit und ohne extrahierte Parasitics.

<sup>32</sup>Vgl. [1]

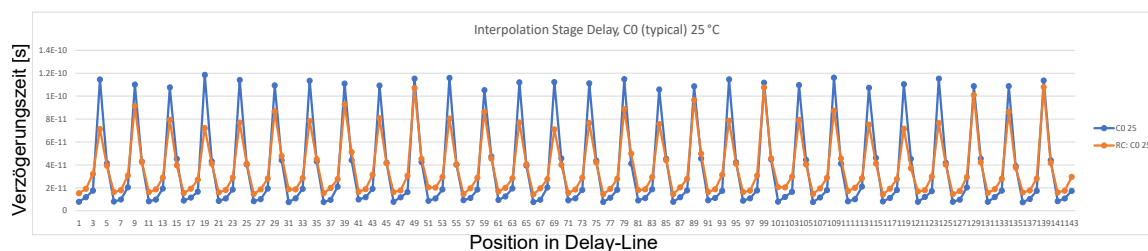


Abbildung 61: Verzögerung zwischen Interpolationsstufen, C0 25°C

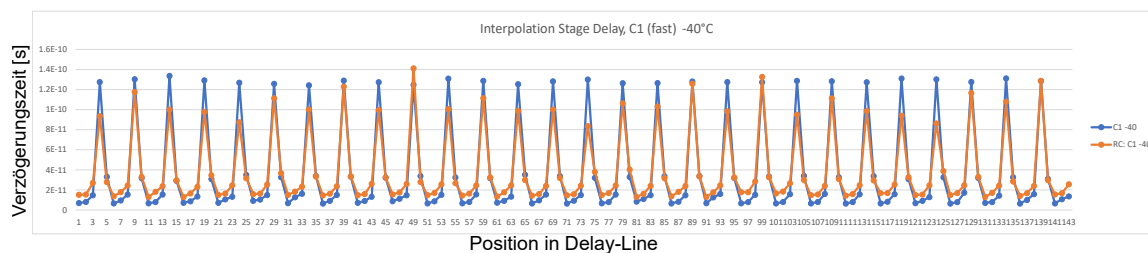


Abbildung 62: Verzögerung zwischen Interpolationsstufen, C1 -40°C

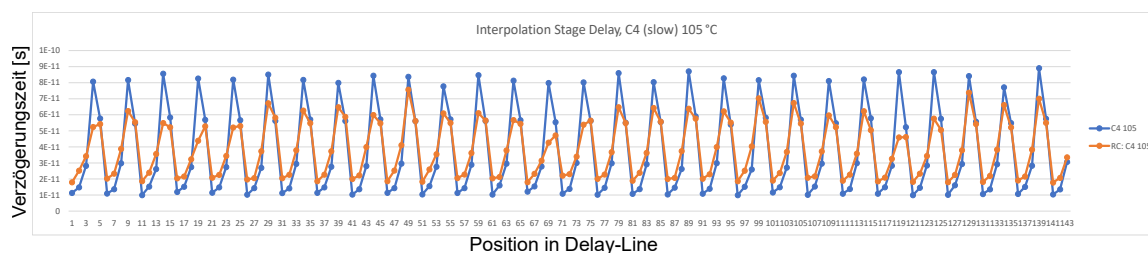


Abbildung 63: Verzögerung zwischen Interpolationsstufen, C4 105°C

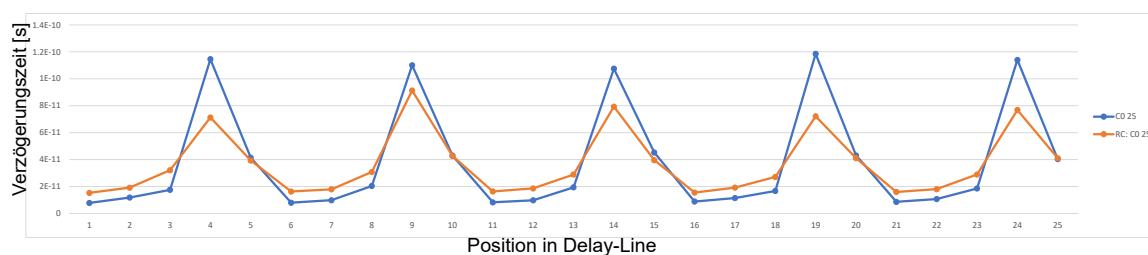


Abbildung 64: Vergrößerte Ansicht der Verzögerungszeiten

Wie in Abschnitt 2.3 beschrieben, haben die sehr schnellen Taktflanken des Eingangssignals bei der idealen Schaltung einen flachen Verlauf der durch die Widerstände interpolierten Signale zur Folge, der für eine gleichmäßige Verzögerung zwischen den Stufen unerwünscht ist. Die aus den zusätzlichen parasitären Kapazitäten resultierende Verzögerung schwächt dieses Verhalten ab und erhöht damit die Homogenität der Verzögerungszeiten.

Da das optimierte Design mithilfe der idealen Schematics bereits auf dieses Verhalten untersucht und die Interpolationswiderstände basierend auf den Simulationsergebnissen

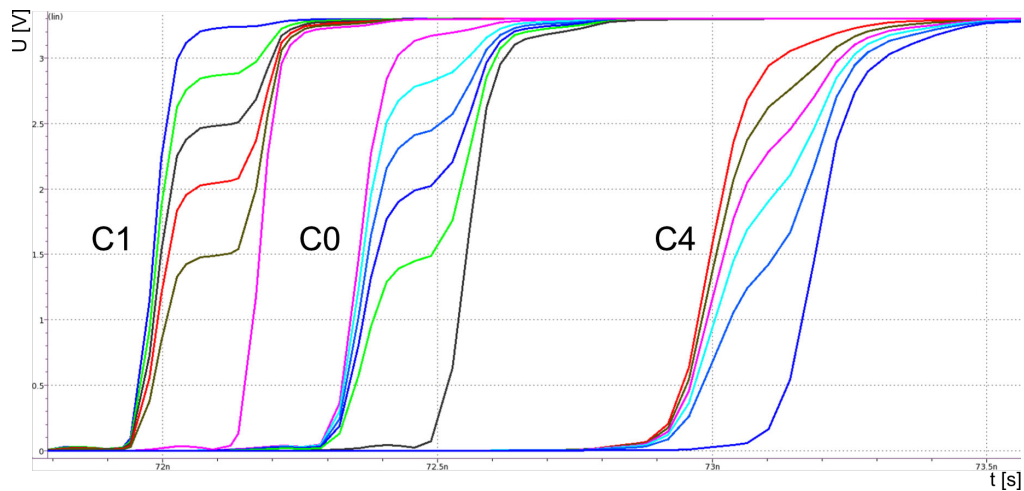


Abbildung 65: Signalverlauf durch die Interpolationsstufen ohne Einfluss des Layouts

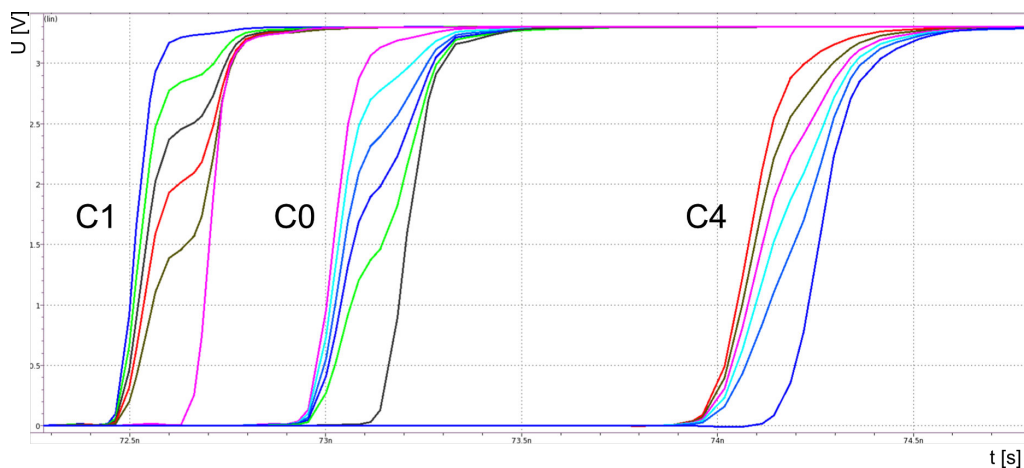


Abbildung 66: Signalverlauf mit parasitären Kapazitäten und Widerständen

für eine optimale Homogenität ausgewählt wurden, ist eine Verbesserung der Homogenität durch den Einfluss des Layouts in der neuen Schaltung nicht zu erwarten.

### 5.3 Layout des optimierten Designs

Im Abschnitt 4 wurden Teilschaltungen des Testchips betrachtet, von denen bereits Layouts vorhanden sind und die daher ohne großen Arbeitsaufwand in das optimierte Design und das zugehörige Delay-Line Layout übernommen werden können. Neben diesen Schaltungen sind allerdings auch Teile des Designs, wie zum Beispiel die Delay-Line Flipflops, umfassend verändert worden, so dass für diese Schaltungsteile neue Layouts erstellt wer-

den müssen. Zusätzlich sollen einige Aspekte des Testchip-Layouts verändert werden, um besseres Matching oder eine symmetrische Abdeckung mit Metalllagen zu erreichen. Dabei sollte die Layout-Fläche der gesamten Delay-Line eine Gesamtfläche von  $2\text{mm}^2$  nicht überschreiten. Es wird ein Layout angestrebt, dass sich in der räumlichen Aufteilung am Layout des Testchips orientiert. Im folgenden soll kurz auf die Teile des Layouts eingegangen werden, die neu erstellt wurden, oder sich deutlich vom Layout des Testchips unterscheiden.

### 5.3.1 Layout des Delay-Line Flipflops

Das in der optimierten Schaltung genutzte Delay-Line Flipflop wurde in den vorherigen Kapiteln für die Messung der *STARTSTOP* Signale optimiert. Aus diesem Grund konnte das im Testchip verwendete Flipflop und das dazugehörige Layout nicht für das aktuelle Design übernommen werden. Abbildung 67 zeigt das neu erstellte Layout des Delay-Line Flipflops.

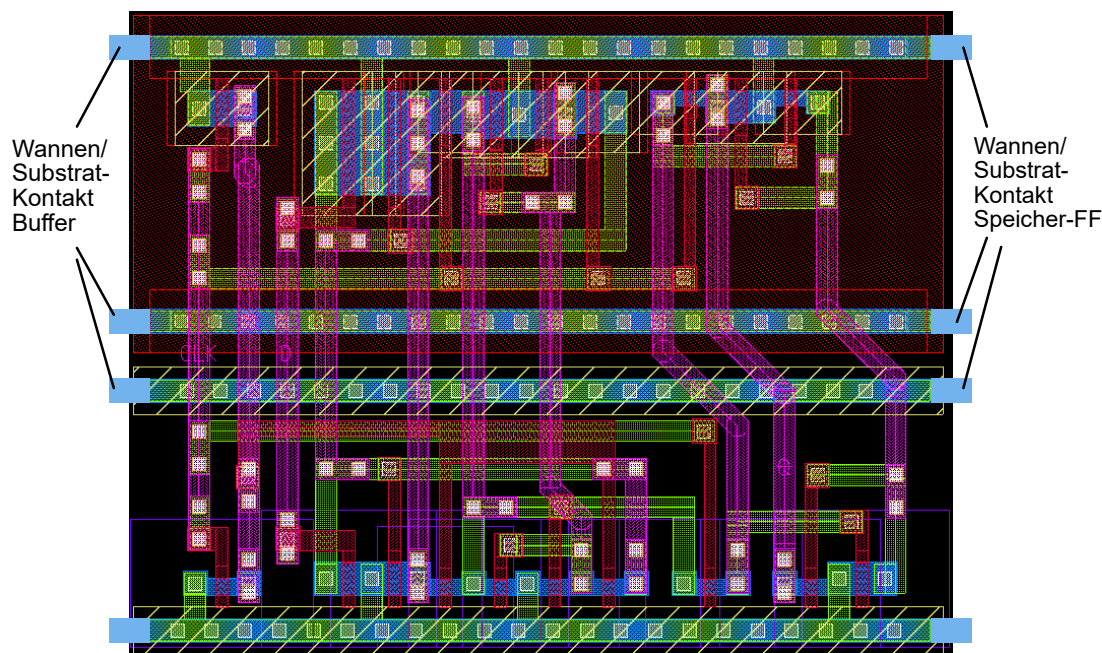


Abbildung 67: Layout des Delay-Line Flipflops

Um im Gesamtlayout der Delay-Line das Flipflop möglichst flächeneffizient mit den nachgeschalteten Speicherflipflops und den vorgeschalteten Bufferstufen verbinden zu können, wurde bei den Substrat- und Wannekontakten darauf geachtet, dass die Abstände exakt den Kontaktabständen der benachbarten Schaltungsteile entsprechen, wie es in Abbildung 67 durch die hellblauen Kontaktflächen angedeutet wird. Damit sind für die Layout-Fläche



in vertikaler Richtung feste Grenzen gesetzt. Für das Routing wurden die Metallagen 1 und 2 verwendet, da höhere Metallagen für die Verbindung der höheren Hierarchieebenen genutzt werden sollen. Insgesamt stehen in der genutzten Technologie neben dem Polysilizium vier Metallagen zum Routing zur Verfügung.

### 5.3.2 Layout des Interpolationsbuffers

Um die Interpolationsstufen und die zwischengeschalteten Flipflops zu treiben, wurde in der Masterstudienarbeit eine Bufferstufe betrachtet und angepasst. Auch dieser Treiber musste in ein Layout überführt werden, welches in Abbildung 68 dargestellt ist.

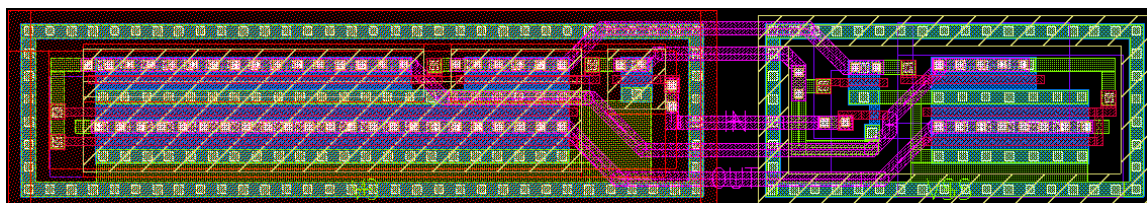


Abbildung 68: Layout der Treiberstufe

Das Layout des Buffers orientiert sich im Aufbau ebenfalls an der Treiberstufe, die im Testchip genutzt wird. Die möglichst flache und breite Struktur soll den ähnlichen Aufbau des Delay-Elements ermöglichen. Die PMOS und NMOS Transistoren sind durch Substrat- und Wannenkontakte voneinander getrennt. Da ein schwächerer Treiber als im Testchip verwendet wurde, ist auch die Layoutfläche des neuen Treibers deutlich kleiner. Wie beim Layout des Delay-Line Flipflops wird für das Routing ausschließlich auf die Metallagen 1 und 2 zurückgegriffen.

### 5.3.3 Layout des Delay-Elements

Aus den geänderten Komponenten und den bereits vorhandenen Layouts der Schaltungsteile des Testchips wurde das neue Delay-Element zusammengefügt. In Abbildung 69 ist das Layout (ohne Metal3) dargestellt.

Der untere Teil des Layouts entspricht im Aufbau dem Delay-Element des Testchips, abgesehen von den optimierten Delay-Line Flipflops (*DL-FF*). Ein wesentlicher Unterschied zum Delay-Element des Testchips ist die Nutzung von Entkopplungskapazitäten (*DC*) auf der Delay-Zellen Ebene. Die relativ großen Flächenanforderungen für diese Kapazitäten machen eine Umstrukturierung der Komponenten notwendig, um weiterhin

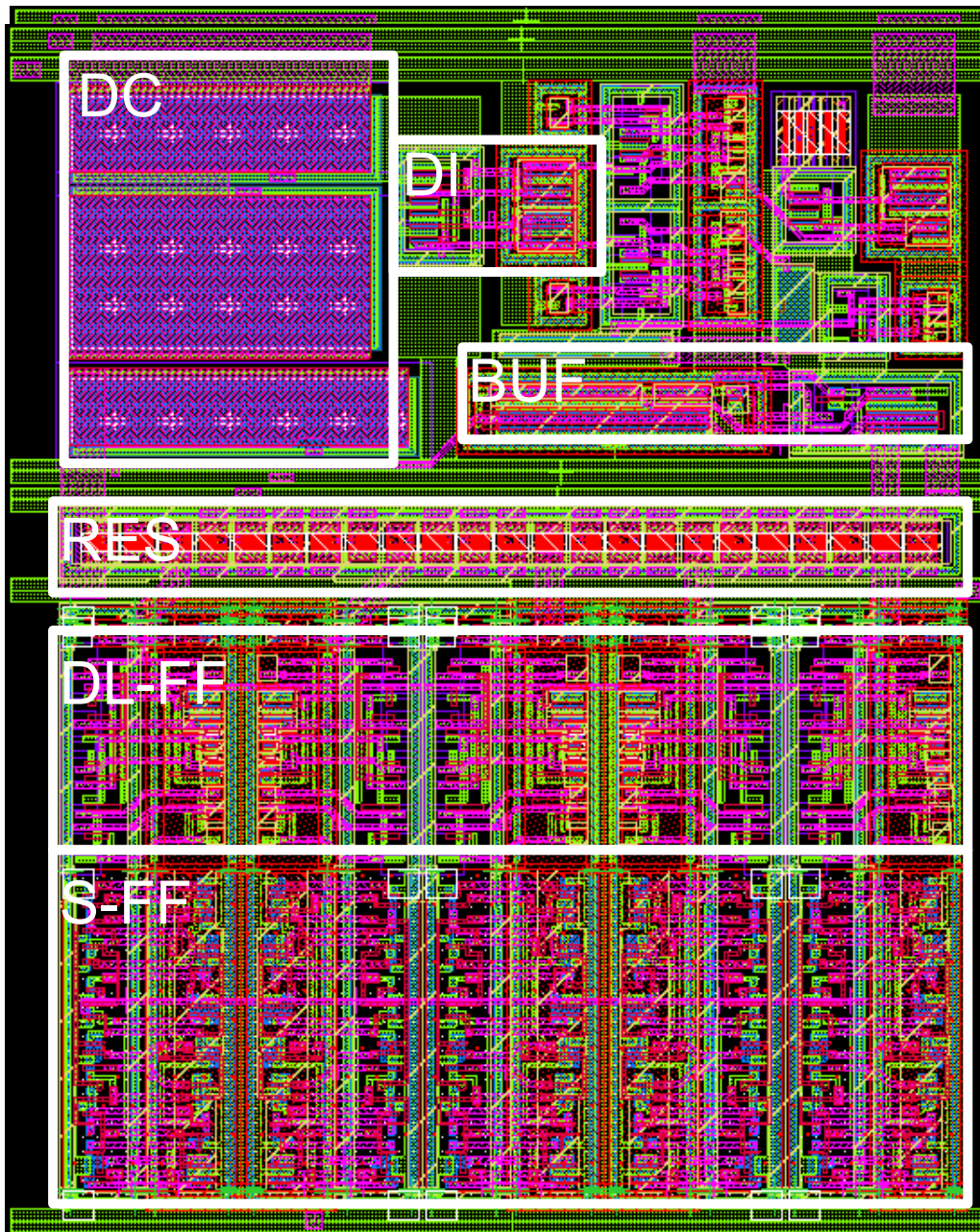


Abbildung 69: Layout des optimierten Delay-Elements

eine ähnliche Layoutfläche beizubehalten. Ein weiterer Unterschied ist die Nutzung von Einheitswiderständen (*RES*), die das Matching zwischen den einzelnen Interpolationswiderständen verbessern sollen. Zusätzlich ist jeweils ein Dummy-Element rechts und links neben den Widerständen platziert worden. Alle Widerstände sind gleichmäßig mit einer Metal2 Schicht bedeckt, da in Untersuchungen der Elmos Semiconductor SE ein aus ungleichmäßiger Metallbedeckung resultierendes Mismatch bei MOS Transistoren und Poly-Widerständen festgestellt wurde. Da die Verzögerung zwischen den Interpolationsstufen in

Simulationen empfindlich auf die Änderung der Widerstandswerte reagiert, kann ein verbessertes Matching zu einer verbesserten Homogenität zwischen den Verzögerungsstufen beitragen.

## 5.4 Parasitäre Einflüsse des optimierten Layouts

Wie bereits beim Layout des Testchips durchgeführt, soll auch bei der optimierten Schaltung der Einfluss des Layouts auf die Funktion des TDC beurteilt werden. Dazu werden die parasitären Widerstände und Kapazitäten extrahiert und Simulationen zur Ermittlung der Verzögerungszeit eines Delay-Elements und der Homogenität der Verzögerungszeiten zwischen den Interpolationsstufen durchgeführt.

Zunächst soll festgestellt werden, wie sich die Verzögerungszeit eines einzelnen Delay-Elements durch Layout-Effekte verändert. Aus den Untersuchungen des Testchips ist hervorgegangen, dass die Verzögerungszeit durch parasitäre Widerstände und Kapazitäten steigt. Ein ähnliches Verhalten ist daher auch beim Layout der optimierten Schaltung zu erwarten. Um die Simulation so realitätsnah wie möglich zu gestalten, ohne gleichzeitig die Simulationszeiten stark zu erhöhen, werden erneut die parasitären Einflüsse eines Layoutblocks aus 30 Elementen extrahiert und die Verzögerungszeit zwischen der idealen Schaltung und der extrahierten Schaltung verglichen. Dabei wurde die gleiche Vorgehensweise bei Temperatur, Kontrollspannung und Prozesscorner gewählt wie beim Testchip. Tabelle 13 zeigt die Simulationsergebnisse und die relative Erhöhung der Verzögerungszeit. Zum direkten Vergleich sind die Werte des Testchips ebenfalls aufgeführt.

<b>Optimiert</b>	$t_{DEL}$ <b>Schematic</b>	$t_{DEL}$ <b>Parasitics</b>	<b>Rel. Erhöhung</b>
Optimiert	136.6 ps	246.7ps	80.6%
Testchip	136.6 ps	227.8ps	66.8%

**Tabelle 13:** Verzögerung eines optimierten Delay-Elements mit und ohne Parasitics

Die parasitären Einflüsse des Layouts haben eine Erhöhung der Verzögerungszeit um etwa 80% zur Folge. Das würde für die Delay-Line eine Verkürzung und damit eine Verringerung der effektiven Auflösung bedeuten.

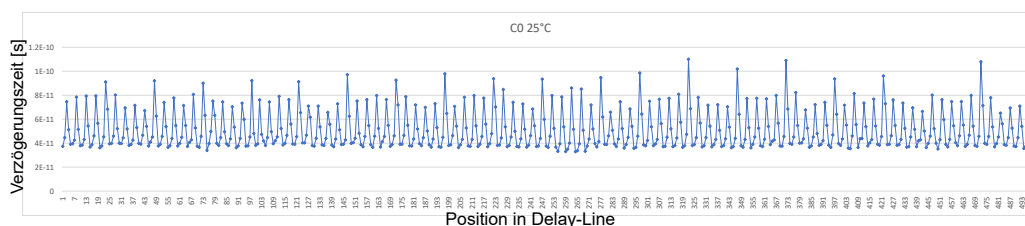
$$\text{Anzahl der Elemente} \leq \frac{\text{Taktperiode } T_{REF}}{\text{Verzögerung eines Elements}} = \frac{25ns}{246.7ps} \approx 100 \quad (24)$$

Um weiterhin mit einer maximalen Kontrollspannung von 3.6V die Delay-Line bei lang-

samster Temperatur und Prozesscorner betreiben zu können, muss die Delay-Line auf 100 Elemente gekürzt werden. Das hat eine Auflösung von  $T_{LSB} = 50ps$  zur Folge. Die definierte Auflösungsanforderung von  $70ps$  ist also weiterhin erfüllt.

Die Delay-Line des Testchips ist mit 130 Elementen länger dimensioniert als die des angepassten Designs. Dies hat auch eine höhere theoretische Auflösung von  $38,5ps$  zur Folge. Die Verschlechterung der Auflösung im angepassten Design resultiert aus der gewählten Entwurfsmethodik. Da zu Beginn der Betrachtungen festgelegt wurde, dass die Delay-Line auch bei langsamster Prozess-Corner und Temperatur mit einer maximalen Kontrollspannung von 3.6 Volt betrieben werden muss, ist die Anzahl der möglichen Delay-Elemente und dadurch die erreichbare Auflösung begrenzt. Simulationen des Testchips haben gezeigt, dass bei höheren Temperaturen und langsamer Prozess-Corner eine Kontrollspannung von etwa 4,2 Volt benötigt werden, um weiterhin eine Gesamtverzögerung von 25 Nanosekunden zu erreichen. Die gewählte Vorgehensweise garantiert folglich, dass unter allen Randbedingungen der DLL korrekt eingeregelt werden kann, limitiert allerdings die mögliche Auflösung.

Basierend auf den durchgeführten Simulationen wurde das Delay-Line Layout mit 120 Elementen erstellt, von denen die ersten und letzten 10 Elemente zur Vor- und Nachverzögerung<sup>33</sup> genutzt werden. Im nächsten Schritt soll der Einfluss des Layouts auf die Homogenität der Verzögerungszeiten überprüft werden. Dazu werden über alle Temperaturen und Prozesscorner Simulationen durchgeführt und die Abweichungen zwischen den Interpolationsstufen ermittelt. Abbildungen 70 bis 72 zeigen die Verzögerungszeiten an den unterschiedlichen Positionen der Delay-Line und in Abbildung 73 ist ein vergrößerter Ausschnitt der Simulationsergebnisse dargestellt.



**Abbildung 70:** Verzögerung zwischen Interpolationsstufen, C0 25°C

Wie in den Schematic-Simulationen ist auch beim Layout ein periodisches Muster in den Verzögerungszeiten der Interpolationsstufen sichtbar. Die Unterschiede zwischen den Verzögerungszeiten nehmen dabei ähnlich wie beim Layout des Testchips vor allem bei schnellerer Temperatur und Prozess-Corner zu. Tabelle 14 zeigt die zugehörigen Werte

<sup>33</sup>Vgl. Abschnitt 3.6

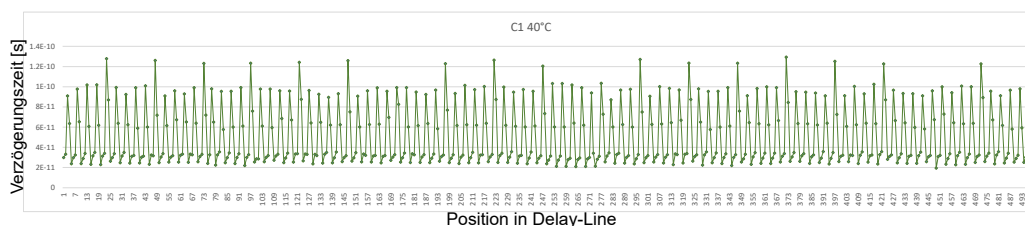


Abbildung 71: Verzögerung zwischen Interpolationsstufen, C1 -40°C

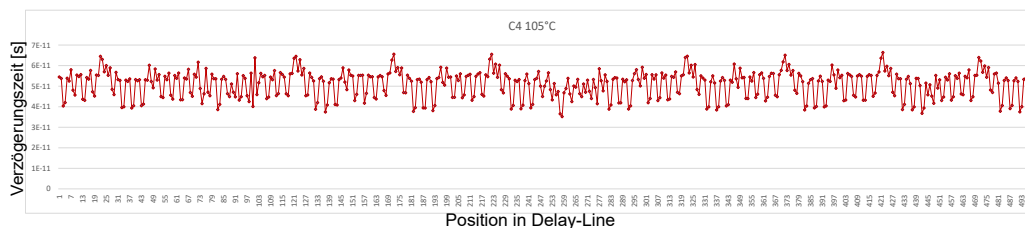


Abbildung 72: Verzögerung zwischen Interpolationsstufen, C4 105°C

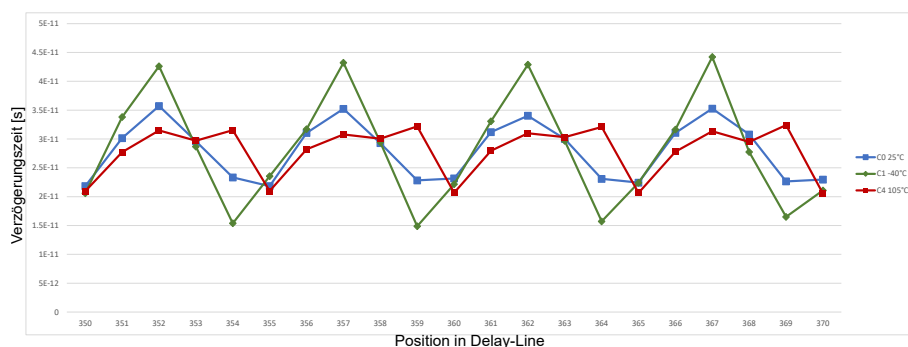


Abbildung 73: Vergrößerte Ansicht der Verzögerungszeiten

der Standardabweichung und der differentiellen und integralen Nichtlinearität und die aus dem Design des Testchips ermittelten Vergleichswerte.

Aus den Simulationsergebnissen des Testchip-Layouts war eine Veränderung der Homogenität durch die parasitären Kapazitäten und Widerstände zu erwarten. Im angepassten Design führt die Überführung der Schaltung in ein Layout zu einer Verschlechterung der aus den idealen Schaltungen ermittelten Homogenität. Allerdings ist gleichzeitig eine Verbesserung der Homogenität im Vergleich zum Testchip erkennbar.

<b>Layout des angepassten Designs</b>			
	<b>C0 25°C</b>	<b>C1 -40°C</b>	<b>C4 105°C</b>
<i>Mean</i>	50 ps		
$\sigma$	16.19 ps	29.45ps	6.51 ps
$\sigma_{DNL}$	0.317	0.577	0.128
$\sigma_{INL}$	0.488	0.654	0.470
<b>Layout des Testchips</b>			
	<b>C0 25°C</b>	<b>C1 -40°C</b>	<b>C4 105°C</b>
<i>Mean</i>	38.5 ps		
$\sigma$	16.19 ps	29.45ps	6.51 ps
$\sigma_{DNL}$	0.663	0.894	0.436
$\sigma_{INL}$	0.688	0.786	0.578

**Tabelle 14:** Standardabweichung, DNL und INL des erstellten Layouts

## 6 Fazit und Ausblick

Ziel dieser Arbeit war die weitere Optimierung eines LPI-TDC mit besonderem Schwerpunkt auf der inverterbasierten Delay-Line und die Überführung der Schaltung in ein Layout. Zunächst sollte festgestellt werden, aus welchem Schaltungsteil der in den simulierten Messungen vorhandene Offset-Fehler resultierte. Die Untersuchung und Optimierung des Delay-Line Flipflops ergab, dass durch symmetrische Setup-Zeiten ein Großteil des Offsets korrigiert werden konnte. Die Ergebnisse der simulierten TDC-Messungen konnten dadurch deutlich verbessert werden.

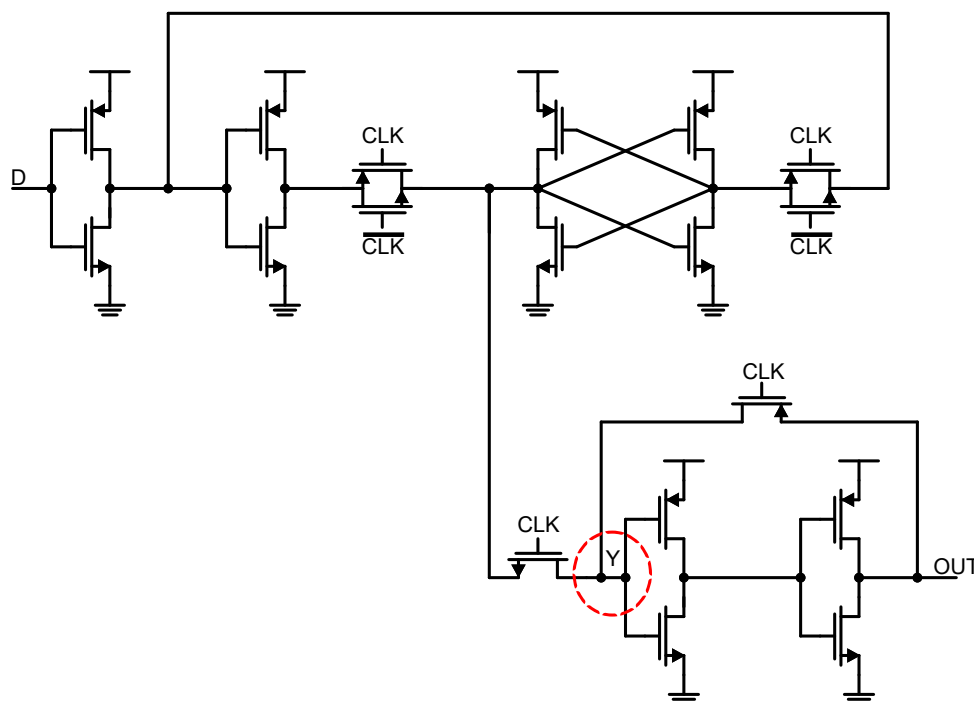
Neben der Optimierung des Delay-Line Flipflops sollten Schaltungsteile zur Erzeugung eines *STARTSTOP*-Signals und mögliche Verzögerungselemente für eine variable Delay-Kette betrachtet werden. Für beide Schaltungsteile wurden unterschiedliche Möglichkeiten untersucht und im Bezug auf ihre Funktion beurteilt. Eine detaillierte Betrachtung der Schaltungen fand allerdings nicht statt, da weitergehende Untersuchungen von einem weiteren Projektmitarbeiter durchgeführt wurden<sup>34</sup>.

Aus der optimierten Schaltung konnte im Rahmen dieser Thesis ein Layout erstellt werden, aus dem die Einflüsse der parasitären Kapazitäten und Widerstände ermittelt werden konnten. Es wurde deutlich, dass aus dem Layout eine Erhöhung der Verzögerungszeit der Delay-Line resultiert, was eine Kürzung der entworfenen Verzögerungskette und damit eine Verringerung der theoretisch möglichen Auflösung zur Folge hat. Zusätzlich zur Erhöhung der Verzögerungszeit wirken sich die parasitären Einflüsse negativ auf die Homogenität der Verzögerungsstufen aus. Die in den idealisierten Schaltungen erzielten Ergebnisse konnten daher im Layout nicht in gleicher Qualität erreicht werden. An dieser Stelle muss darauf hingewiesen werden, dass die Untersuchungen zur Homogenität der Verzögerungszeiten und damit auch die INL und DNL mithilfe der Signalverzögerungen zwischen den Interpolationswiderständen ermittelt wurden. Dabei werden allerdings die Einflüsse der nachgeschalteten Schaltungsteile, wie z.B. der Tap-Buffer und der Delay-Line Flipflops auf die Homogenität ausser Acht gelassen. Für eine realistischere Betrachtung sollten die Verzögerungszeiten zwischen den in Abbildung 74 dargestellten Punkten in den Delay-Line Flipflops gemessen werden.

Dazu ist eine Änderung der verwendeten TCL-Skripte nötig. Ein beispielhaftes Skript für die Durchführung dieser Simulationen, ist im Anhang dieser Thesis zu finden. Dabei ist zu beachten, dass die im Skript verwendeten Zellnamen für jede Testbench individuell

---

<sup>34</sup>[8]



**Abbildung 74:** Messpunkt im Delay-Line Flipflop für Homogenitätsbetrachtung

angepasst werden müssen. Eine erneute Betrachtung der DNL und INL ist notwendig und das genannte Ziel, die Delay-Line in Bezug auf Homogenität zu optimieren, muss als nicht erfüllt beurteilt werden.

Ein weiterer Aspekt, der in Folgearbeiten im Detail untersucht werden sollte, ist das Einschwingverhalten des Delay-Locked-Loop. In Simulationen des TDC wurde festgestellt, dass die Delay-Line auf eine Verzögerung geregelt wird, die einige hundert Pikosekunden über dem eingehenden Taktsignal liegt. Das hat zur Folge, dass sich während dieser zusätzlichen Verzögerungszeit zwei steigende Flanken des Referenztakts in der Delay-Line befinden, was bei einem gleichzeitig anliegenden *STARTSTOP*-Signal das Messergebnis verfälscht. Eine detaillierte Untersuchung zu dieser Fehlerquelle ist in der Projektdokumentation von Herrn Felix Schneider<sup>35</sup> zu finden.

<sup>35</sup>[8]



## Literatur

- [1] Andreas Pille. *Optimierung eines Local Passive Interpolation Time-to-Digital Converters mit Sub-Gate Delay für eine Time-of-Flight Anwendung*. Fachhochschule Dortmund, 2020.
- [2] Stephan Henzler. *Time-to-Digital Converters. Springer Series in Advanced Microelectronics, Vol 29*, volume v.29 of *Springer Series in Advanced Microelectronics*. Springer Netherlands, s.l., 1. Aufl. edition, 2010.
- [3] Jens Lienig and Jürgen Scheible. *Fundamentals of layout design for electronic circuits*. 1st ed. 2020 edition, 2020.
- [4] Matthias Krause. *Entwicklung eines Delay-Locked Loop basierten Time-to-Digital Converters mit Sub-Gate-Delay Auflösung für eine Time-of-Flight Anwendung in 350 nm CMOS Technologie*. Fachhochschule Dortmund, 2018.
- [5] Markus Lippold. *Entwurf einer Delay-Locked Loop für die Nutzung als Time-to-Digital Converter in einer Time-of-Flight Anwendung in 350nm CMOS Technologie*. Fachhochschule Dortmund, 2018.
- [6] R. Jacob Baker. *CMOS: Circuit design, layout, and simulation*. IEEE Press series on microelectronic systems. IEEE Press/Wiley, Hoboken, N.J, third edition edition, 2010.
- [7] Andrew Mason. *CMOS Inverter*. <https://www.egr.msu.edu/classes/ece410/mason/files/Ch7.pdf>. Accessed: 20.01.2021.
- [8] Felix Schneider. *Panoptes documentation - Delay asymmetry compensation logic*. Fachhochschule Dortmund, 2021.

## Anhang

---

```
# Skript zur Erstellung der Outputs fuer die Simulation der
  Verzoegerungszeiten zwischen den Delay-Line Flipflops

# Dieses Skript ist fuer die DelayLine mit 180 Elementen ausgelegt
# Fuer andere Testbenches oder andere DelayLines muessen die Parameter in den
  WhileLoops und in den delay expressions angepasst werden

namespace eval ::ss {

  set start 50n
  set l 0
  set n 1
  set m 1

  while {$l < 12} {
    set i 0
    set t 1

    while {$i < 15} {
      set j 1
      set k 2

      while {$k < 6} {
        sa::createOutput Delay$m -testbench [getActiveTestbench] -analyses
          {tran} \
        -expr
          delay(v(/IO/D$l/D$i/FFF$j/Y),v(/IO/D$l/D$i/FFF$k/Y),50,50,1,1,
            $start,1,$start,time,trig=rise,target=rise) -plot 0 -probe {}
        -save 1
        incr j
        incr k
        incr m
      }
    }

    if {t < 15} {
```

```
sa::createOutput Delay$m -testbench [getActiveTestbench] -analyses
  {tran} \
-expr delay(v(/IO/D$l/D$i/FFF5/Y),v(/IO/D$l/D$t/FFF1/Y),50,50,1,1,
  $start,1,$start,time,trig=rise,target=rise) -plot 0 -probe {}
  -save 1
incr m
incr i
incr t
} else {
  sa::createOutput Delay$m -testbench [getActiveTestbench] -analyses
  {tran} \
-expr delay(v(/IO/D$l/D$i/FFF5/Y),v(/IO/D$n/DO/FFF1/Y),50,50,1,1,
  $start,1,$start,time,trig=rise,target=rise) -plot 0 -probe {}
  -save 1
  incr m
  incr i
  incr t
}
}
incr l
}
}
```

---