

CMOS-Integration einer ALU unter Einsatz neuer Methoden zur Entwurfsautomatisierung

Projektleiter

Prof. Dr.
Werner Schardein

Wiss. Mitarbeiter

Dipl. Ing. Rolf Paulus

Studierende

Z. Benimazzi
R. Cimbanenko
T. Mehmazi
M. Sammoudi

Dauer

2006 – 2008

Kontakt

Prof. Dr.
Werner Schardein
Institut für Mikroelektronik und eingebettete Systeme (IMES)
Fachbereich
Informations- und Elektrotechnik
Fachhochschule
Dortmund
Sonnenstraße 96
44139 Dortmund
Tel.: (0231) 9112-744
E-Mail: schardein@fh-dortmund.de

Einleitung

Seit der Erfindung der integrierten Schaltung im Jahre 1958 hat die CMOS-Prozesstechnologie und als Folge davon die Mikroelektronik eine beispiellose Entwicklung vollzogen. Vorausgesagt von Gordon Moore, sollte sich nach jeweils 18-24 Monaten die Zahl der integrierten Transistoren pro Chip, der Integrationsgrad, verdoppeln. Dieses nach ihm benannte „Moore’sche Gesetz“ gilt auch heute noch, nach mehr als 3 1/2 Jahrzehnten unverändert weiter, auch wenn absehbar ist, dass schon aus physikalischen Gründen in dem kommenden Jahrzehnt eine Sättigungsgrenze zu erwarten ist. Die Auswirkungen des Moore’schen Gesetzes erlauben heute, elektronische Systeme mit Komplexitätsgraden von bis zu 1 Milliarde Transistoren pro Chip zu entwickeln und zu fertigen. Bei Strukturgrößen von 45nm für die Gatelänge ist die Mikroelektronik längst schon zur Nanoelektronik geworden. Gleichzeitig ist der Preis pro Transistor auf verschwindend geringe Werte gefallen, so dass auch hochkomplexe Systeme in der Massenfertigung mit moderaten Kosten pro Stück gefertigt werden können. Aufgrund dieser hohen Wirtschaftlichkeit der Chipfertigung hat die integrierte Elektronik mittlerweile alle denkbaren technischen Anwendungsbereiche erobert und dort zu enormen Innovations- und Wachstumschüben geführt, wie z.B. in der Kommunikationstechnik, Datenverarbeitung, Verkehrstechnik und Automatisierung. Neue Gebiete ergeben sich durch Kombination mit anderen Disziplinen, z.B. Mechanik, Biologie, Chemie, Medizin in Form der Mikrosystemtechnik. Es wird in Zukunft kaum eine Neuentwicklung denkbar sein ohne intelligente Systeme, die durch eingebettete Mikro- bzw. Nanoelektronik zusammen mit hochentwickelter Software dargestellt werden.

Projekt

Im Rahmen der Ausbildung von Studierenden der Richtungen Telekommunikationstechnik, Mikrosystemtechnik und Informationstechnik arbeitet das Institut für Mikroelektronik und eingebettete Systeme (IMES) der Fachhochschule Dortmund an der Implementierung und Optimierung für einen automatisierten Entwurfsablauf für die Chipentwicklung. Seit vielen Jahren unterstützt die Europäische Kommission mit erheblichen Zuschüssen in dem Programm EUROPRACTICE die Hochschulen in Europa zum Zwecke der Verbesserung von Forschung und Lehre auf dem Gebiet des Chip-Designs und des Chip-Prototyping. Die Mikroelektronik-Laborgruppe des IMES ist seit mehr als einem Jahrzehnt Mitglied bei EUROPRACTICE und

hat seither schon einige Erfahrung auf dem Gebiet des Chipdesigns vorzuweisen. Der nachfolgend beschriebene Entwurf wurde im Sommer 2007 an den MPW- Service von EUROPRACTICE unter dem mini@sic-Programm zur Fertigung geschickt, in einem digitalen 0.7 µm CMOS-Prozess gefertigt und nach den Vorgaben in einem Gehäuse montiert. Die gehäuseten ICs wurden dem Labor Anfang des Jahres 2008 zugestellt.

Es geht dabei um den Entwurf von ASICs, d.h. Applikationsspezifischen integrierten Schaltungen. Diese werden überall da benötigt, wo Standard-Bausteine, wie z.B. Prozessoren, Speicher oder FPGAs nicht geeignet oder nicht optimal sind, insbesondere im Bereich gemischt-analog/digitaler Systeme, also z.B. bei Schnittstellen zwischen digitalen Systemen und der analogen Welt im Bereich Sensorik und Aktorik oder mobilen, verlustleistungsarmen Anwendungen oder drahtloser Übertragungstechnik (HF, RFID). Mit Hilfe einer vom Autor eigens für die Entwurfsautomatisierung entwickelten Software [1, 2] wurden und werden im Rahmen von studentischen Projektarbeiten Kataloge von Standard- und Makrozellen[3-5] entwickelt, die in dem Projekt „Mikrocontroller für eingebettete Systeme“ zum Einsatz kommen.

Entwurf und Fertigung

In einem ersten Schritt wurde ein Standardzellen-Katalog entworfen, d.h. Schaltpläne, Layouts, VHDL-Modelle und VHDL-Testbenches sowie SPICE-Netzlisten wurden prozedural mit Hilfe von C-Routinen erzeugt, in die Datenbasis des CAD-Entwurfssystems von CADENCE mittels einer speziellen Schnittstelle übertragen und dort mit dem Netzwerksimulator SPECTRE simuliert; das Layout wurde auf Design-Fehler geprüft und die aus dem Layout extrahierten Netzlisten mit den Schaltplan-Netzlisten auf Konsistenz geprüft. Bild 1 zeigt als Beispiel einer Standardzelle einen 2-fachen Multiplexer. Die Zelle ist in den Parametern: Kanallängen, Kanalweiten, Transistormodelle sowie Anzahl der Leitungsdurchführungen konfigurierbar und für verschiedene CMOS-Prozesse nutzbar.

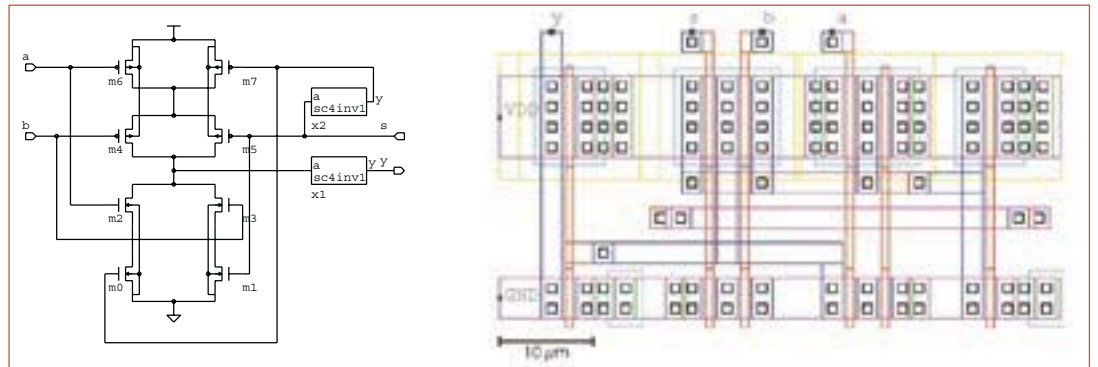


Abb. 1: Schaltplan (links) und Layout (rechts) einer parametrisierbaren Standardzelle

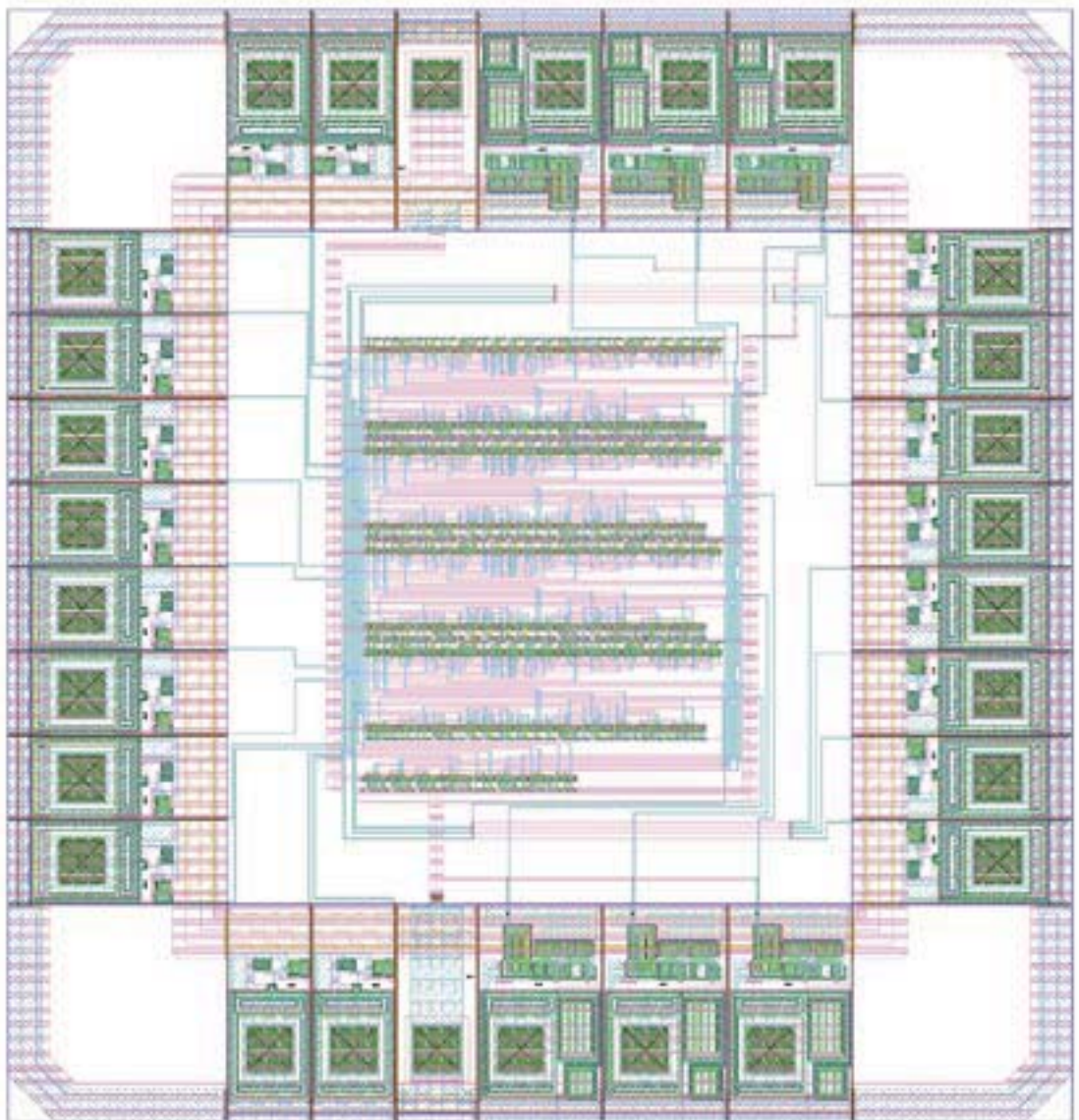


Abb. 2: Layout des Chips; der innere Kern-Bereich der ALU benötigt ca. 0.7 mm² Fläche, die Gesamtanordnung einschließlich der äußeren Peripheriezellen umfasst ca. 4 mm² Fläche.

In einem zweiten Schritt wurde eine 4-Bit ALU (arithmetisch-logische Einheit) entworfen und mit den Standardzellen des Kataloges realisiert. Der Aufbau der ALU erfolgte in Bit-Slice-Technik, so dass leicht eine Erweiterung z.B. auf 8 Bit oder eine beliebig große Wortlänge vorgenommen werden kann. Eine funktionale Verifikation wurde mit einer VHDL-Testbench durchgeführt, die elektrische Verifikation erfolgte auf Bauelement-Ebene mit dem Simulator SPECTRE. Weiterhin wurden alle erforderlichen Schaltplanhierarchien sowie das Layout automatisch erzeugt und alle Verifikationen durchgeführt. Bild 2 zeigt das Gesamt-Layout des Entwurfs. Man erkennt den inneren Kern, der die beschriebene Funktion realisiert, sowie einen Kranz von Peripheriezellen, der Treiberfunktionen, Schutzstrukturen sowie die Anschlussflächen (Pads) enthält. Die Peripheriezellen wurden nicht selbst entworfen, sondern stammen aus einer Bibliothek des Halbleiterherstellers. Zum Entwurf der Anordnung der Peripheriezellen dient eine spezielle Funktion, mit der einfach und schnell verschiedene Konfigurationen, d.h. Anzahl von Ein- und Ausgängen, Verteilung auf die 4 Seiten, Reihenfolge der Anschlüsse, Seitenverhältnisse, Flächenaufwand usw. durchprobiert werden können.

Bild 3 zeigt einen Blick in das Innere des Gehäuses mit dem eingesetzten Chip. Gut zu erkennen sind auch die Bonddrähte, die den Chip mit den inneren Gehäusepins verbinden.

Zur Verbesserung der Testbarkeit wurden in die Schaltung sog. BILBO-Register (Built-in Logic Block Observer) mitintegriert. Diese gestatten es, den nach der Fertigung anfallenden Prüfprozess zu vereinfachen. Die Register lassen sich im Testmode zur Erzeugung von Pseudo-Zufallszahlen nutzen, die als Testdaten die Eingänge des Prüfobjektes speisen. An den Ausgängen liegen weitere Register, welche die Resultate kompaktieren und daraus eine Signatur erstellen. Auf diese Weise wird ein eingebauter Selbsttest des Systems möglich.

Testen des ASIC

In der industriellen Praxis werden zum Testen integrierter Schaltungen Testautomaten verwendet, mit deren Hilfe man mittels Testprogramme Testvektoren erzeugt und diese am Objekt überprüft. Da diese Verfahren aufwendig und teuer sind, wird im Labor für Mikroelektronik des IMES eine andere Lösung gewählt:

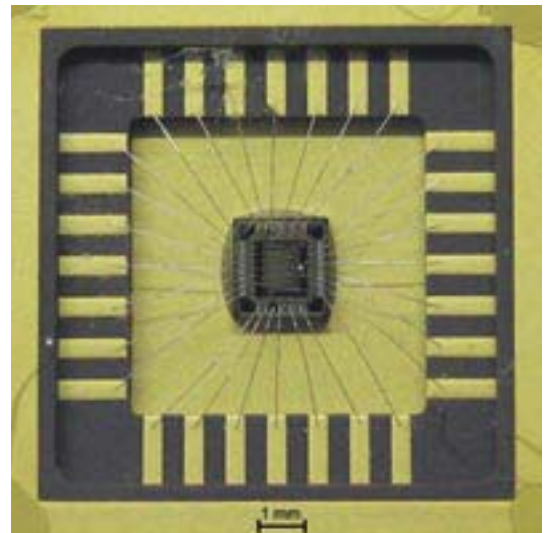


Abb.3: Blick auf Chip im Innern des Gehäuses; gut zu erkennen sind die Bonddrähte, die den Kontakt zwischen den Peripheriezellen und den Gehäuseanschlüssen herstellen.

Statt eines Testautomaten als Prüfhardware wird ein FPGA-Board von ALTERA verwendet. Bild 4 zeigt die Testanordnung, bestehend aus dem FPGA-Board und einer speziell gebauten Adapter-Platine mit dem Testsockel zur Aufnahme des Prototypen [6]. Das ALTERA-Board besitzt zwei 40-polige Expansionstecker, über die die Funktionalität des Boards erweitert werden kann. Die Pins dieser Stecker können einzeln wahlweise als Ein- oder Ausgang programmiert werden; sie stellen außerdem die Versorgungsspannungen von 3.3 V bzw. 0 V zur Verfügung. Auf der Testplatine befinden sich eine Reihe von Leuchtdioden, um den Testablauf auch visuell verfolgen zu können. Dabei wurden die Dateneingänge mit roten, die Kontrolleingänge mit gelben und die Datenausgänge mit grünen Leuchtdioden versehen. Beim Ausführen von rein statischen Tests oder wenn die Testvektor-Sequenz im Sekundentakt gewählt wird, so kann man direkt visuell das Ergebnis mitverfolgen.

Die Test-Funktionalität auf dem Board wird erzeugt durch Beschreibung der Testroutinen in Form von VHDL-Modellen und VHDL-Testbenches. Mit Hilfe der Programmier-Software Quartus II von ALTERA kann der VHDL-Kode compiliert, simuliert, synthetisiert und auf das Board heruntergeladen werden. Danach verhält sich das Board wie ein Testautomat entsprechend den programmierten Testsequenzen.

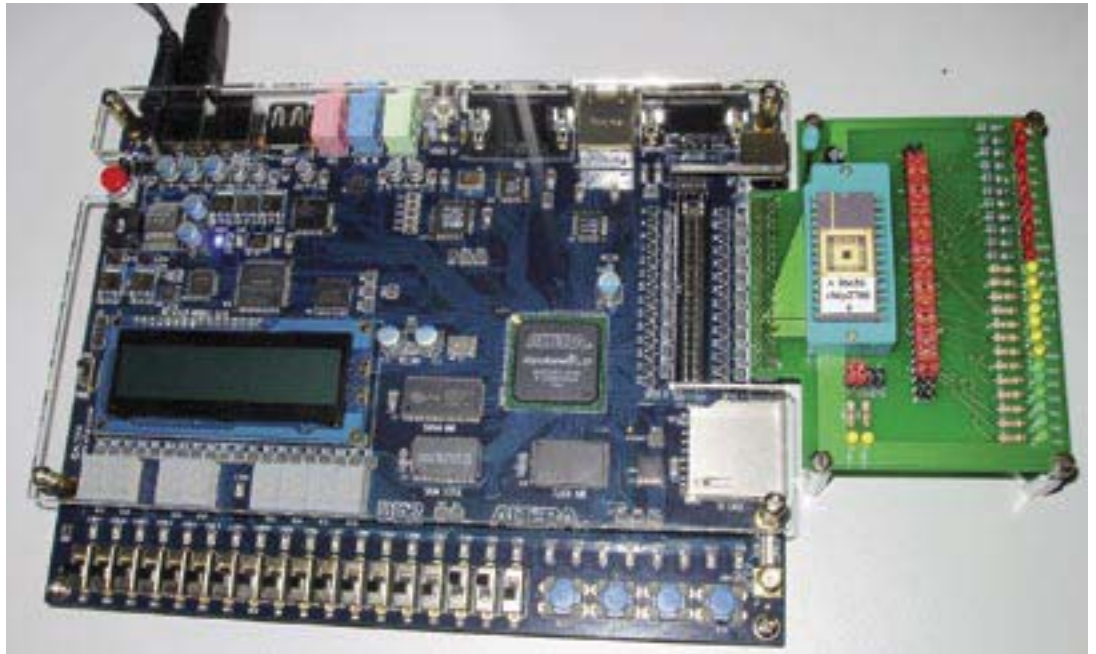


Abb. 4: Testanordnung für das Chip: links das FPGA-Board von ALTERA, rechts die Adapterplatine mit dem gehäuteten Chip. Das Chip ist mit Glas abgedeckt, um einen Blick in das Innere werfen zu können.

Der Aufbau der Testumgebung sowie das Erstellen der Testprogramme und die Testauswertung läuft z.Z. als studentische Projektarbeit. Erste Ergebnisse zeigen bereits die prinzipielle Funktionsfähigkeit der Schaltung. Weitere Tests, wie z.B. maximale Taktrate oder Ausbeute stehen noch aus.

Publikationen und studentische Arbeiten

[1] W. Schardein, R. Wittmann: „A Design Environment using C for Effective Layout Synthesis and Development of Reusable Libraries“. 1st IEEE Int. Conf. on Circuits and Systems for Communications, St. Petersburg 26. – 28.06. 2002. Proc. pp. 382-385.

[2] W. Schardein: „Ein stand-alone Toolset zur effizienten Entwicklung von Layout-Modulgeneratoren. 5. ITG/GMM-Tagung 18. – 19. 02. 1999, München (Analog '99). Tagungsband S. 399-406.

[3] Z. Benimazzi, T. Mehmazi: Entwurf eines schnellen Addierers mit integrierter Testumgebung mit Hilfe eines CMOS-Standardzellen-Kataloges. Diplomarbeit FH Dortmund, 2007.

[4] Y. Yekken: Entwicklung und Verifikation eines parametrisierbaren Layoutgenerators für statische CMOS-RAMs in eingebetteten Systemen. Diplomarbeit FH Dortmund, 2007.

[5] I. Amine: Entwicklung eines parametrisierbaren PLA-Generators in CMOS. Diplomarbeit, FH Dortmund, 2006.

[6] R. Cimbanenko, M. Sammoudi: Entwicklung einer Testumgebung mit Hilfe eines FPGA-Boards. Projektarbeit, FH Dortmund, z.Z. in Arbeit.