

# Voraussetzungen für die Fertigung von 50 V MOS-Transistoren in einem Sub-Micron CMOS-Prozess

## Projektleiter

Prof. Dr.  
Thomas Giebel

## Zeitraum

SS 2006

## Förderung

Fachhochschule  
Dortmund  
Forschungssemester

## Kontakt

Prof. Dr.  
Thomas Giebel  
Fachbereich  
Informations- und  
Elektrotechnik  
Fachhochschule  
Dortmund  
Sonnenstraße 96  
44139 Dortmund  
Tel.: (0231) 9112-353  
E-Mail: giebel  
@fh-dortmund.de

## Einleitung

Die rasante Entwicklung der Informations- und Kommunikationstechnik der letzten Jahre beruht im Wesentlichen auf den Fortschritten der Mikroelektronik, die durch die extreme Verkleinerung der Bauelemente immer größere Funktionalität auf immer kleinerer Fläche realisiert. Diese Verkleinerung ging einher mit der Zunahme der elektrischen Feldstärke innerhalb der Bauelemente, wodurch letztlich die Versorgungsspannung der hochintegrierten Schaltungen auf weniger als 2 V reduziert werden musste. Die Versorgungsspannung von industriellen oder automobilen Applikationen beträgt aber weiterhin 5 V bzw. 12 V und für den Automobilbereich werden sogar 42 V diskutiert.

Anwendungsspezifische integrierte Schaltungen (ASIC) müssen dieser Diskrepanz Rechnung tragen und Bauelemente für die unterschiedlichen Spannungsbereiche zur Verfügung stellen. In den letzten Jahren wurden daher sehr aufwendige und damit teure Fertigungsprozesse entwickelt, mit denen diese unterschiedlichen Bauelemente realisiert werden können. Im Wesentlichen handelt es sich hierbei um MOS-Transistoren mit unterschiedlich dickem Gate-Oxid, einem dünnen Oxid von nur ca. 8 nm Dicke für die hochintegrierten digitalen Kernbereiche der Schaltungen und einem dickeren Oxid von ca. 40 nm Dicke für die Peripherie, die mit „normalen“ Spannungen betrieben werden soll. Diese Vorgehensweise erfordert einen Mehraufwand von ca. 30 Prozent im Fertigungsprozess und verursacht dementsprechend höhere Kosten. Daher sucht man in letzter Zeit nach Möglichkeiten auch mit dünnen

Oxiden MOS-Transistoren zu bauen, welche die oben genannten Spannungen verkraften um den Mehraufwand einzusparen.

Der folgende Artikel zeigt, welche Mindestanforderungen derartige HV-Transistoren an den Fertigungsprozess stellen und welchen Mehraufwand dies bedeutet.

## MOS-Transistoren mit Sub-Micron Kanallängen

Die Funktion von MOS-Transistoren beruht auf der elektrischen Modulation der Ladungsträgerdichten zwischen zwei an sich gesperrten pn-Übergängen. Die mit der Strukturverkleinerung einhergehende Verringerung der Kanallänge machen es notwendig, diese beiden pn-Übergänge samt ihrer Raumladungszonen auf immer engerem Raum unterzubringen. Um die Raumladungszonen aber entsprechend zu verkleinern, muss die Dotierung stark erhöht werden. Dies wiederum erhöht erstens die elektrische Feldstärke in den pn-Übergängen und erfordert zweitens ein dünneres Gate-Oxid, in dem dadurch ebenfalls die Feldstärke ansteigt.

Hinzu kommen die immer enger werdenden Krümmungsradien, die über den Spitzeneffekt die Feldstärke weiter erhöhen.

Die physikalischen Grenzen der Durchbruchfeldstärke liegen im Silizium-Oxid bei 1 V/nm und im Silizium selbst bei ca. 30 V/ $\mu\text{m}$ . Damit erreicht ein Transistor mit einer Kanallänge von 100 nm in nullter Näherung eine maximale Drain/Source-Spannung von 3 V. Natürlich wird der Transistor

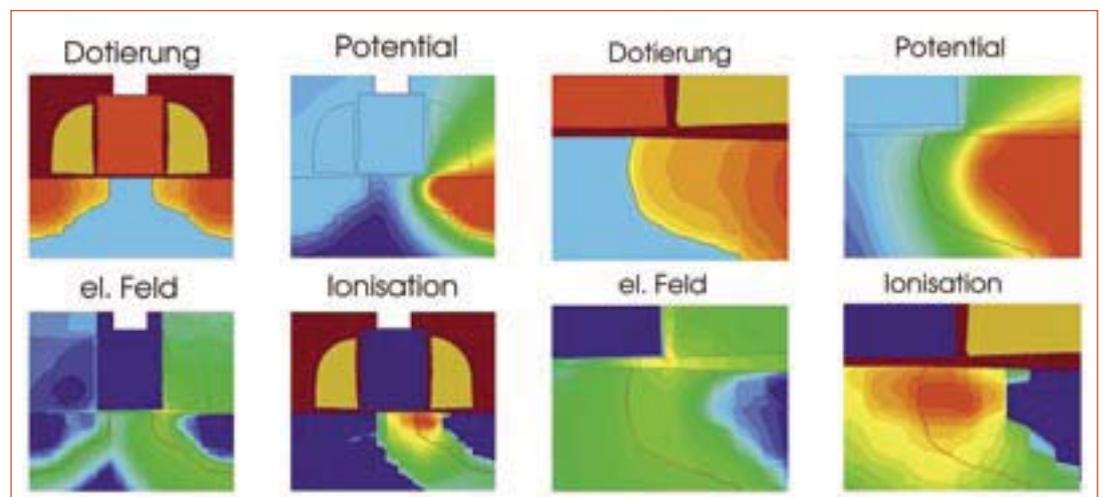


Abb. 1: Querschnitte eines 300 nm LDD-NMOS-Transistor aus einer Simulation bei 5 V UDS und 0 V UGS. Die rechte Seite zeigt die Ausschnitte der kritischen Region im Drain-Bereich.

schon bei geringeren Spannungen zerstört oder mindestens nachhaltig verändert.

Versuche, die pn-Übergänge durch einen geringeren Gradienten in der Dotierstoffkonzentration, sogenannte Lightly Doped Drain Strukturen, zu entschärfen, haben die Entwicklung nur vorübergehend erleichtert. Abbildung 1 zeigt Querschnitte eines solchen LDD-Transistors aus der Simulation und in den Ausschnittvergrößerungen den kritischen Bereich des Transistors in der Drain-Region.

### MOS-Transistoren für höhere Spannungen

Die Grundprinzipien, nach denen spannungsfeste Transistoren funktionieren, sind schon lange bekannt. Schon in den 80ziger Jahren haben Salten und Habekotte in Dortmund dazu grundsätzliche Untersuchungen durchgeführt.

Zunächst wird mindestens ein pn-Übergang benötigt, der die notwendige Spannung in Sperrrichtung aufnehmen kann. Daraus ergeben sich die maximalen Dotierstoffkonzentrationen und -Gradienten sowie der Krümmungsradius des pn-Übergangs. Dieser pn-Übergang bildet das Drain-Gebiet (Drain-Extension) des Transistors. In herkömmlichen, d. h. ca. 10 Jahre alten Analog-CMOS-Prozessen kann hier die n-Wanne zum Einsatz kommen. Daran schließt sich der Kanalbereich und die Source des Transistors an. Allerdings muss noch die Feldstärkenspitze am Ende der Gate-Elektrode entschärft werden, was klassisch mit einer sogenannten Feldplatte erreicht wird. Das Gate-Oxid dieses Transistors ist relativ dick, da die Dotierstoffkonzentration aufgrund der geforderten Spannungsfestigkeit niedrig ist.

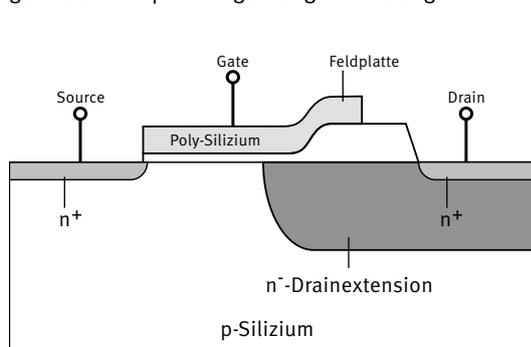


Abb. 2: Schematischer Querschnitt eines spannungsfesten HV-NMOS-Transistors

Diese Art von Transistoren erreichen Spannungsfestigkeiten bis zu 200 V und sind in n-Wannen CMOS-Prozessen sehr gut als Low Side Schalter

einsetzbar. Für High Side Schalter, bzw. Push-Pull-Stufen oder Vollbrücken sind diese Transistoren nicht geeignet, da hier zumindest zeitweise sowohl Drain- als auch Source-Terminals des Schalters auf hohem Potential liegen. Hier ist also ein zweiter pn-Übergang notwendig, der die notwendige Spannungsfestigkeit aufweist. Ersatzweise ist eine dielektrische Isolierung möglich aber sehr aufwändig. Hier kommen üblicherweise sehr aufwändige BCD-Prozesse (Bipolar/CMOS/DMOS-Prozesse) oder SOI-Prozesse (Silicon On Insulator) zum Einsatz.

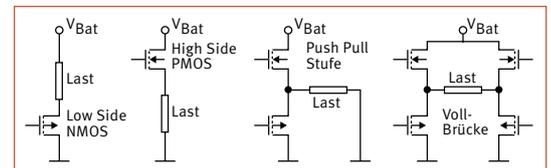


Abb. 3: Low Side Schalter, High Side Schalter, Halbbrücke bzw. Push-Pull-Stufe und Vollbrücke

In den bereits erwähnten älteren Analog-CMOS-Prozessen kann man nach ähnlichen Prinzipien PMOS-Transistoren innerhalb der n-Wanne fertigen, die die geforderte Spannungsfestigkeit ebenfalls erreichen, wenn auch nicht in dem Maße wie die NMOS-Transistoren. Dazu ist im Allgemeinen eine zusätzliche Implantation für das Drain-Gebiet, eine sogenannte Drain-Extension, erforderlich. Außerdem sind diese PMOS-Transistoren, aufgrund der um den Faktor 3 geringeren Ladungsträgerbeweglichkeit, nicht so leistungsfähig.

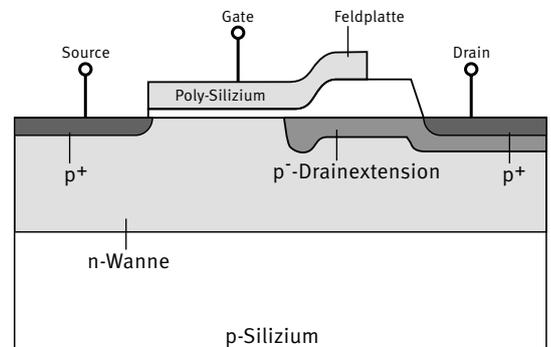


Abb. 4: Schematischer Querschnitt eines spannungsfesten HV-PMOS-Transistors in der n-Wanne

Mit einer weiteren, zusätzlichen Implantation kann man innerhalb der n-Wanne ein tiefes, niedrig dotiertes p-Gebiet (s. Abb. 5) erzeugen, mit

dessen Hilfe ein DMOS-Transistor nachgebildet werden kann, der in der Leistungselektronik seit vielen Jahre als diskretes Bauelement das Arbeitspferd ist. Es handelt sich um einen n-Kanal-Transistor, der innerhalb der Wanne liegt, so vom Substrat entkoppelt und damit High-Side-fähig ist.

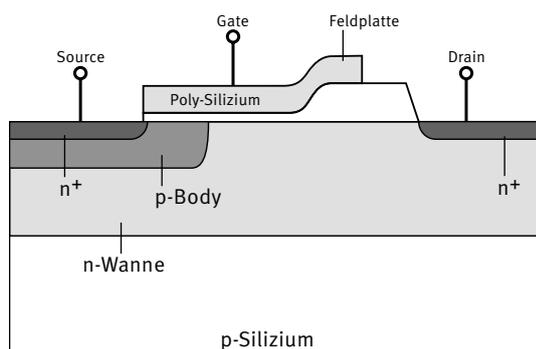


Abb. 5: Schematischer Querschnitt eines Spannungsfesten DMOS-Transistors in der n-Wanne

Untersucht man nun die Möglichkeiten digitale Kurzkanal-Transistoren zusammen mit dem eben beschriebenen HV-Transistoren zu fertigen, stellt man fest, dass man zwei komplette, recht unterschiedliche Prozesse zu einem Prozess vereinigen muss. Lediglich die Drain/Source-Implantationen und die Metallisierung sind den Bauelementegruppen gemeinsam. Dementsprechend schwierig ist es, die notwendigen Prozessschritte der beiden Prozesse zusammenzuführen und der resultierende Prozess ist schwer zu beherrschen und bringt aufgrund seiner Komplexität Ausbeuteprobleme mit sich.

Die folgende Tabelle gibt Aufschluss über die Prozessschritte bis zur Poly-Gate-Deposition:

- Analoge n-Wanne incl. Fototechnik
- Strukturierung der Analog-Aktivgebiete incl. Fototechnik
- Oxidation Analoges Feldoxid
- Strukturierung der Digital-Aktivgebiete incl. Fototechnik
- Oxidation digitales Feldoxid
- Oxidation Analoges Gateoxid
- Body-Implantation DIMOS incl. Fototechnik
- Drain-Extension-Implantation für HV-PMOS incl. Fototechnik
- Analogschwelle NMOS incl. Fototechnik
- Analogschwelle PMOS incl. Fototechnik
- Digitalschwelle NMOS incl. Fototechnik
- Digitalschwelle PMOS incl. Fototechnik
- Strukturierung für digitales Gateoxid

Die Frage ist, welche dieser Schritte absolut notwendig sind und welche unter Umständen verzichtbar sind?

Sie eindeutig zu beantworten ist nur möglich, wenn die Ausgangsprozesse genau definiert und die Zielvorgaben (Spannungsfestigkeit, Low- bzw. High-Side Fähigkeit) genau spezifiziert sind. Letztlich braucht es eine konkrete Halbleiter-Fertigung, um die Ergebnisse zu verifizieren. Da diese nicht zur Verfügung steht (und Versuchsfertigungen mit kompletten Prozessdurchläufen Kosten in Höhe von ca. 100.000 EURO nach sich ziehen) wurde hier im Rahmen eines Forschungsfreiemesters ein eher grundsätzlicher Ansatz gewählt: Mit Hilfe des sehr umfangreichen Simulationspakets ISE-TCAD 9.5 wurde untersucht, welche Ergänzungen ein hypothetischer, rein digitaler sub-micron CMOS-Prozess braucht, um die o. g. Spannungsfestigkeiten zu realisieren.

Dazu sollen im Folgenden zunächst die Möglichkeiten des Simulationspaketes erläutert werden:

### Die Prozess- und Device-Simulations-Umgebung ISE TCAD 9.5

ISE TCAD 9.5 ist ein Programmpaket zur Simulation der Herstellung und des elektrischen bzw. des elektronischen Verhaltens von Halbleiterbauelementen. Es besteht aus ca. zwei Dutzend Programmen, die unter einer gemeinsamen Oberfläche zusammengefasst sind und unter UNIX/LINUX laufen. Für die grafische Auswertung ist eine X11 X-WINDOWS Oberfläche erforderlich. Die Teilprogramme lassen sich auch einzeln starten und verwenden, was für einen erfahrenen Benutzer schneller und einfacher zum Ziel führt.

Kernprogramme sind die Simulatoren DIOS und DESSIS, welche die Herstellung (DIOS) und das elektrische Verhalten (DESSIS) eines HL-Bauelementes im Computer nachbilden. Um sie herum sind eine Vielzahl von Pre- und Post-Prozessoren erforderlich, um die Eingabe der Prozess- und Layout-Daten, der elektronischen Randbedingungen bzw. der äußeren Beschaltung zu ermöglichen, die Umwandlung und Anpassung der unterschiedlichen Simulationsgitter und -geometrien vorzunehmen und letztlich die Ergebnisse der Simulationen auszuwerten und grafisch darzustellen. Ausgangspunkt einer jeden (Prozess-)Simulation ist zunächst die genaue Beschreibung des Herstellungsprozesses selbst. Diese Beschreibung, in Form einer normalen Text-Datei, umfasst bei einem CMOS-Prozess einige hundert Zeilen, deren

genauere Erläuterung den Rahmen dieses Berichts sprengen würde.

Im Ergebnis steht am Ende der Prozess-Simulation eine zweidimensionale Material- und Dotierstoffverteilung zur Verfügung, die in einer sich anschließenden Device-Simulation auf ihre elektronischen Eigenschaften untersucht werden kann.

Für diese Device-Simulation muss zunächst noch ein neues Gitter mit MDRAW generiert werden, da das Prozess-Simulationsgitter hierzu oft nicht geeignet ist: Dieses Gitter ist dort besonders engmaschig, wo sich während der Herstellung große Veränderungen bzw. Gradienten ergeben. Dies sind aber nicht unbedingt die Gebiete, die für das elektronische Verhalten von ausschlaggebender Bedeutung sind. Hier muss also nachgebessert werden. Weiter kann man u. U. notwendige zusätzliche Elektroden plazieren oder auch, in eingeschränktem Maße, die Dotierung verändern. Auch die Namen der Elektroden können hier auf die nachfolgende elektronische Simulation angepasst werden.

Dieses „neue“ Gitter ist Ausgangspunkt für die elektronische Device-Simulation mit DESSIS. Allerdings braucht der Simulator natürlich noch Informationen über äußere Potentiale, Ströme, Temperaturen und u. U. über weitere äußere Beschaltungen. Weiter sind Angaben über zu verwendende Modelle, abzupeichernde Daten und Grenzbedingungen erforderlich. Diese Daten werden als Text in einem Steuerfile angegeben.

Im Ergebnis stehen Potential-, Feld- und Ladungsträgerverteilungen und –Stromdichten, sowie Raumladungszonen, Quasifermipotential, Ionisationsraten, Rekombinationsraten, Beweglichkeiten und zahlreiche weitere Informationen zur Verfügung. Als Beispiel können die oben gezeigten Bilder des digitalen sub-micron NMOS dienen. Die „äußeren“ Potentiale und Ströme können in Form der gewohnten Kennlinien ausgewertet werden. Dazu dienen die Programme INSPECT, PICASSO und TECPLOT, die nahezu unbegrenzte Möglichkeiten für die grafische Aufbereitung der umfangreichen Daten bieten.

#### **MOS-Transistoren für höherer Spannungen in einem sub-micron CMOS-Prozess**

Ausgestattet mit diesem Werkzeug und der Beschreibung eines relativ einfachen, hypothetischen digitalen sub-micron CMOS-Prozesses wurden erste Untersuchungen zu dem spannungsfes-

ten NMOS-Transistor a la Habekotte und Salten gemacht [1]. Dazu wurde der Prozess zunächst um eine niedrig dotierte n-Wanne ergänzt. Die hierfür notwendige Implantation wird natürlich mit einer Fototechnik verknüpft und benötigt darüber hinaus einen Diffusionsprozess bei mehr als 1000 C über eine ausreichend lange Zeit. Weiter müssen die von Habekotte und Salten vorgegebenen Geometrien auf die herrschenden Dotierstoffverhältnisse angepasst werden. Da das zweidimensionale Simulationsgebiet relativ groß ist, dauern die Simulationen recht lange. Für DIOS werden auf einem 3,6 GHz Pentium-System ca. 60 Minuten und für DESSIS – je nach Anforderung – 60 Minuten bis zu 10 Stunden (bei dynamischen, temperaturabhängigen Simulationen) benötigt.

Nach zahlreichen Simulations-Durchläufen konnte eine Variante gefunden werden, die mit einer simulierten Durchbruchspannung im gesperrten Zustand von ca. 75 V ausreichend Sicherheit bietet um auch im „richtigen Leben“ die oben geforderten Spezifikationen zu erfüllen. Die Schwellenspannung ist mit 0,8 V mit der der digitalen NMOS-Transistoren identisch und der ON-Widerstand mit ca. 22 k $\Omega$  ·  $\mu$ m durchaus vertretbar. Die nachfolgenden Bilder zeigen die Dotierstoffverteilung, die Potentialverteilung, das elektrische Feld und die Ionisationsrate aus der Durchbruchsimulation bei 75 V. Der Einschub zeigt den Größenvergleich zum digitalen NMOS.

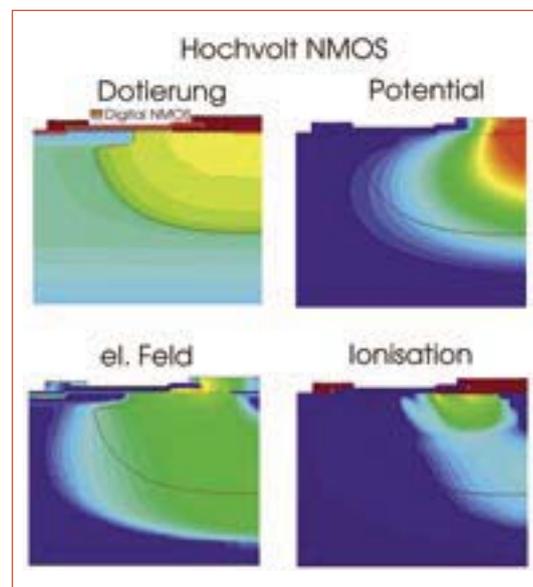
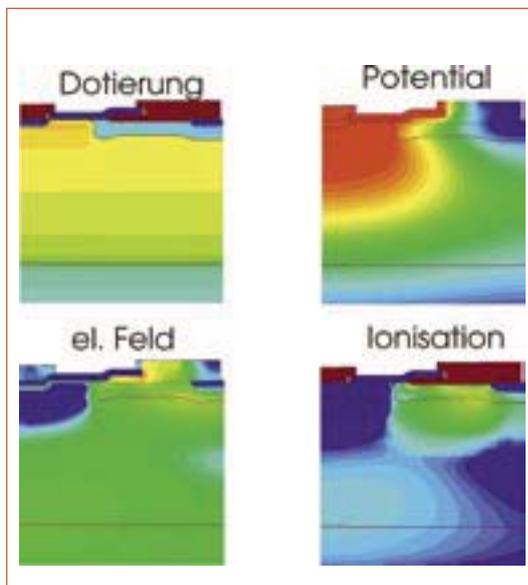
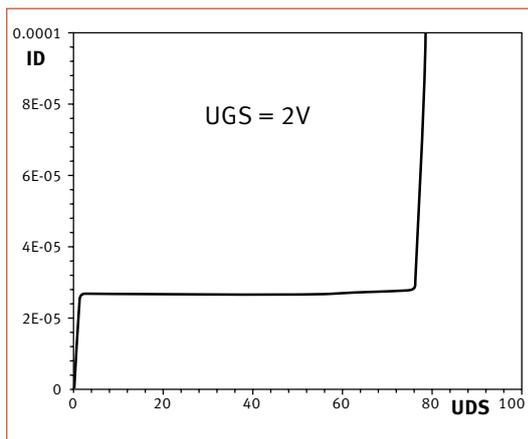
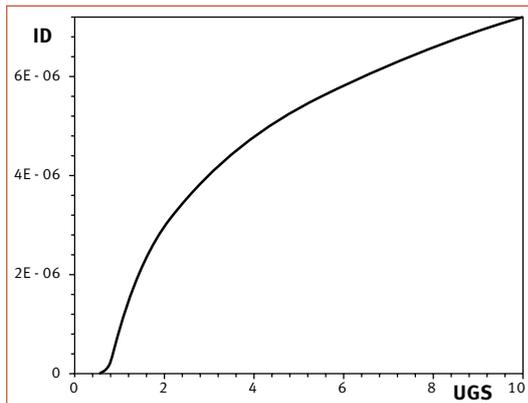


Abb. 6: Simulation des HV-NMOS nach Salten/Habekotte bei 75 V UDS und 0 V UGS.

Die folgenden Bilder zeigen Ein- und die Ausgangskennlinie des Transistors



Sehr viel schwieriger sind die Verhältnisse im HV-PMOS-Transistor, da das Dotierstoffprofil der Wanne die Möglichkeiten der Dotierung der Drainextension limitiert: Eine zu hohe Dotierung der Drainextension führt schnell zum vorzeitigen Durchbruch, eine zu niedrige Dotierung macht den Transistor wegen zu hoher Serienwiderstände unwirtschaftlich. Weiter erschwert wird die Situation durch die diffizilen Dotierstoffverhältnisse im Kanal des Transistors, die zum einen die Schwellenspannung bestimmen und zum anderen aber auch Einfluss auf die Durchbruchspannung haben, da der Kanal ja bis an die Drainextension heranreichen muss. Weiter muss beachtet werden, dass ja die Drainextension durch das Feldoxid für die Feldplatte hindurch implantiert werden muss, da hier kein weiterer Diffusionsprozess mehr zur Verfügung steht. Letztlich benötigt die Drainextension sogar eine zweite, flache Implantation, um eine ausreichende Kanalanbindung zu erreichen. Alles zusammen mit der Geometrie des Transistors (Kanallänge, Länge der Feldplatte, Länge des Oxidsteges, Überlappung Drainextension über Kanal...) zu variieren, erfordert einen deutlich höheren Aufwand und damit auch erheblich mehr (Simulations-) Zeit als der oben beschriebene NMOS-Transistor. Zusätzliche Probleme erzeugt die ursprünglich gewählte Variante des LOCOS-Verfahrens zur Erzeugung des Feldoxides.

Abb. 8: Simulation des HV-PMOS bei 55 V UDS und 0 V UGS.

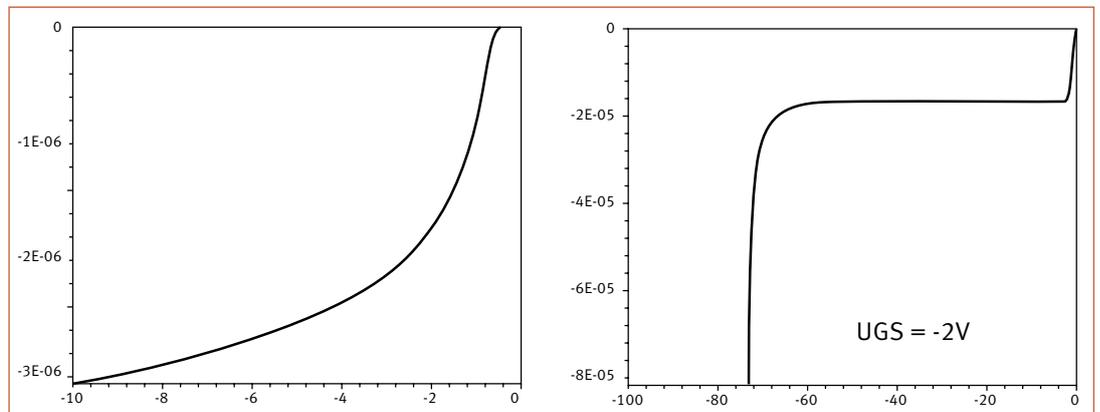


Abb. 9: Simulierte Ein- und Ausgangskennlinie des HV-PMOS Transistors.

Alles in allem scheinen Verbesserungen noch möglich, aber der zeitliche Aufwand und die Rechenkapazität sind begrenzt. Auch für den oben beschriebenen DIMOS konnten hier nur erste Versuche, bislang ohne durchgreifenden Erfolg, durchgeführt werden.

#### Zusammenfassung

Zusammenfassend konnte aus diesen Simulationen folgendes Resümee gezogen werden. Die Oxiddicken haben natürlich Einfluss auf das Durchbruchverhalten der Bauelemente, durch geeignete Anpassungen der Dotierstoffverhältnisse und der Geometrie kann dieser Einfluss nahezu komplett reduziert werden. Allerdings steht zu erwarten, dass derartige Bauelemente in der Realität sehr empfindlich auf Überlastung reagieren werden, da bauartbedingt kaum noch Toleranzen gegeben sind. Gegenüber der oben gezeigten Tabelle können folgende Fertigungssequenzen eingespart werden:

- Strukturierung der Analog-Aktivgebiete incl. Fototechnik
- Oxidation Analoges Feldoxid
- Oxidation Analoges Gateoxid
- Anlogschwelle NMOS incl. Fototechnik
- Anlogschwelle PMOS incl. Fototechnik

Damit reduziert sich der Aufwand im Gesamtprozess incl. Metallisierung um ca. 20 bis 30 %.

Zuletzt müssen diese Simulationen natürlich an der Realität überprüft werden, bevor weiter reichende Aussagen getroffen werden können.

#### Literatur:

[1] E. Habekotte; E. Salten:  
Intelligente Leistungsschnittstellen auf Silizium  
VDE-Verlag; Berlin; 1992